

シリコン超階段接合ダイオードの直列抵抗

清水 東*
矢崎 義秀*
上條 晃*

(昭和61年9月1日受理)

Series Resistance of Silicon Hyperabrupt Junction Diodes

by Azuma SHIMIZU*, Yoshihide YAZAKI* and Akira KAMIJO*

Abstract

Stray capacitance and series resistance of a "Hyperabrupt Junction" diode are analysed precisely. As a result, it is found that a main part of the stray capacitance is a capacitance of a glass-capsule, and the series resistance of p⁺ layer of surface which has no contact electrode is considerably large. These results coincide with experimental ones.

1. ま え が き

超階段接合可変容量ダイオードは電圧容量変化率が極めて高く、発当初からその有用性が指摘されていた¹⁾。当初は、利用技術が未発達のため、電々社のマイクロ波中継器（電話・テレビ等の中継器のFM変調器）に細々と使用される程度であったが、近年、イオンインプランテーション技術により不純物分布の制御が容易になったこと、不揮発性メモリの発明および利用法の確立とともに超階段接合可変容量ダイオードの利用範囲が、ラジオやテレビ等の電子同調へと拡大してきた²⁾。利用範囲の拡大と共にその性能、特に直列抵抗とかQ値に対する要求が次第に厳しくなっている。

超階段接合は不純物濃度の高い部分が接合容量に、低い部分が直列抵抗に効くのでQを高くすること（R_sを小さくすること）はかなり困難である。にもかかわらず、超階段接合ダイオードは、容量変化率が大きく取れること、容量変化比が大きく取れる等、なにものにも替えがたい特性があるため、FM変調や電子同調などには不可欠の素子となってきている。

2. 理 論

超階段接合の不純物分布を図-1および式(1)のように仮定する。

$$\left. \begin{aligned} N(x) &= N_0 \exp(-x/L_e) + N_b \quad (0 \leq x \leq w) \\ N(x) &= N_p \gg N_0 \quad (x < 0) \\ N(x) &= N_n \gg N_0 \quad (x > w) \end{aligned} \right\} (1)$$

要求仕様の容量変化比からN₀/N_bの比が決められる。ここで、超階段接合以外の部分に浮遊容量があると、その分だけ超階段接合の最小容量を下げなければならない。すなわちN₀とN_bの比を大きく取らなければならない。

一方、耐圧に対する要求と、容量の変化をどの電圧で大きくするかという仕様（V_n = qN₀L_e²/ε_s付近の電圧で最大）からN₀とL_eが決められる。N₀ ~ 10¹⁷ cm⁻³付近ではN₀L_e ≅ 3 × 10¹² cm⁻²を越えると耐圧

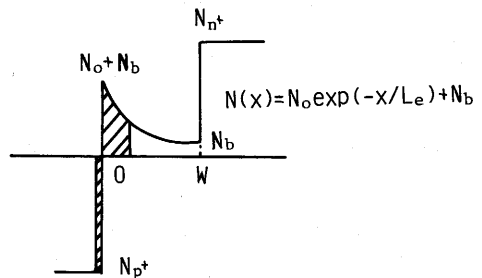


図-1 超階段接合の不純物分布

* 電子工学科, Department of Electronics

** 日本人の数少ない発明品の中で経済的に重要な意味を持つようになってきた (cf. エサキダイオード)。

が急激に低下する²⁾。したがって、 N_0 をあまり高くとれない。 N_0 に上限があって N_0/N_b の比を大きくするためには、 N_b を小さくしなくてはならない。これは直列抵抗の増加する原因となる。

以上まとめると、直列抵抗 R_s を小さくするためには、1) 耐圧の許す限り不純物濃度 (N_0, N_b) を全体的に上げて R_s を小さくすること、2) 浮遊容量 C_s をできるだけ小さく押さえて、 N_0/N_b の比をあまり大きく取らなくても (すなわち N_b が高くても) 目的の容量変化比 (容量変化率) を得られるようにすることである。

本論文では浮遊容量の各因子、直列抵抗の各成分を詳細に検討し、直列抵抗を下げ、 Q を上げるにはどのようにすればよいかを論ずる。

2.1 浮遊容量

前述のように、超階段接合ダイオードにとって浮遊容量を下げることは、直列抵抗を下げる上で重要である。そこで浮遊容量の各成分を詳細に検討しよう。ここでは DHD (Double Heat-sink Diode) について考える。この構造を図-2 に示す。浮遊容量を C_{s1} ($\phi 190 \mu \sim \phi 250 \mu$)、 C_{s2} ($\phi 250 \mu \sim 350 \mu$ □)、 C_{s3} (350μ □ $\sim \phi 600 \mu$) に分けて計算する。図の C_{s4} と C_{s5} は複雑な構造で簡単には計算できず、また、 $C_{s1} \sim C_{s3}$ に比べて十分に小さいと考えられるのでここでは省略する。

a) C_{s1} ($\phi 190 \mu \sim \phi 250 \mu$) : バンプと基板 Si 間の容量 : Si 基板は低抵抗であるので導体とみなし、バンプと Si との対向面積を A_1 、ギャップを $t_1 = 15 \mu\text{m}$ とする。また、空気ギャップの誘電率を真空誘電率 ϵ_0 に等しいと仮定する。

$$C_{s1} = \epsilon_0 \frac{A_1}{t_1}$$

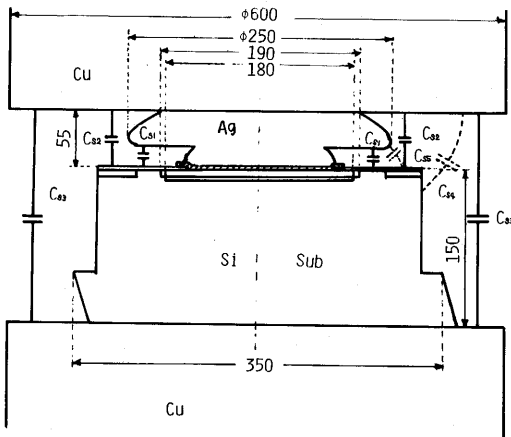


図-2 DHD ダイオードの構造

$$= 8.85 \times 10^{-14} \times \frac{\pi(250/2)^2 - \pi(190/2)^2}{15} \times 10^{-4}$$

$$= 0.0122 \text{ pF} \tag{2}$$

b) C_{s2} ($\phi 250 \mu \sim 350 \mu$ □) : 銅リードの端面と Si の間の容量 : やはり Si 基板を導体とみなし、対向面積を A_2 、ギャップを $t_2 = 55 \mu\text{m}$ とする。

$$C_{s2} = \epsilon_0 \frac{A_2}{t_2} = 8.85 \times 10^{-18} \times \frac{350^2 - \pi(250/2)^2}{55}$$

$$= 0.0118 \text{ pF} \tag{3}$$

c) C_{s3} (350μ □ $\sim \phi 600 \mu$) : 銅リード端面間の容量 : 銅の端面の対向面積を A_3 、ギャップを $t_3 = 205 \mu\text{m}$ とする。

$$C_{s3} = \epsilon_0 \frac{A_3}{t_3} = 8.85 \times 10^{-18} \times \frac{\pi(600/2)^2 - 350^2}{205}$$

$$= 0.0069 \text{ pF} \tag{4}$$

以上の浮遊容量を合わせると、

$$C_s = C_{s1} + C_{s2} + C_{s3} = 0.0122 + 0.0118 + 0.0069 \approx 0.031 \text{ (pF)} \tag{5}$$

C_{s1} はダイオードペレットの状態ですでに測り込まれている訳であるからガラス封じして増加する分は ($C_{s2} + C_{s3}$) であり、約 0.02 pF と見積もられる。

ダイオードペレットの状態とガラス封じした場合の C-V 特性の実測値を比較すると、図-3(a), (b) に示すように 0.25 ~ 0.3 pF の差がある。これは上で計算した値

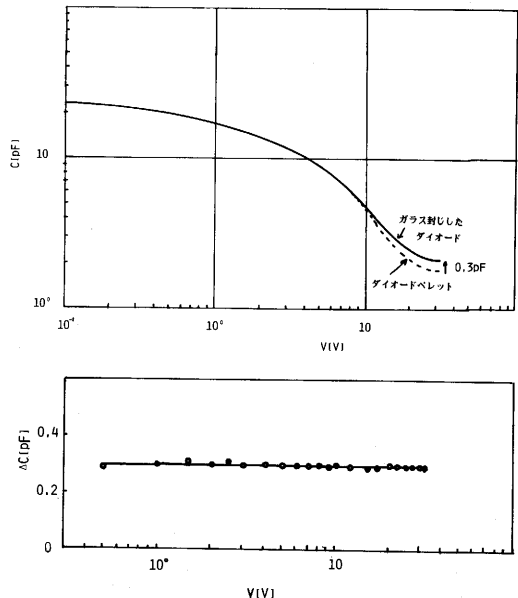


図-3 ダイオードチップとガラス封じしたダイオードの C-V 特性の差

よりも一桁大きい。この原因は電束が図-4のようにガラスの方へ回り込むためと考えられる。これは計算では求めにくいので、例えば10倍の寸法のモデルを作り、モデル実験で確かめるのがよい。実際に加工しやすいテフロンと真鍮を使って図-4のようなモデルを作り実測したところ容量の値は0.427 pFであった。一方、空気ギャップが2 mmで6 mm φの円板の対向面間の容量の計算値は0.125 pFであるから、これらの差0.427 pF - 0.125 pF ≃ 0.3 pFが、電束がテフロン側に回り込んだために増加した容量と考えられる。実際のガラスキャプセルでは寸法が1/10であるため、上記の容量の1/10、テフロンの誘電率が $\epsilon_t = 2$ 、鉛ガラスのそれが $\epsilon_g = 7 \sim 10$ であるので、簡単のため単にこの比の倍率をかけると

$$C_{sg} = 0.3 \times \frac{(7 \sim 10)}{2} \times \frac{1}{10} = 0.11 \sim 0.15 (\text{pF}) \quad (6)$$

これに、先に計算した0.03 pFを加えると0.14 pF ~ 0.18 pFとなり、実測値にかなり近づいてくる。実際に鉛ガラスを使ってモデル実験をすると、もっと近い値が得られるであろう。

浮遊容量を小さくするためには、誘電率の小さなガラスを使う必要がある。また、損失を少なくするためには（損失は結果的に R_s を大きくすると同じ効果を示す）、 $\tan \delta$ の小さなガラスを選ぶ必要がある。

d) 階段接合の容量

超階段接合ダイオードでは、その接合の周辺部に階段接合を形成する。これは、超階段接合の不純物濃度の高い部分がSiとSiO₂の界面に接し、電界がここに集中して、降伏電圧が低下するのを防ぐためである。階段接合の面積が増すと容量変化率は低下し、浮遊容量と同じ効果をもたらすので製作技術の許す限り小さい方がよい。

ダイオードの周辺部分の構造を図-5に示す（ダイオードの断面の全体像は図-8を参照のこと）。これらの図でN⁺と書いてあるところは、図-1のn形不純物濃度が指数関数的に変化してエピタキシャル層の濃

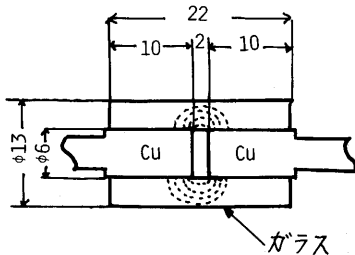


図-4 DHD ダイオードの断面図 (10倍)

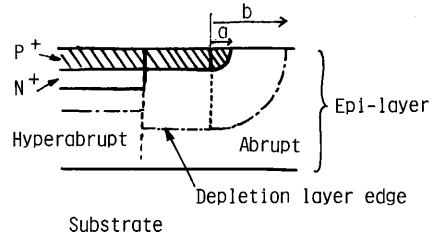


図-5 接合の周辺部

度にはほぼ等しくなるまでの部分に対応する。図-5の平坦部分の単位面積当たりの空乏層容量は

$$C_{ao} = \left[\frac{\epsilon q N_p \cdot N_{epi}}{2(N_p + N_{epi})} \times \frac{1}{V_d - V} \right]^{\frac{1}{2}} \quad (7)$$

与えられる。ここで N_{epi} はエピタキシャル層の不純物濃度でn⁺拡散がされていない部分の値である。

図-5において、拡散層の端の部分では深さ方向にも径方向にも均一に不純物拡散が行われるとして、同軸円筒コンデンサの容量で近似する。すなわち、端の部分の単位長さ当たりの容量 C_{eo} は

$$C_{eo} = \frac{1}{4} \cdot \frac{2\pi\epsilon}{\log(b/a)} \quad (8)$$

与えられる。

2.2 直列抵抗の計算

直列抵抗 R_s を成分に分けると、コンタクトの抵抗 R_{c1} , R_{c2} 、基板の抵抗 R_{sub} 、エピ層の抵抗 R_{epi} 、および表面p⁺層の抵抗 R_{p+} になる。すなわち、

$$R_s = R_{c1} + R_{sub} + R_{epi} + R_{p+} + R_{c2} \quad (9)$$

コンタクトの抵抗は計算することは困難であり、またコンタクトの材料を適当に選ぶことにより、無視できるほどに小さくすることができるので、その他の成分の計算を順次行う。

(a) 基板の抵抗 R_{sub}

ダイオードペレットの断面図より底面は約320 μm角でオーム接触しているとみなす。さらに計算の簡単化のため、底面と等面積の円を底面とする円錐台を考え、(上面は接合面)この抵抗を計算する(図-6参照)。基板の抵抗 R_{sub} は

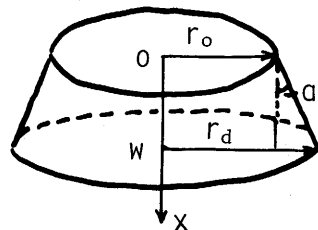


図-6 R_{sub} の計算法

$$R_{sub} = \int_0^w \frac{\rho_{sub}}{\pi(r_0+ax)^2} dx = \frac{\rho}{\pi} \left[\frac{-1}{a} \cdot \frac{1}{r_0+ax} \right]_0^w$$

$$= \frac{\rho}{\pi} \cdot \frac{w}{r_d \times r_0} \tag{10}$$

となる。ただし、 $a = (r_d + r_0)/w$ であり、 ρ_{sub} は基板の抵抗率である。

$w = 150 \mu\text{m}$, $r_0 = 90 \mu\text{m}$, $r_d = 180 \mu\text{m}$ を代入すると $R_{sub} = 30 \rho_{sub}$ となり、 $\rho_{sub} = 0.001 \sim 0.002 \Omega\text{cm}$ であるので $R_{sub} = 0.03 \sim 0.06 \Omega$ となる。電流通路が下方で広がらない(円柱状、 $r_0 = r_d$)としても R_{sub} は2倍程度になるのみである。

(b) エピタキシャル層の抵抗 R_{epi}

エピタキシャル層の抵抗は実際の不純物分布に大きく依存する。理論設計から不純物分布が決められる場合と、実際のダイオードの C-V 特性の測定から不純物分布が求まる場合がある。ここでは後者について詳述する。

バイアスが V のとき空乏層幅が x , $V+dV$ のとき $x+dx$, 電界の変化を dE とすると、図-7 から次のように表される。

$$dV = x dE \tag{11}$$

空乏層端 x における不純物密度を $N(x)$, 電子の電荷を q , 半導体の誘導率を ϵ とすると、電界の変化は

$$dE = \frac{q}{\epsilon} N(x) dx \tag{12}$$

と表される。これを式(11)に代入すると

$$dV = \frac{q}{\epsilon} N(x) x dx = \frac{q}{2\epsilon} N(x) d(x^2) \tag{13}$$

となる。接合容量 C は接合面積を A として

$$C = \epsilon \frac{A}{x} \tag{14}$$

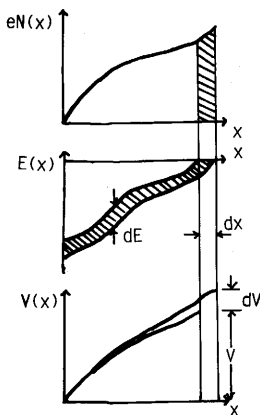


図-7 電荷，電界，電圧の分布

で与えられるから

$$x = \epsilon \frac{A}{C} \tag{15}$$

となる。これを式(13)に代入すると

$$dV = \frac{\epsilon q A^2}{2} N(x) d\left(\frac{1}{C^2}\right) \tag{16}$$

故に

$$N(x) = \frac{2}{\epsilon q A^2} \left[\frac{d(1/C^2)}{dV} \right]^{-1} \tag{17}$$

となる。C-V 特性を測定して式(15), (17)から不純物分布を求めることができる。

不純物分布が求められると、それに対応する抵抗率が決まる。ここでは Irvin のデータを使って³⁾

$$\rho = \frac{1.82 \times 10^{12}}{N^{0.78}} (\Omega \cdot \text{cm})$$

$$(10^{15} < N < 10^{17} \text{ cm}^{-3}) \tag{18}$$

と近似する。これを基板との境から空乏層の端まで積分することにより、超階段接合部の単位面積当たりの抵抗が求められる。

階段接合部の深さ方向の抵抗も同様であるが、抵抗率は一定であるので、エピ層の厚さから空乏層の幅を差し引いた厚さが分かれば簡単に計算ができる。

段階接合の端の部分の抵抗は、無限平面上 h の高さ半径 a の導体線が張られていると仮定した場合の単位長当たりの容量

$$C_{eo} = \frac{2\pi\epsilon}{\log \{(2h-a)/a\}} \tag{19}$$

と静電界と定常電流界の類似性 ($R = \rho \times \epsilon/C$) を利用して、次のように求まる。

$$R_{eo} = 4 \frac{\rho}{2\pi} \log \left(\frac{2h-a}{a} \right) \tag{20}$$

ただし、端の断面は円の1/4であると考えている。

(c) p⁺層の抵抗 R_p

p⁺層は抵抗率が低く、厚さも1~2 μm と薄いため、厚さ方向の抵抗は無視できる。しかし、製作上の制約から電極が p⁺層全面に付いていないため、周辺部において径方向の抵抗が無視できない位大きいことに気が付いた。そこで、この抵抗を計算するため次のような手法を使った。

まず、ダイオードの断面図を図-8(a)に、その等価回路を(b)に示す。ダイオードを半径方向の微小部分 ($r \sim r+dr$) に分け、おのおのの抵抗および接合容量を求め、それを外側からインピーダンスの直並列変換をしながら合成する方法をとった。

R_r は p⁺層の径方向の抵抗であり、 $r = r_k \sim r_k + dr$ に対し、

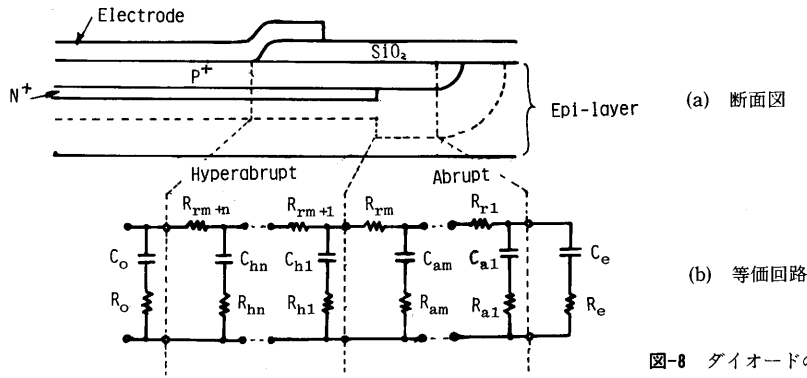


図-8 ダイオードの断面と等価回路

$$R_{rk} = R_{p^+/\square} \times \frac{dr}{2\pi r_k} \quad (21)$$

と表される。ここに、 $R_{p^+/\square}$ は p^+ 層の層抵抗であり、 r_k は k 番目のリングの半径である。

C_e, R_e は p^+ 層の端の容量と抵抗であり、 p^+ 層の半径を r_e とすると、式(8)、(20)を使って

$$C_e = 2\pi r_e C_{eo} \quad (22)$$

$$R_e = \frac{R_{eo}}{2\pi r_e} \quad (23)$$

と表される。

次に、 C_{ak} と R_{ak} は階段接合部の微小部分($r_k \sim r_k + dr$)の容量と深さ方向の抵抗であり

$$C_{ak} = 2\pi r_k C_{ao} dr \quad (24)$$

$$R_{ak} = \frac{R_{ao}}{2\pi r_k dr} \quad (25)$$

で与えられる。

C_{hk} と R_{hk} は超階段接合部の内、電極の付いていない微小部分の容量と抵抗であり、

$$C_{hk} = 2\pi r_k C_{ho} dr \quad (26)$$

$$R_{hk} = \frac{R_{ho}}{2\pi r_k dr} \quad (27)$$

となる。ここで、 C_{ho} と R_{ho} は超階段接合の単位面積当たりの容量と抵抗である。

電極の付いている部分では p^+ 層の深さ方向の抵抗が極めて小さいので、これを無視し、空乏層容量 C_o とエピタキシャル層の抵抗 R_o のみを考える。電極半径を r_o とすると、

$$C_o = \pi r_o^2 C_{ho} \quad (28)$$

$$R_o = \frac{R_{ho}}{\pi r_o^2} \quad (29)$$

である。

このように、等価回路の各部の値が求められるのでこれを端の方から中心に向かってインピーダンスの直並列変換を繰り返し合成して全体のインピーダンスを

求める。分割を増して同様な合成を繰り返す、前の値と誤差の範囲で一致するまで行う。

3. 実験方法

3.1 C-V 特性の自動測定システム

C-V 特性の自動測定システムのブロックダイアグラムを図-9に示す。測定器本体はHP社のLCRメータ4271A型であるが、測定を自動化するためNEC社PC8801型パーソナルコンピュータを使ってバイアス電圧を作り、IC-8255を使って作った入出力ポートを通じてLCR-メータのバイアスを制御する。バイアス電圧はA & D社のロギングメータAD-5311型を使ってモニターし、8255入出力ポートを通じてパソコンに取り込む。LCRメータの容量のデータも入出力ポートを通じてパソコンに取り込む。取り込まれたデータはフロッピーディスクに記録する。測定用のプログラムの流れ図を図-10に示す。

3.2 データの解析

容量の測定値から、浮遊容量およびエピ層の抵抗率を使って計算される階段接合部の容量を差し引くと超階段接合の容量が得られる。これから式(15)および式(17)を使って不純物濃度分布が得られる。式(18)より抵抗

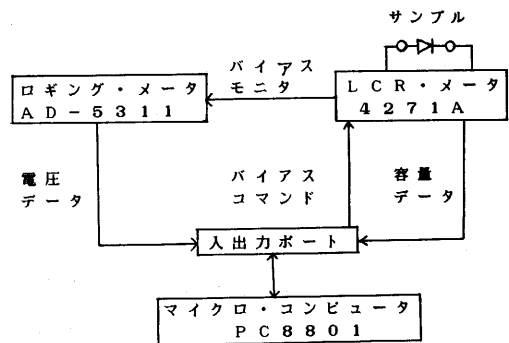


図-9 測定システム

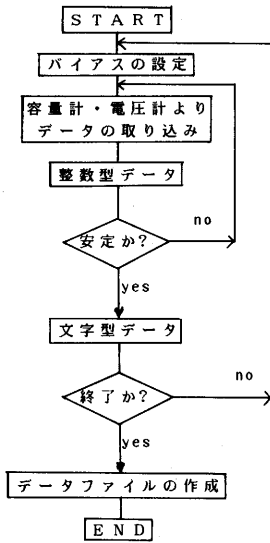


図-10 測定プログラムの概要

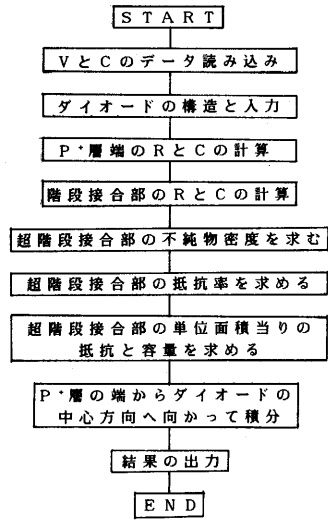


図-11 インピーダンス計算の流れ

率分布が求められ、これを厚さ方向に積分すると単位面積当たりの抵抗が得られる。さらに、2.2節(c)に述べた方法でダイオードのインピーダンスが計算される。この計算の流れ図を図-11に示す。

3.3 測定結果

以上のようにして測定した結果の1例を図-12~14に示す。図-12はC-V特性であり、図-13は超階段接合部の不純物分布を、図-14は抵抗率分布を示す。

次に、3.2節のようにして R_s を計算した結果を図-15に示す。ここでは2種類の試料を解析している。電極の半径を $50\sim 90\ \mu\text{m}$ まで変化させ、また、 p^+ 層の層抵抗を $30\ \Omega/\square$ と $50\ \Omega/\square$ の二つの場合について R_s を計算している。電極半径を大きくすると R_s は低下しており、この最小値(No.1では $0.53\ \Omega$ 、No.2では $0.44\ \Omega$)が基盤とエピ層の抵抗と考えられる。電極の面積を小さくすると抵抗は増加する。実際の電極の半径は $75\ \mu$ であり、このときの R_s の実測値はNo.1で $0.6\ \Omega$ 、No.2で $0.5\ \Omega$ である。 $0.07\ \Omega$ および $0.06\ \Omega$ が p^+ 層の抵抗と考えられる。この割合は約15%である。この実測値は p^+ 層の層抵抗を $50\ \Omega/\square$ としたときの曲線に近い。

次に、電極の半径を変化させてダイオードを試作し、その R_s を測定した結果を図-16に示す。図-15の曲線と極めてよく類似しており、No.1の $R_{p^+} = 50\ \Omega/\square$ の曲線に $0.05\ \Omega$ を加えた曲線とほとんど一致する。すなわち、 $R_{sub} + R_{epi} = 0.58\ \Omega$ と見積もられる。

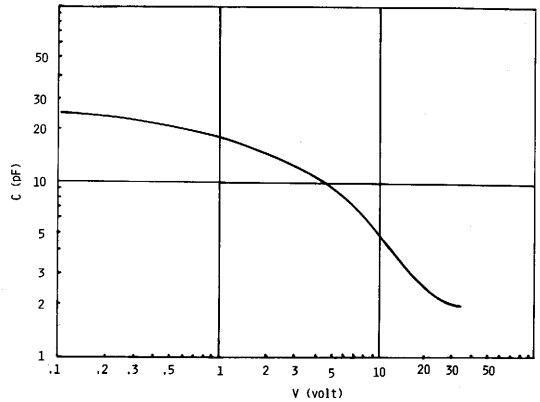


図-12 超階段接合のC-V特性

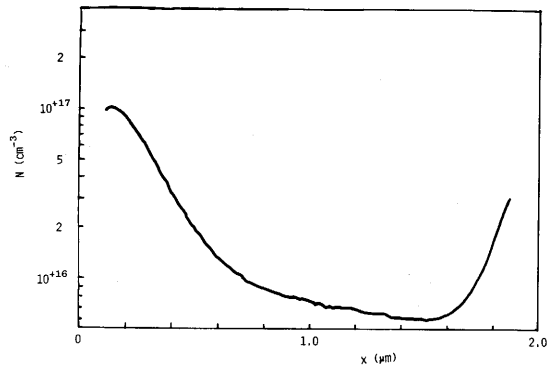


図-13 不純物分布

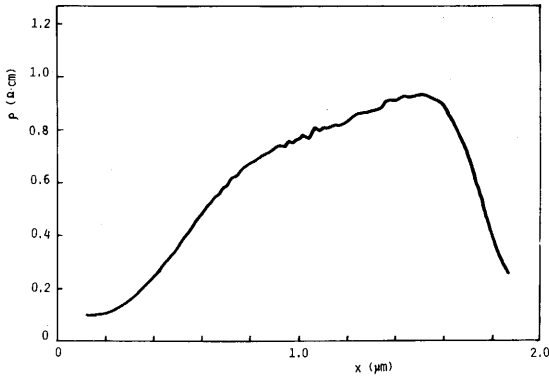


図-14 抵抗率分布

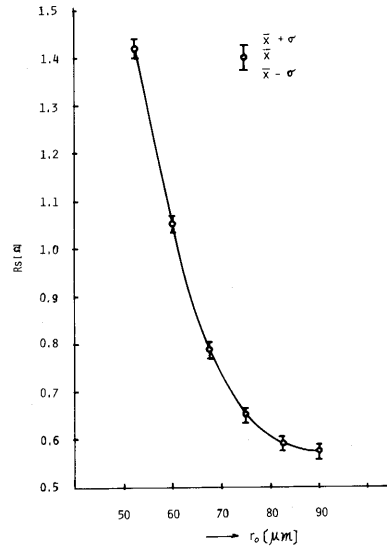


図-16 電極半径と R_s の関係 (実験値)

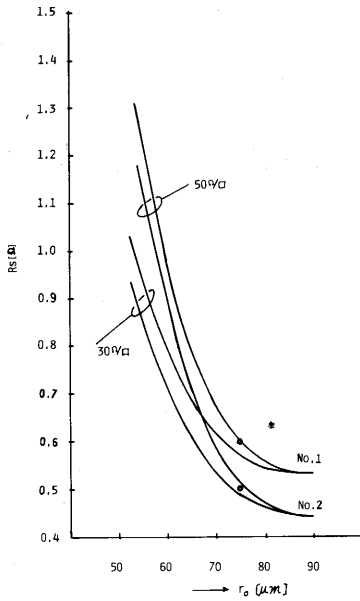


図-15 電極半径と R_s の関係 (理論値)

4. 結 論

超階段型可変容量ダイオードの浮遊容量と直列抵抗を詳細に検討した。その結果、浮遊容量としてはガラス封じの容量が非常に大きいことが分かった。直列抵抗としては p^+ 層の抵抗が無視できず、これを分布定数形等価回路で解析した結果、実験値と非常によく合う結果を得た。

文 献

- 1) A. Shimizu and J. Nishizawa: Alloy Diffused Variable Capacitance Diode with Large Figure of Merit, IRE Trans. on Electron Devices, **ED-8**, 370 (1961)
- 2) 興水 確, 矢崎義秀, 清水 東: シリコン超階段接合の降伏電圧の厳密解, 山梨大学工学部研究報告, **33**, 104, (1982)
- 3) J. C. Irvin: Resistivity of Bulk Silicon and of Diffused Layers in Silicon, *Bell System Tech. J.*, **41**, 387 (1962)