

パワー半導体の不均一動作抑制
駆動技術に関する研究

山梨大学大学院
医工農学総合教育部
博士課程学位論文

2023年3月

佐々木 雅浩

目次

第1章 序論	
1.1 はじめに	3
1.2 パワーエレクトロニクスと半導体素子	5
1.3 IGBT のゲート駆動技術	11
1.4 並列接続による大電流化と並列接続における課題	18
1.5 電流不均一抑制技術の技術動向	24
1.6 研究の目的	32
第2章 電流不均一抑制駆動技術	
2.1 電流不均一抑制のための遅延時間制御	36
2.2 ダイナミック可変ゲート抵抗 ($R_{G_dynamic}$) を用いた電流不均一抑制制御の原理検証	50
2.3 まとめ	63
第3章 並列接続された IGBT 間の電流不均一を抑制するための閉ループ制御の実現および IC 化手法	
3.1 $R_{G_dynamic}$ の多値化および IC 化手法	66
3.2 並列接続された IGBT 間の電流不均一を抑制するための閉ループ制御	80
3.3 電流不均一を抑制するための閉ループ遅延時間制御機能を集積したゲート駆動 IC	86
3.4 試作した GDIC を搭載した IGBT モジュールでの動作検証	110
3.5 まとめ	117
第4章 結論	119
発表論文一覧	122
謝辞	123

第 1 章

序論

第1章 序論

1.1 はじめに

気候変動問題の解決に向けて、脱炭素社会の実現に向けた世界の関心が急激に高まっている。そのような状況の中、パリ協定に代表されるように国際社会共通の課題として世界の平均気温の上昇を抑える取り組みが始まった。日本においても、「2050年カーボンニュートラル、脱炭素社会の実現を目指す」との方針が示され、平均気温上昇の抑制という難しい課題を前倒しで解決することが必要となっている。

一方、電力消費量は経済成長と人口増加に伴い世界的に増加し続けており(図1.1)、この傾向は多くの発展途上国を含むアジアや、中東や中南米などの地域における経済成長と人口増加により、今後も継続すると予想されている。また、インターネットや通信技術の発展とスマートフォンやタブレットの普及により、ネットワークセンターや端末での電力消費量も急速に増加している。更に、ハイブリッド自動車や電気自動車の普及も加速していることから、今後更に電力需要が増加していくことは間違いのない状況であり、CO₂の排出を抑制しながら発電量を増加させる事が求められている。

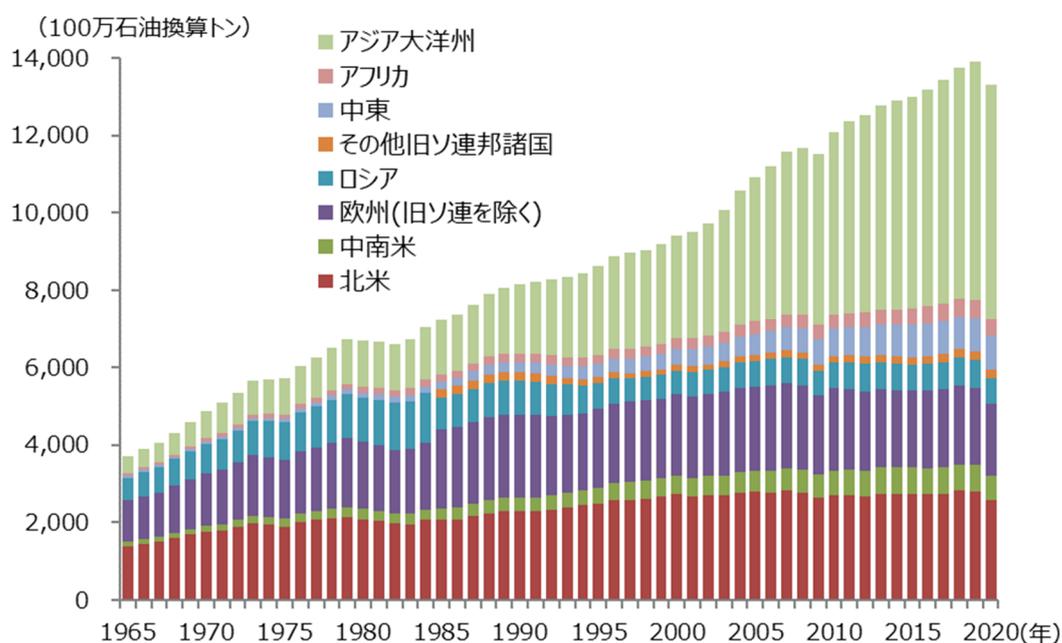


図 1.1 世界のエネルギー消費量推移^[1]

このような課題を解決するためのキーテクノロジーがパワーエレクトロニクス技術である。パワーエレクトロニクス技術は、パワー半導体素子を用いて電力変換と制御を行う技術であり、電気を使うすべての機器に対して、必要とする電圧・電流・交流の周

波数等の電源を供給して機器の安定使用を保証するために不可欠のものである。現在、様々な分野においてパワーエレクトロニクス技術が利用されているが、特に脱炭素の実現のためには、太陽光発電や風力発電などの再生可能エネルギー分野やハイブリッド自動車や電気自動車分野での積極的な利用が重要となる。

近年、これら再生エネルギーや電気自動車の分野においては、大容量化への要求が増大しており、これに伴いパワーエレクトロニクス機器の大容量化への対応も必要不可欠となっている。このような状況から、パワーエレクトロニクスにおいて使用されるスイッチングデバイス、すなわちパワー半導体素子における「高耐圧化」や「大電流化」等の性能向上が行われているものの、様々な理由により素子単体での大容量化には制限が存在するため、パワー半導体素子やパワー半導体モジュールの直列・並列接続による大容量化も、脱炭素の実現のためには重要となっている。

1.2 パワーエレクトロニクスと半導体素子

前述したように、パワーエレクトロニクス技術はパワー半導体素子をスイッチングデバイスとして用いて電力制御を行うものであり、パワー半導体素子における低導通抵抗・高速スイッチング技術によって成り立っている。本項では、パワーエレクトロニクス機器のアプリケーションおよびパワーエレクトロニクス機器におけるパワー半導体素子の役割について述べる。

(1) パワーエレクトロニクス機器のアプリケーション

図 1.2 に、パワーエレクトロニクス機器の主要アプリケーションを示す。横軸は定格電圧を、縦軸は定格電流をそれぞれ示しており、各アプリケーションを小容量帯・中容量帯・大容量帯の3つの容量帯に分類して示している。

定格電流および定格電圧共に低い小容量帯には、主にルームエアコンや家電製品等の民生分野およびサーバー用ミニ UPS 等の電源分野が分類され、中容量帯には Hybrid Electric Vehicle (HEV)/ Electric Vehicle (EV) 等の車載分野と産業用ロボットや業務用エアコン等の産業分野および UPS 等の産業用電源分野が分類される。一方、定格電流および定格電圧が高い大容量帯には、風力発電や太陽光発電等の電力分野や電鉄等の鉄道分野が分類されている^[2]。このように、我々の日常生活や社会生活に関係するほとんどの分野においてパワーエレクトロニクス機器が使用されており、必要不可欠な機器である事が分る。

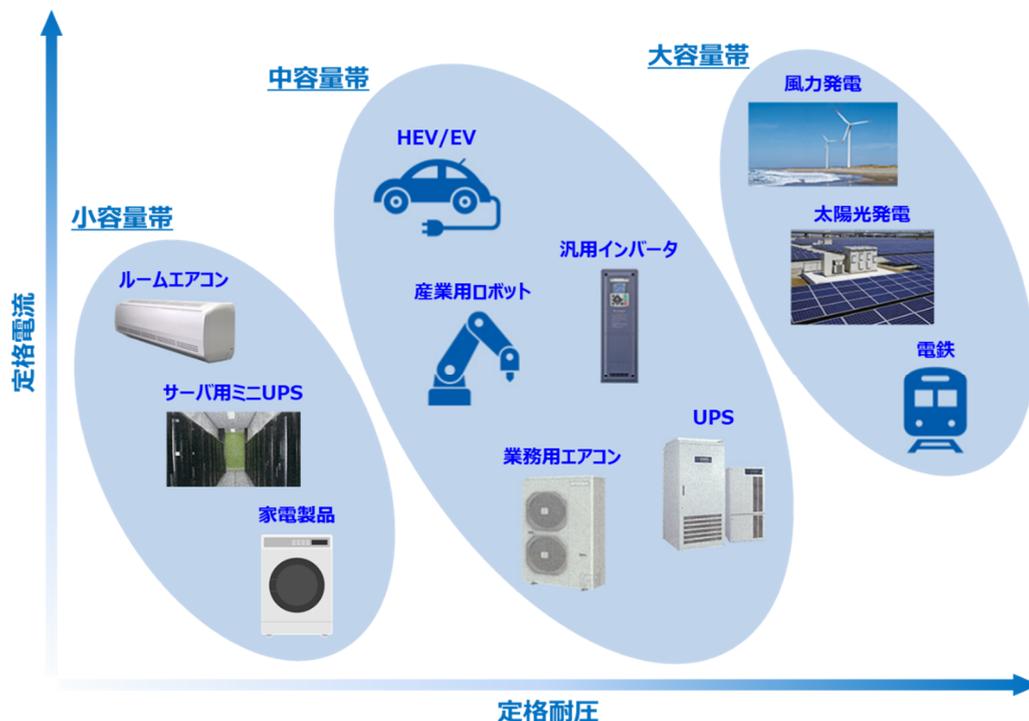
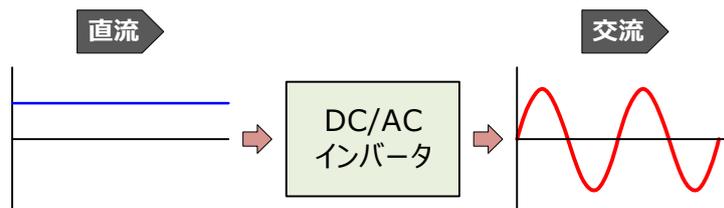


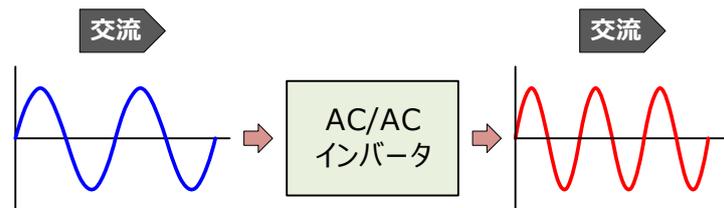
図 1.2 パワーエレクトロニクス機器のアプリケーション

(2) パワーエレクトロニクス技術の基本構成

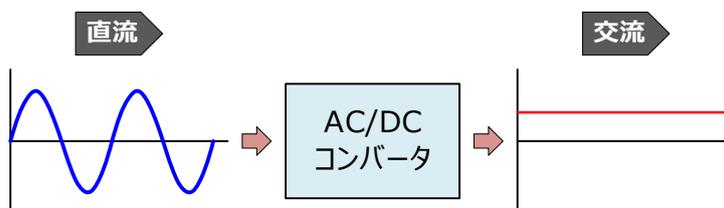
前述したように、パワーエレクトロニクス技術はパワー半導体素子を用いて電力の制御・変換を行うための技術であり、電圧や電流の大きさを変えたり、交流電力と直流電力を相互に変換したりと、電力を制御する事で家電製品や産業用機器への適切な種類の電気の供給を可能としている。電力を変換する変換機は、インバータまたはコンバータと呼ばれ、図 1.3 に示すように大きく4つの変換形態がある。



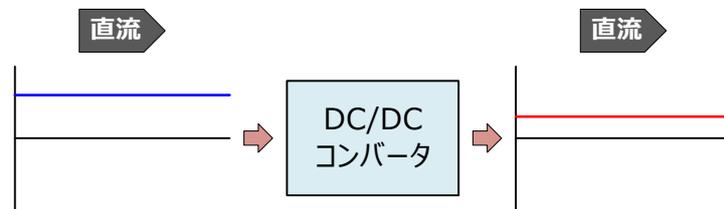
(a) 直流の電気を交流に変換



(b) 交流の周波数を変換



(c) 交流の電気を直流に変換

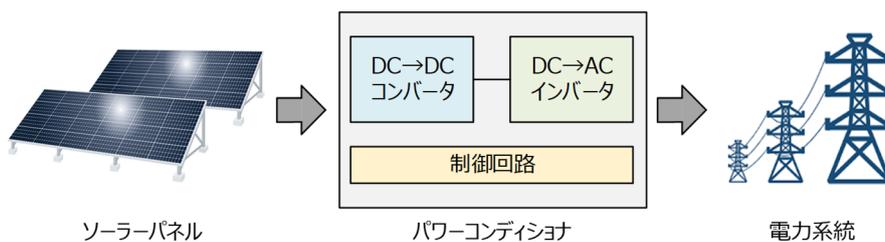


(d) 直流の電圧を変換

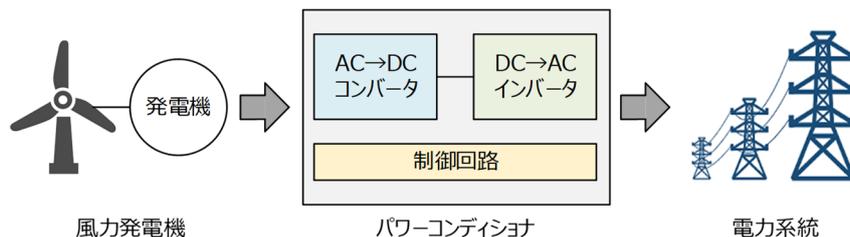
図 1.3 電力変換機の形態

図 1.3 (a)は、直流の電気を交流に変換するもので DC/AC インバータと呼ばれ、図 1.3 (b)は、交流の電気の周波数を変換するもので、こちらもインバータであるが AC/AC インバータと呼ばれる。図 1.3 (c)は、インバータとは逆に交流の電気を直流の電気に変換するもので、AC/DC コンバータと呼ばれる。図 1.3 (d)は、直流の電気の電圧を変換するもので、DC/DC コンバータと呼ばれる。パワーエレクトロニクス機器は、これからの変換機を必要に応じて組み合わせる事で構成されている。

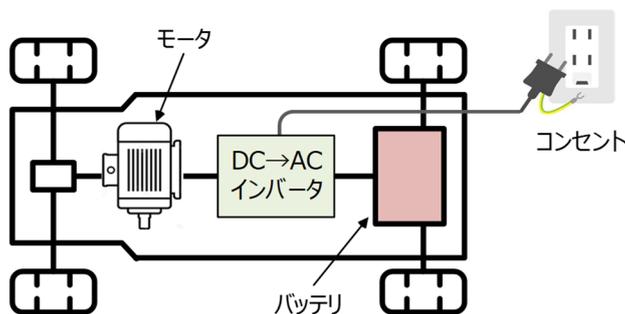
図 1.4 に、電力分野(太陽光発電と風力発電)および車載分野(EV)のパワーエレクトロニクス機器における変換機の適用例を示す。



(a) 太陽光発電システム



(b) 風力発電システム



(c) バッテリー電気自動車 (BEV)

図 1.4 パワーエレクトロニクス機器における変換機の適用例

図 1.4 (a)に、太陽光発電システムにおける適用例を示す。ソーラーパネルは、太陽電池素子で太陽光を受けてエネルギーを得るための装置であり、その出力は直流電力である。一方、日常的に使用されている一般家庭や施設の電力は交流電力となるため、直流電力から交流電力への変換が必要となる。太陽光発電システムでは、図 1.4 (a)に示すように DC/DC コンバータを用いて直流電圧の変換を行い、その後 DC/AC インバータにより直流の電気を交流に変換する。そのため、DC/DC コンバータと DC/AC インバータの2つの変換機が適用される。太陽光発電は、日照時間や天候によって発電量が左右されるため、その発電量が安定しない事がデメリットの1つである。そのような状況においても、安定的に発電量を最大化するための制御方法が最大電力追従制御 (MPPT 制御) であり、通常は DC/DC コンバータにて行われている。この MPPT 制御により、ソーラーパネルの能力を最大限引き出す事が可能となっている。

図 1.4 (b)に、風力発電システムにおける適用例を示す。風力発電は、風の力を利用してブレード(プロペラ)を回し、その回転エネルギーを発電機により電気エネルギーに変えて発電する仕組みであり、その出力は太陽光発電とは異なり交流の電力となる。しかし、風の強さは常に一定ではなく、風車の回転速度の変動により電気の品質に悪影響を及ぼす懸念がある。そのため、図 1.4 (b)に示すように、一度 AC/DC コンバータで交流の電気を直流に変換した後に、太陽光発電と同様に DC/AC インバータにより直流の電気を交流に変換している。そのため、AC/DC コンバータと DC/AC インバータの2つの変換機が適用される。一度 AC/DC コンバータで交流の電気を直流に変換するのは、直流に変換しておけば商用周波数 (50Hz/60Hz) への変換制御が容易になるからである。

図 1.4 (c)に、バッテリー電気自動車 (Battery Electric Vehicle: BEV) の例を示す。BEV は、バッテリーに充電した電気でモータを駆動して走行する自動車である。バッテリーからの出力は直流の電力だが、電気自動車の駆動モータは交流モータであるため、直流電力から交流への変換が必要となる。そのため、図 1.4 (c)に示すように、DC/AC インバータを用いてバッテリー出力を交流に変換している。インバータは、駆動時はバッテリーの直流電力を交流に変換してモータ駆動を行うが、回生時はエネルギー回生動作によりバッテリー充電を行う。回生動作により電費 (エンジン車における燃費に相当する指標) が向上するため、航続距離を伸ばす事も可能となる。また、図には記載されていないが、BEV ではバッテリー電圧を 12 V に降圧するための DC/DC コンバータや、逆に昇圧するための DC/DC コンバータも適用されている。

以上のように、パワーエレクトロニクス機器では複数の変換機が組み合わせられて使用されており、変換機にて電力の流れを制御する事で機器へ適切な種類の電気を供給している。次項では、図 1.4 で示した全てのパワーエレクトロニクス機器に適用されているインバータについて、動作原理および代表的な回路構成等を説明する。

(3) インバータ回路

図 1.5 に、スイッチ $S_1 \sim S_4$ をブリッジ状に配置したインバータの原理図を示す。図 1.5 (b)上段のタイミングチャートで示すように、 S_1, S_2 を ON し S_3, S_4 を OFF させると、

負荷には左側が正極となる電圧 $E_d(V)$ が加わり、次に S_1, S_2 を OFF し S_3, S_4 を ON させると、負荷には右側が正極となる電圧 $E_d(V)$ が加わる。再び S_1, S_2 を ON し S_3, S_4 を OFF させると、負荷には再び左側が正極となる電圧 $E_d(V)$ が加わる。このように、 S_1, S_2 および S_3, S_4 を交互に ON/OFF させこれを繰り返すと、負荷には図 1.5 (b) 下段のような方形波状の交流電圧が加わるため、直流を交流に変換することとなる。この回路が直流の電気を交流に変換するインバータの基本となる。

S_1, S_2 が ON している期間を DT とし、スイッチが ON/OFF する周期を T とすると、負荷への印加電圧の平均値 $V_{L(ave.)}$ は、(1.1) 式のようになる。

$$V_{L(ave.)} = (2D - 1) \cdot E_d \quad (0 \leq D \leq 1) \quad \dots(1.1)$$

インバータは、 D (周期 T に対するスイッチの ON 期間の比率) を変化させる事により、負荷への印加電圧を変化させ、平均電圧が正弦波になるように制御 (PWM 制御) している。

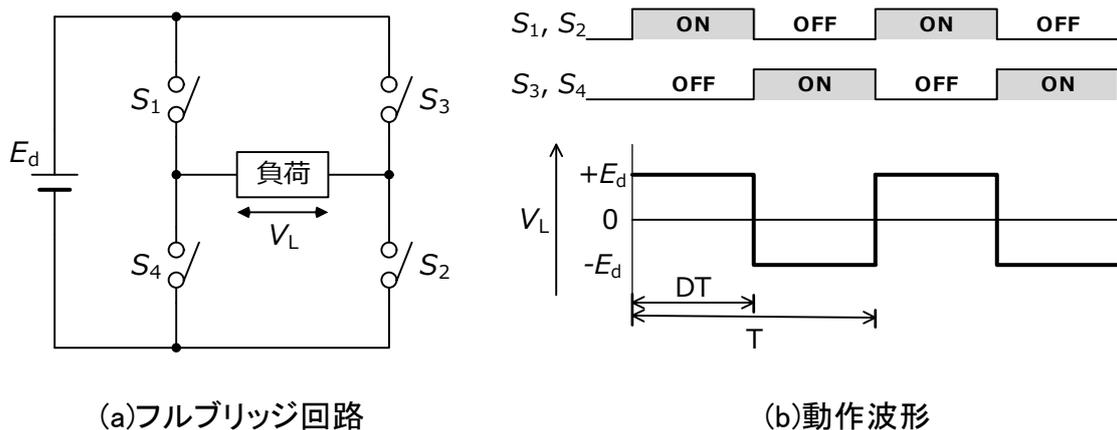


図 1.5 インバータの原理図(フルブリッジ回路)

実際の回路では、図 1.5 (a) に示したスイッチ $S_1 \sim S_4$ にパワー半導体素子を用いる事で高速なスイッチングを実現している。図 1.6 は、パワー半導体素子の中でも適用範囲が広範囲である IGBT (Insulated Gate Bipolar Transistor) をスイッチとして適用したインバータ回路を示す。図 1.6 は、3 相ブリッジの電圧制御型インバータ回路であるが、上下アームに各 1 個ずつ計 6 個の IGBT で構成され、各 IGBT には FWD (Free Wheeling Diode) が逆並列に接続されている。FWD は、誘導性負荷が接続されたインバータにおいて、IGBT をオフした際の素子破壊を防ぐためにインダクタンスに蓄えられたエネルギーを電源側へ還流させる役割を担うパワー半導体素子である。スイッチである IGBT の ON/OFF を適切に制御する事により、直流の電気を交流へと変換しており、IGBT の特長である高速スイッチングおよび低損失により、小型・高精度・高効率なパワーエレクトロニクス機器が実現されている。

このように、パワーエレクトロニクス技術は、パワー半導体素子における低導通抵抗・高速スイッチング技術によって成り立っている。近年は、パワーエレクトロニクス機器の更なる小型・軽量化や高効率化が求められ、パワー半導体素子の更なる高速化と低損失化が要求されており、SiC(炭化シリコン)や GaN(窒化ガリウム)等のワイドバンドギャップ半導体が注目されている。図 1.7 に示すように、SiC は更なる高電圧・大電流を必要とする領域への応用が期待され、GaN は高周波動作を必要とする領域への応用が期待され、これらワイドバンドギャップ半導体を適用したパワーエレクトロニクス機器の開発も進められている。

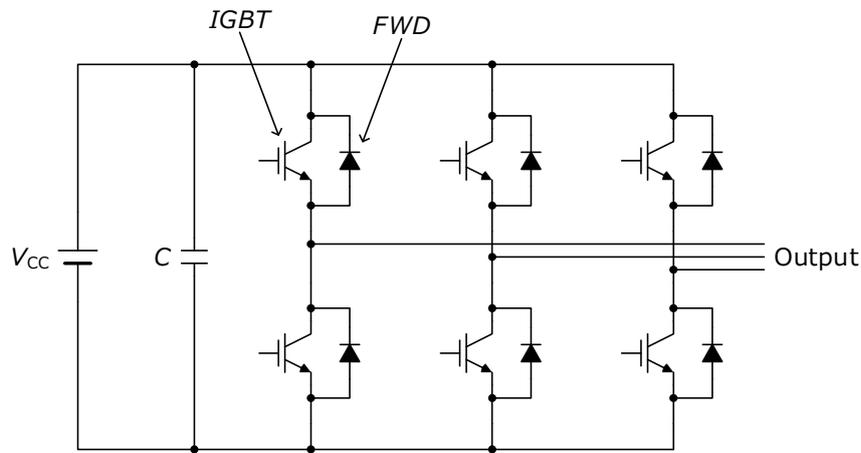


図 1.6 電圧制御型インバータ回路 (IGBT 素子)

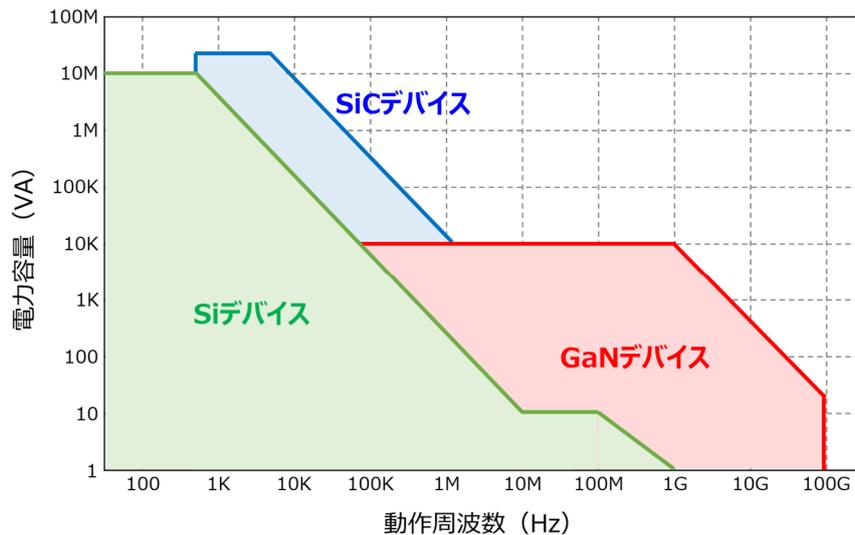


図 1.7 パワー半導体素子の適用領域

1.3 IGBT のゲート駆動技術

(1) ゲート駆動技術

ゲート駆動技術とは、MOSFET や IGBT と呼ばれたパワー半導体素子の駆動制御を行うための技術で、パワー半導体素子のゲート電圧を制御することで、半導体素子のオン状態とオフ状態の切り替え(スイッチング)を行う。パワー半導体素子を駆動する際の駆動条件に応じて、半導体素子そのものの特性にも影響を与えるため、駆動技術は重要な要素となる。また、パワー半導体素子の各種保護(過電圧保護、過電流保護、短絡保護、加熱保護)を行うのもゲート駆動技術に含まれるため、信頼性の観点からも重要と技術となる。

表 1.1 に、IGBT を駆動する際の駆動条件と IGBT の主要特性との関係を示している^[3]。一例を以下に述べる。

- ・IGBT のオン期間中のコレクタ・エミッタ間飽和電圧 ($V_{CE(sat)}$) は、 $+V_{GE}$ により変化し $+V_{GE}$ が高い程低減できる。 $V_{CE(sat)}$ は、IGBT の導通損失に影響を与える特性であり、 $V_{CE(sat)}$ を低減する程導通損失も低減できる。

- ・ターンオンに要する時間 (t_{ON}) やターンオン時の損失 (E_{ON}) は、 $+V_{GE}$ が高い程小さくなるがゲート抵抗の増加に伴い増加する。また、ターンオフに要する時間 (t_{OFF}) やターンオフ時の損失 (E_{OFF}) は、 $-V_{GE}$ を増加する程減少するがゲート抵抗の増加に伴い増加する。 E_{ON} および E_{OFF} は、スイッチング時の損失を表しており、前述した導通損失と合わせて損失全体を低減するためには、ゲートバイアス電圧 ($+V_{GE}$, $-V_{GE}$) の増大も有効な手法の1つである。

表 1.1 IGBT の駆動条件と主要特性

	$+V_{GE}$ 増	$-V_{GE}$ 増	$R_g(\text{on})$ 増	$R_g(\text{off})$ 増
$V_{CE(sat)}$	↓減少	—	—	—
t_{ON} , E_{ON}	↓減少	—	↑増加	—
t_{OFF} , E_{OFF}	—	↓減少	—	↑増加
ターンオン FWD サージ電圧	↑増加	—	↓減少	—
ターンオフ IGBT サージ電圧	—	↑増加	—	↓減少
dV/dt 誤点弧*	発生しやすい	発生しにくい	発生しにくい	発生しにくい
飽和電流値	↑増加	—	—	—
短絡耐量	↓減少	—	—	—
放射ノイズ	↑増加	—	↓減少	↓減少

$+V_{GE}$: ゲート順バイアス電圧、 $-V_{GE}$: ゲート逆バイアス電圧

*) オフ期間中の IGBT において、FWD の逆回復時の dV/dt により誤動作し、パルス状の短絡電流が流れて過剰な発熱や破壊を招く現象

・ターンオン時およびターンオフ時のサージ電圧は、 $+V_{GE}$ および $-V_{GE}$ の増加に伴い増加する特性であるが、素子耐圧を超えるサージ電圧は IGBT 素子の破壊を引き起こすため、低減が望まれる特性でもある。

・短絡耐量は、 $+V_{GE}$ が高くなる程減少する。これは、 $+V_{GE}$ が高くなる程短絡時の電流が増大する事に起因している。

以上のように、 $+V_{GE}$ および $-V_{GE}$ を増加させる事により IGBT の損失低減が可能となる。しかし、サージ電圧増大や短絡耐量の低下等のトレードオフが存在するため、適用するアプリケーションの設計目標に合わせた駆動条件の調整が必要となる。

(2) ゲート駆動回路

パワー半導体素子の駆動制御を行うのが、ゲート駆動回路である。図 1.8 に一般的なゲート駆動回路の構成図を示す。基本的な動作としては、インバータ等の制御回路で生成されたゲート信号を所望のゲートバイアス電圧 ($+V_{GE}$ および $-V_{GE}$) に変換・増幅して出力する回路となるが、駆動する IGBT における電圧・電流・温度をモニターし、異常時には IGBT を保護する動作も行う。ゲート駆動回路は図 1.8 に示すように、入力段 (INPUT) とプリドライバと出力段および保護機能部で構成される。

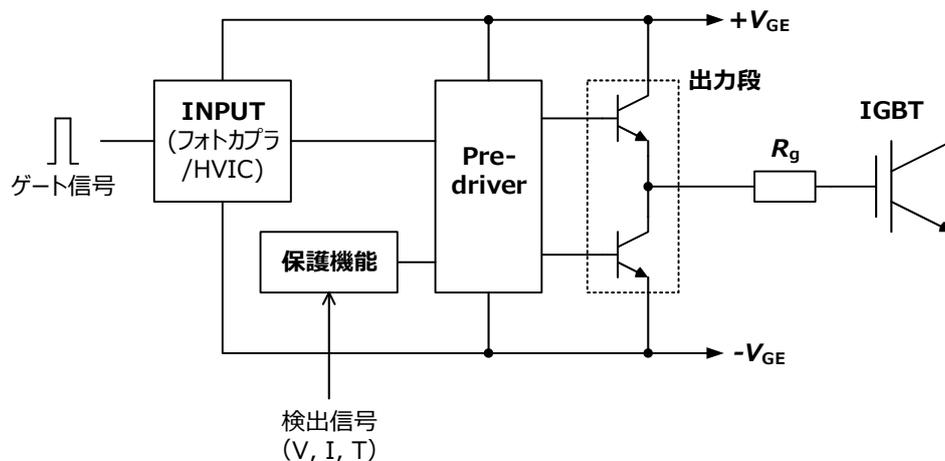


図 1.8 一般的なゲート駆動回路の構成図

また、ゲート駆動回路は、図 1.9 に示すように電圧型ゲート駆動回路と電流型ゲート駆動回路に大別される。電圧型ゲート駆動回路は、出力段を構成しているスイッチ（主に、バイポーラトランジスタや MOSFET で構成される）をオンやオフさせる事により、IGBT のゲートに印加される電圧を切り替える。一方、電流型のゲート駆動回路は、スイッチにより IGBT のゲートに印加される定電流の切り替えを行う。電圧型のゲート駆動回路が一般的だが、スイッチング期間内で駆動能力を変化させる Active Gate Drive などを適用する場合には、電圧型と比較して電流型の方が扱いやすい事から電流型のゲート駆動回路が用いられる^[4]。本研究における電流不均一抑制制御にお

いても、電流型のゲート駆動回路をベースとしている。

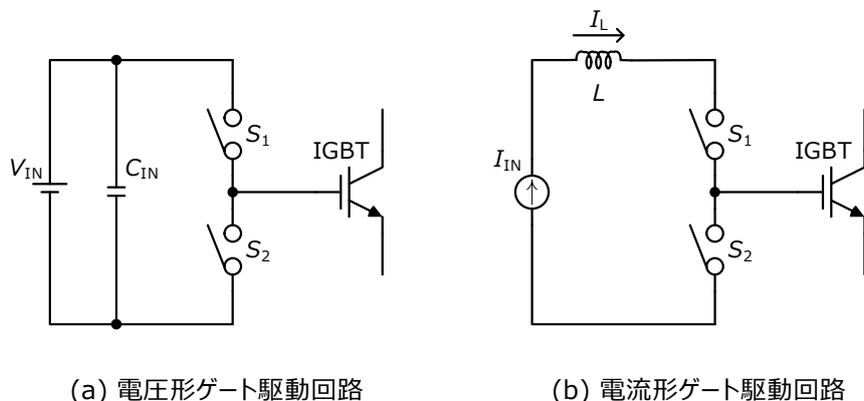


図 1.9 IGBT のゲート駆動回路の基本構成

ゲート駆動回路の基本的な構成要素である入力部と保護機能について事項で述べる。

(3)ゲート駆動回路の入力部

インバータ等のパワー機器においては、ユーザーやコントローラを保護するため、1次側(低電圧側)と2次側(高電圧側)との電氣的な絶縁が必要不可欠となる。電氣的に絶縁された低電圧側と高電圧側とで信号のやり取りをするための技術が、フォトカプラや HVIC (High Voltage IC) であり、ゲート駆動回路の入力部はフォトカプラや HVIC を用いて構成される。

図 1.10 に、ゲート駆動回路および IGBT モジュールをインバータに適用した場合の構成例を示す。マイコンや ASIC (Application Specific Integrated Circuit: 特定用途向け集積回路) で構成された 1 次側のマイコンが、フォトカプラもしくは HVIC を介してゲート回路に接続され、更にインバータ回路を構成した IGBT モジュールに接続され、モータの駆動が行われる。図 1.10 に示すように、インバータ等のパワー機器においては、1 次側のコントローラは、通常数 V の低電圧にて動作するのに対し、2 次側のインバータ回路(ゲート駆動回路+IGBT モジュール側)は数百 V から数千 V の高電圧で動作するため、1 次側と 2 次側間を光で信号のやり取りを行うフォトカプラや、低電圧回路と高電圧回路間で高い分離耐圧を備えた HVIC を介して制御信号を伝達する事で、2 次側の IGBT モジュールを 1 次側のマイコンから制御する事が可能となる。

図 1.11 に、フォトカプラの構成図を示す。フォトカプラは、発光ダイオード等の発光素子とフォトトランジスタ等の受光素子で構成され、光信号を用いて入力側回路と出力側回路とを結合する素子である。発光素子が、入力された電気信号を光に変換し、受光素子はその光を再び電気信号に戻して出力側回路へ伝達する事で、電氣的に

絶縁された入力側と出力側間での電気信号のやり取りを可能とする。フォトカプラは、光を介して信号の伝達を行うため入力側と出力型の絶縁性が高く、それ故ノイズの影響を受けにくく、隣り合う回路間で予期せぬ電流が流れ込む事が無いため、安全面で非常に高い有効性がある。また、構造がシンプルであるため、安価である事等がそのメリットとなる。しかしながら、発光ダイオードが時間の経過や温度変化により劣化し発光効率が低下する、消費電流が比較的大きい、絶縁した端子間で伝送できる信号の速度が比較的低い等の課題も存在する。また、上アーム側に配置したカプラと下アーム側に配置したカプラとの遅延時間差により、2 μsec ~5 μsec の比較的大きなデッドタイムが必要となり、インバータ制御におけるキャリア周波数の高周波化に悪影響を与える等の課題も存在する。フォトカプラに変わって主流となってきているのが、HVICである。

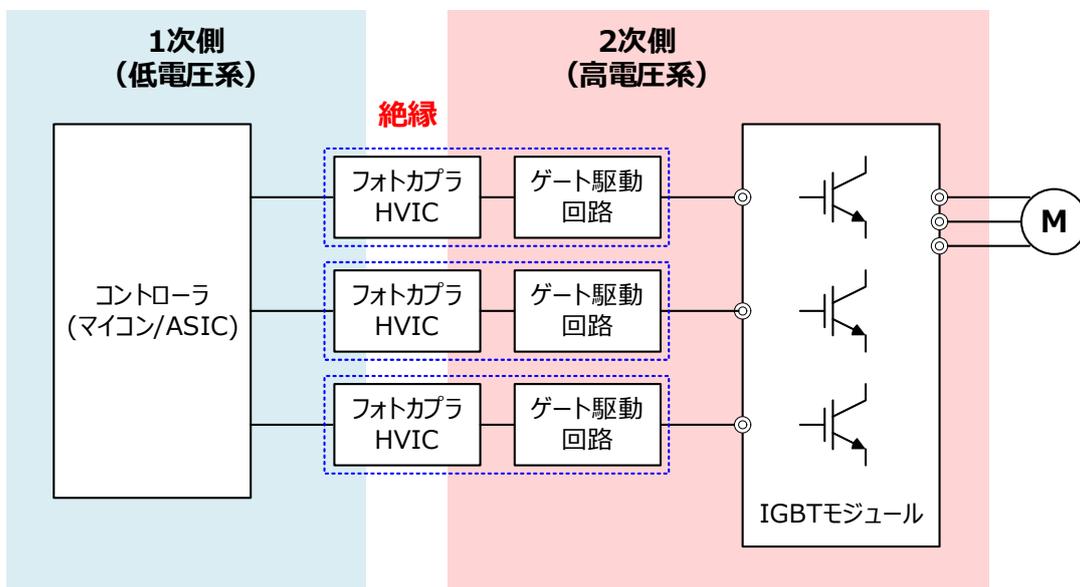


図 1.10 インバータ等への IGBT モジュールの適用例

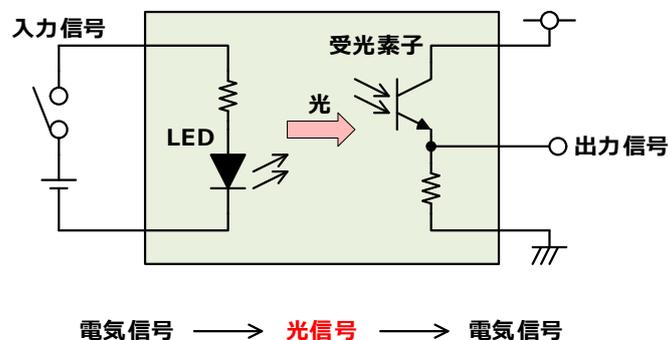


図 1.11 フォトカプラの構成図

図 1.12 に、HVIC 回路の構成図^[5]を示す。HVIC の特徴は、接地電位を基準に動作するローサイド回路と上アーム側 IGBT のエミッタ電位を基準に動作してゲート駆動機能を担うハイサイド回路と、制御信号のレベルアップ機能を担うレベルシフト回路の 3つの回路を1つのチップに内蔵している事である。レベルシフト回路により、チップ内部で絶縁が取られている。

上アーム側 IGBT のエミッタ電位は、スイッチングに伴い-100 V 程度から+1000 V 以上にまで変動する可能性があるため、ハイサイド回路とローサイド回路の間には高い分離耐圧を持たせている。HVIC では、ローサイド回路に入力された接地電位基準の制御信号は、レベルシフト回路を介してハイサイド回路内のゲート駆動回路に伝達され、上アーム側の IGBT が駆動される。

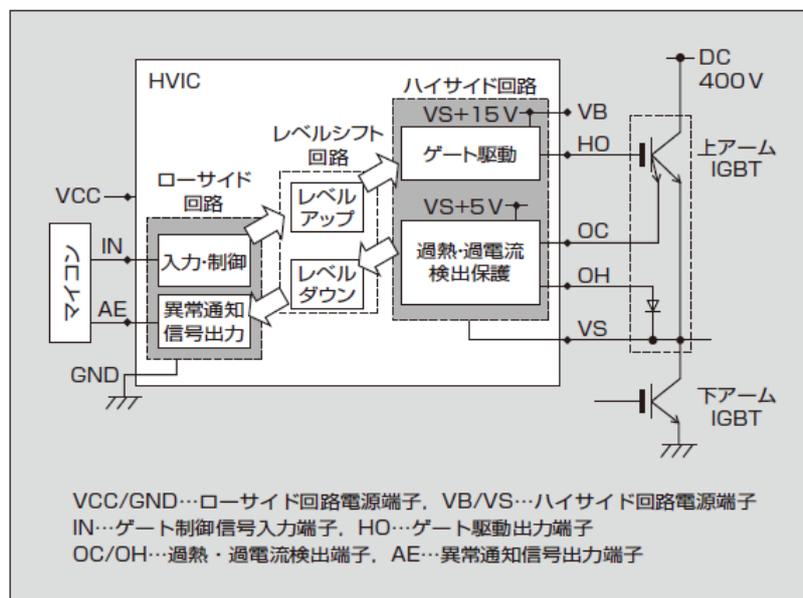


図 1.12 HVIC 回路の構成図

(4) 保護機能

前述したように、IGBT 素子の保護機能も重要な駆動技術となる。IGBT の保護機能としては、過電流保護・短絡保護・過電圧保護・加熱保護等が挙げられるが、過電流保護および短絡保護は特に重要な保護機能となる。

短絡もしくは過電流により IGBT が破壊した場合、故障モードはショート故障となるため、制限なく IGBT に電流が流れ続ける。その結果、この過電流による発熱により発煙もしくは発火の可能性があるため、資産保護と安全面の両面から過電流に対する保護機能は重要となる。また近年は、IGBT の導通損失を改善させる事により、短絡電流レベルの増大、チップサイズの小型化による熱容量の低下および許容短絡時間の短縮などが起きているため、過電流に対する保護機能の重要性も更に高まっている。

通常、過電流に対する保護は図 1.13 に示すように、電流検出もしくは非飽和検出によって行われる。過電流検出の場合は、図 1.13 (a)に示すように各相もしくは出力部に電流検出用のシャント抵抗 (R_s) を挿入し、直接過電流の検出が行われる。一方、非飽和検出方式では、IGBT のコレクタ・エミッタ間電圧 (V_{CE}) をモニターし、過電流による V_{CE} の上昇を検出する事で過電流の検出を行う。電流検出方式もしくは非飽和検出方式により過電流が検出されると、電流を遮断するためゲート電圧が強制的に降下される。図 1.14 に、過電流保護動作時の動作波形を示す。短絡などにより過電流が発生すると、 I_{CE} が増加しそれに伴い V_{CE} も増加する。 I_{CE} もしくは V_{CE} が過電流検出レベル (I_{sc} および V_{sc}) に達すると、過電流を遮断するためにゲート電圧 (V_{GE}) が強制的に降下される。この時、黒線で示すように急激に V_{GE} を降下させてしまうと、電流も急激に遮断されるため、高- dI_{CE}/dt と主回路配線のインダクタンスにより、大きなサージ電圧が発生し過電圧状態となってしまう。従って、サージ電圧上昇の抑制のため、赤点線で示すように V_{GE} をゆっくり降下させるソフト遮断が行われる。ソフト遮断により、過電流遮断時のサージ電圧上昇の抑制が可能となる。

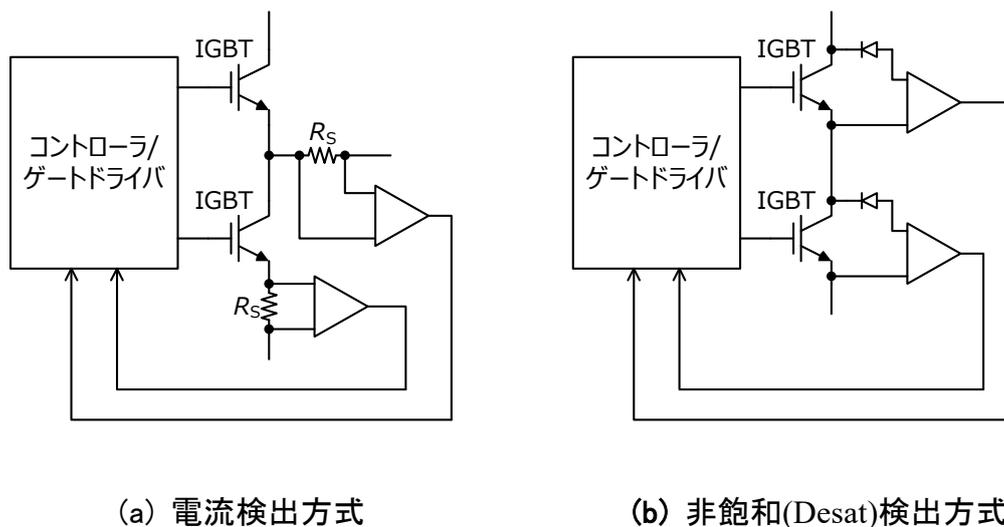


図 1.13 過電流検出方法

以上のように、IGBT を最適な特性で動作させるために、また高電圧系においても安全に使用できるように、更には異常状態が発生した場合においても IGBT が破壊する事なく動作させるために、駆動技術は非常に重要な技術である事がわかる。これまでも様々な技術開発が行われ、実施のアプリケーションに適用されている。

しかしながら、パワエレ機器の大電流化に伴い必要となる IGBT チップもしくはモジュールの並列接続において、並列接続時に問題となる IGBT チップ間もしくはモジュール間の電流不均一を抑制するための駆動技術については、技術開発が不十分な状況であり、有効な手法の開発およびアプリケーションへの適用が急務な状況と言える。

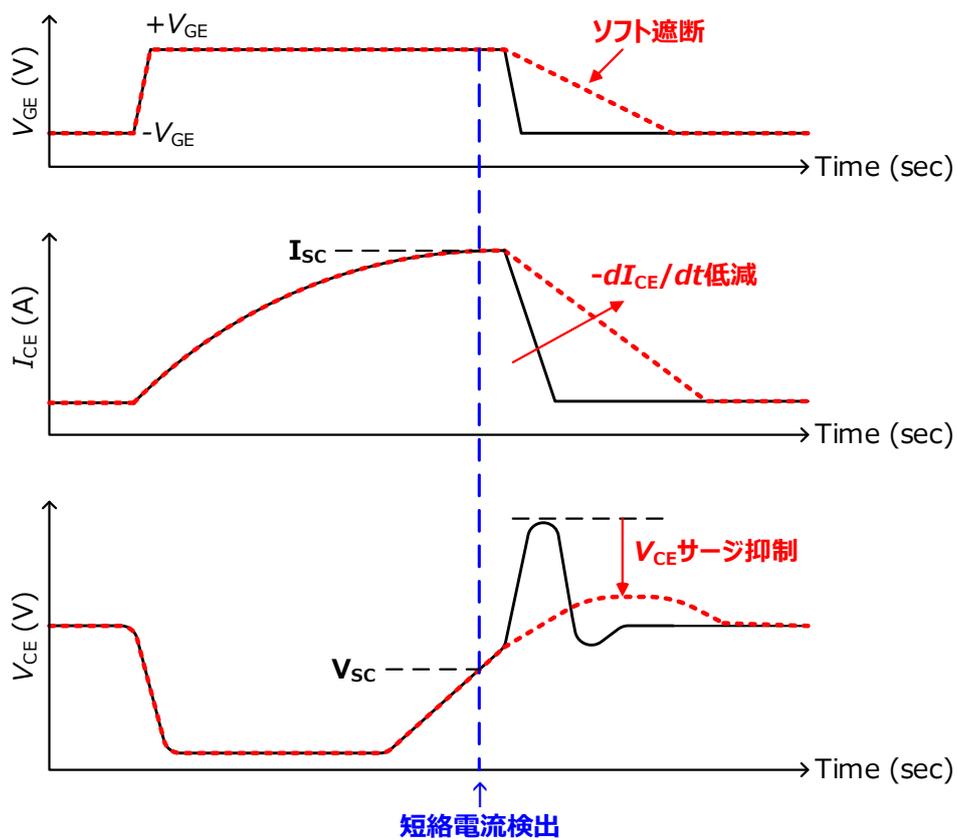


図 1.14 過電流検出およびソフト遮断時の動作波形

1.4 並列接続による大電流化と並列接続における課題

(1) 並列接続による大電流化

図 1.15 に、2021 年における電流定格別の IGBT モジュール世界市場を円グラフで示している。対象となる IGBT モジュールは、スタンダードな IGBT モジュールであり、IPM(Intelligence Power Module)や PIM(Power Integrated Module)は図 1.15 には含まれていない。図に示すように、電流定格が 300 A 以上の市場が全体の 55 %程度を占めている状況であり、電流定格が 150 A 以上の市場も加えると、全体の 72 %を占める事となっている。図 1.2 に示すように、IGBT モジュールの大容量帯のアプリケーションとしては、風力発電や太陽光発電等の電力分野や電鉄等の鉄道分野が分類されており、今後もこれらの分野への IGBT モジュールの適用が継続されると推定されるため、図 1.15 に示した大電流市場比率が高い傾向も継続されると思われる。

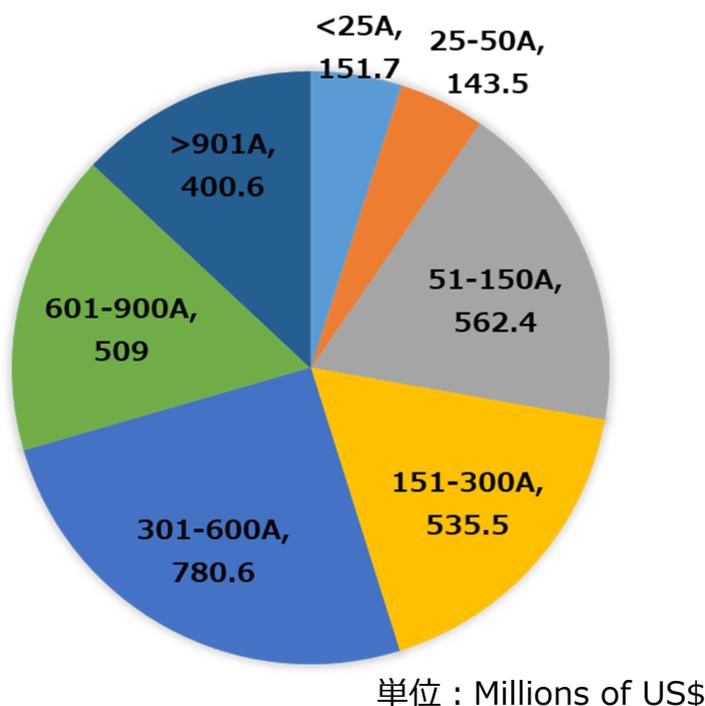


図 1.15 電流定格別の IGBT モジュール世界市場@2021
(出典: OMDIA database)

しかしながら、IGBT チップ単体の電流定格は、特性的・製造技術的な制約から 100 A~200 A 程度であり、世界市場の 50 %以上を占める電流定格が 300 A 以上の市場においては、図 1.16 に示すように IGBT を並列に接続する事で大電流化に対応している。図 1.16 に示すように、IGBT を並列に接続する事により、より大きな電流を

扱う事が可能となり、電流定格が 100 A の IGBT チップを 5 チップ並列に接続する事で、電流定格が 500 A の IGBT を実現可能となる。

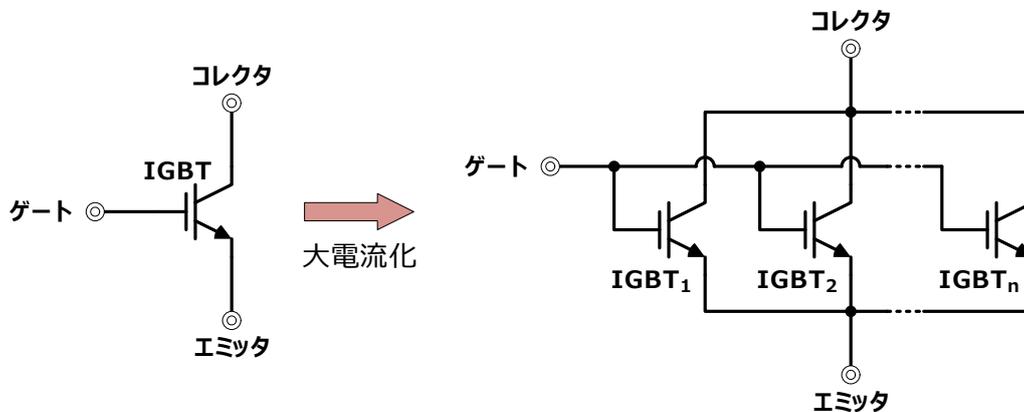
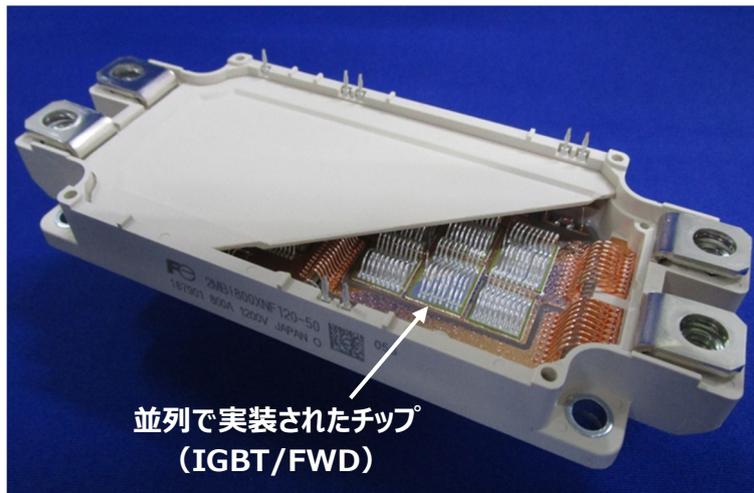


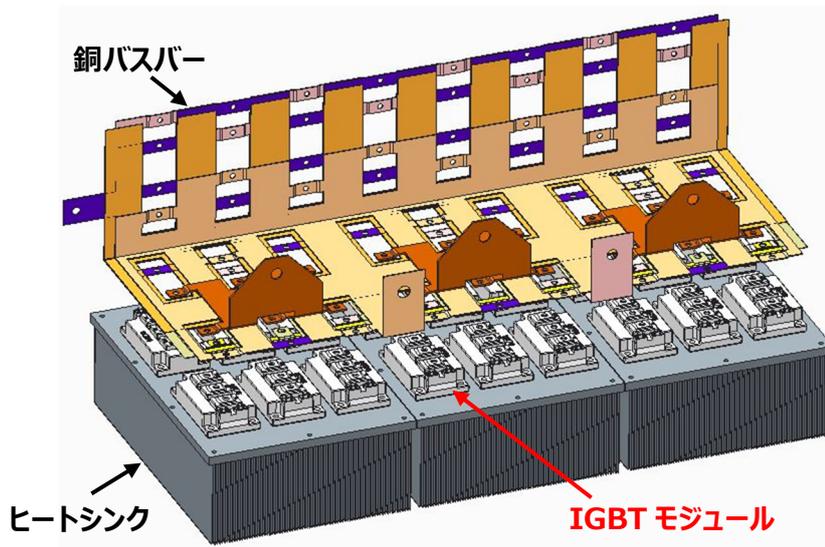
図 1.16 IGBT の並列接続による大電流化

並列接続の形態も様々存在しており、図 1.17 (a)に示すように IGBT モジュール内で IGBT チップおよび FWD チップを並列に接続するケース、図 1.17 (b)に示すように、パワーエレクトロニクス機器内で IGBT モジュールを並列に接続するケース、製品ユニット(インバータ、電源)の並列接続等様々である。図 1.17 (a)に示した IGBT モジュールは、パッケージの中に逆並列接続した IGBT と FWD を 2 組内蔵したハーフブリッジ構造の富士電機製の IGBT モジュールであるが、IGBT および FWD は複数の IGBT チップおよび FWD チップが並列接続された状態で実装されている。富士電機では、チップの並列接続による大電流化により、2400 A の電流定格の IGBT モジュールも製品化されている。また、図 1.17 (b)は、UPS(無停電電源装置)における IGBT モジュールの並列接続例であるが、IGBT モジュールを複数並列に接続する事により、数百 kVA ~ 数千 kVA の定格出力容量を実現している。

以上のように、脱炭素の実現のためには、太陽光発電や風力発電などの再生可能エネルギー分野やハイブリッド自動車や電気自動車分野での積極的なパワーエレクトロニクス技術の活用が重要となるが、そのためには IGBT の並列接続による大電流化は必要不可欠となる。



(a) IGBT チップを並列接続 (IGBT モジュール)



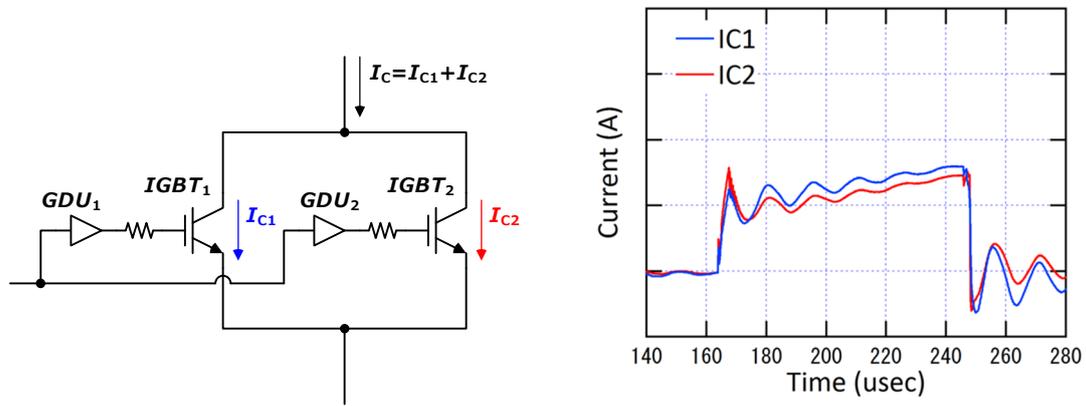
(b) IGBT モジュールを並列接続 (UPS の例)

図 1.17 IGBT チップおよび IGBT モジュールの並列接続例

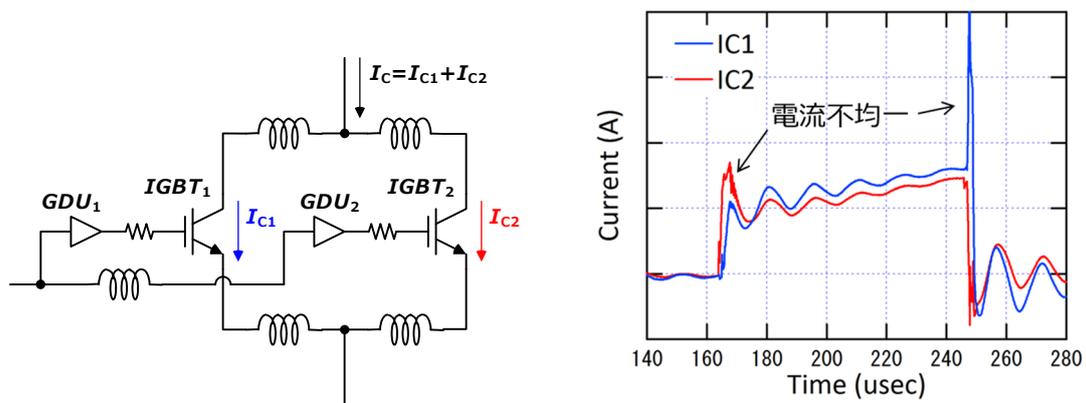
(2) 並列接続における課題

IGBT の並列接続において問題となるのが、並列接続した IGBT 間での電流不均一である。図 1.18 に、2つの IGBT を並列接続した構成にて、スイッチング動作を行った時の IGBT 間における電流不均一を表している。図 1.18 (a)に示すように、理想的には2つの IGBT ($IGBT_1$, $IGBT_2$) 間で電流 I_c が均等に分配 ($I_{c1} = I_{c2}$) され、電流不均一が発生しない事である。しかしながら、実際のモジュールやパワエレ機器においては図 1.18 (b)に示すように、モジュール内もしくは機器内に寄生インダクタンスや

寄生容量が存在し、そのアンバランスにより電流分担に不均一が発生する^[6]。また、IGBT チップやモジュールを実装する基板のレイアウトも、チップやモジュールに対して完全に対称とする事は困難であるため、基板レイアウトに非対称が生じ電流分担の不均一の要因となる。更に、並列接続する $IGBT_1$ と $IGBT_2$ を完全に同一特性の IGBT チップもしくはモジュールで構成する事も困難であり、並列接続する IGBT 間に特性差が生じ電流分担に不均一が生じる。図 1.18 (b)の電流波形に示すように、過渡時(ターンオン時およびターンオフ時)においては、片側の IGBT への電流集中が発生するため、大きな電流不均一となる。電流不均一は、IGBT チップやモジュールの劣化の加速や、最悪の場合は破壊を引き起こし、また過電流の誤検出等の制御上の不具合も引き起こす可能性があるため、実際のアプリケーションにおいてはチップもしくはモジュールのソートやディレーティング(電流低減)などの対策が実施される。



(a) 並列接続 IGBT における理想的な電流分配



(b) 並列接続 IGBT における実際の電流分配

図 1.18 並列接続 IGBT における理想および実際の電流分配

ディレーティングは、モジュールもしくはパワーエレ機器での電流総和(流すことができる最大電流)を定格電流の総和に対して少なく(電流低減)する事であり、電流不均一(特性のチップもしくはモジュールへの電流集中)を考慮して決められる。n 個の IGBT を並列に接続した場合の許容最大電流 ΣI は、2 並列時の電流不均一率(α)を用いて式(2.1)のよう表す事ができる^[7]。

$$\Sigma I = I_{C(\max)} \left[1 + (n - 1) \frac{\left(\frac{1 - \alpha}{100} \right)}{\left(1 + \frac{\alpha}{100} \right)} \right] \quad \dots(2.1)$$

ここで、 $I_{C(\max)}$ は1素子当りの最大電流を表し、 α は式(2.2)で表される電流不均一率を表している。

$$\alpha = \left(\frac{I_C}{I_{C(\text{ave})}} - 1 \right) \times 100 \quad \dots(2.2)$$

ここで I_C は、並列時の IGBT に流れる電流 (図 1.18 の I_{C1} もしくは I_{C2}) を表し、 $I_{C(\text{ave})}$ は平均電流値 (図 1.18 では、 $I_{C(\text{ave})} = (I_{C1} + I_{C2}) / 2$) を表す。

ディレーティングは、本来 IGBT チップもしくはモジュールで扱う事ができる最大電流よりも低い電流を動作時の最大電流として制限して使用 (Ex. 電流定格 300 A のモジュールに対して、動作時の最大電流が 250 A となるようにシステム的设计) するため、電流低減した分がロスとなる。このロスは、金額のロスとして考える事もできるため、ディレーティングによる金額ロスの試算を行った。図 1.19 に、式(2.1)を用いて算出した電流不均一率(α)に対するディレーティングによるロス率の並列数依存性を示す、横軸に並列数を、縦軸にロス率を示している。縦軸に示したロス率は、 $\alpha = 0\%$ の時の電流総和 ΣI と $\alpha = 2\%, 6\%, 10\%, 14\%$ の時の ΣI との比率を金額ロス率として算出している。図 1.19 に示すように、並列接続数が増加する程ロス率は増加し、更に電流不均一率が増加する程ロス率が増加している事が分る。例えば、 $\alpha = 14\%$ 、 $I_{C(\max)} = 200$ A、並列数 $n = 4$ の場合では、 $\Sigma I = 652.6$ A となるため $\alpha = 0\%$ 時の $\Sigma I = 800$ A に対して、約 18%のロス率となる。従って、電流定格 200 A の IGBT モジュールを4つ並列に接続し、その時の α が 14%であった場合、18%程度のディレーティングが必要となり、IGBT モジュール4つの合計費用 20,000 円であったとすると、その内の 3,600 円はディレーティングで消費される事となり、大きな金額ロスとなる。2in1 タイプの IGBT モジュールで電流定格が 300 A 程度の製品の場合、仕様書から推定する α は 15%程度となるため、上記の 14%は決して過剰な数値ではない。前述したように、ロス率は α の増加に伴い大きく増加するため、金額ロスの低減には並列接続時の α の低減、すなわち電流不均一の抑制が効果的であり、電流不均一抑制技術は脱炭素実現のための IGBT の並列接続による大電流化には必要不可欠な技術となる。

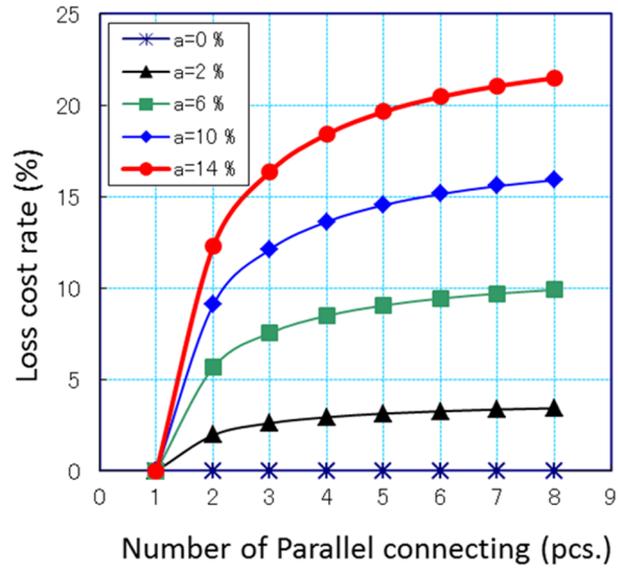


図 1.19 並列接続 IGBT における理想および実際の電流分配

1.5 電流不均一抑制技術の技術動向

(1) 過渡時の電流不均一

図 1.18 (b)に示したように、過渡時(ターンオン時およびターンオフ時)には非常に大きな電流不均一が発生するため、過渡時の電流不均一の抑制は必須となる。電流不均一は、主回路配線の寄生インダクタンスのアンバランス、DCB 基板レイアウトの非対称性、デバイス特性差およびターンオンタイミングおよびターンオフタイミング差等により引き起こされるが、特に過渡時の電流不均一はターンオンタイミングおよびターンオフタイミング差、すなわちターンオン遅延時間差(Δt_{dON})およびターンオフ遅延時間(Δt_{dOFF})が大きく影響する^{[8],[9]}。IGBT のスイッチング特性は、ゲート抵抗と IGBT のゲート容量に強く依存するため、それらのばらつきにより各 IGBT の遅延時間もばらつき、遅延時間差が生じる。また、図 1.18 (b)の接続図に示すように、GDU の入力信号配線にも寄生抵抗や寄生インダクタンスが存在しするため、配線のアンバランスによりゲートドライバに入力されるゲート信号の遅延時間差が生じ、更に GDU の伝搬遅延時間にもばらつきが存在するため、伝搬遅延時間差も生じる。これらの遅延時間差が Δt_{dON} および Δt_{dOFF} 発生 の要因となるが、図 1.20 に示すように、デバイス特性の差も遅延時間差を発生させる要因となる。図 1.20 は、しきい値電圧が異なる2つの IGBT ($IGBT_1, IGBT_2$) を並列に接続し、ターンオンさせた場合の V_{GE} 波形および I_{CE} 波形のイメージ図である。 $IGBT_1$ と $IGBT_2$ のしきい値電圧 V_{TH1} および V_{TH2} は、 $V_{TH1} < V_{TH2}$ の関係となっている。図に示すように、ゲート信号が立ち上がると、各 IGBT の V_{GE} がゲート抵抗とゲート容量で決まる時定数で増加し始めるが、 $V_{TH1} < V_{TH2}$ により $IGBT_1$ の V_{GE} の方が先に V_{TH} に達するため、 $IGBT_1$ の I_{CE} (I_{CE1}) が先に流れ始める。その後、 V_{GE2} も V_{TH} に達すると I_{CE2} も流れ始めるが、この時 $IGBT_1$ と $IGBT_2$ 間には Δt_{dON} が発生する事となり、電流不均一が発生する。 Δt_{dOFF} についても同様である。

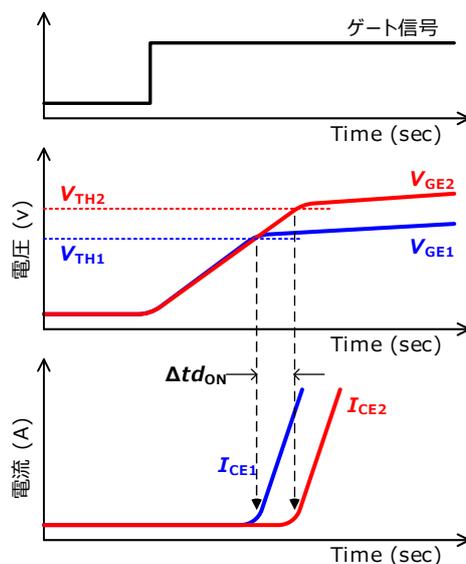
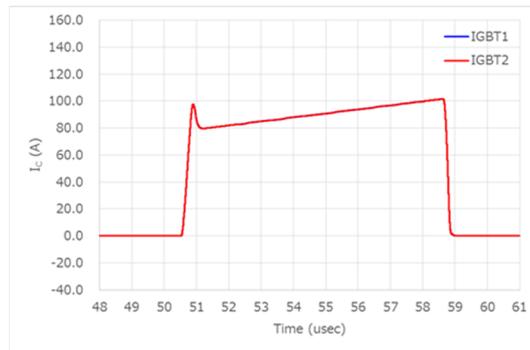


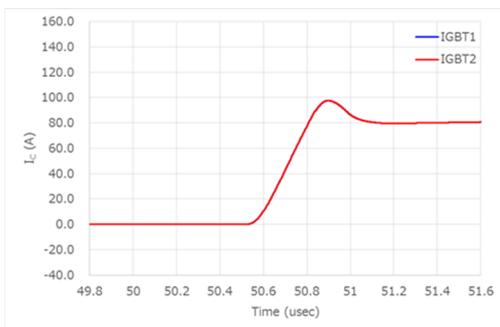
図 1.20 並列接続 IGBT における ΔV_{TH} による遅延時間差

V_{TH} の異なる IGBT を並列に接続した回路にて、スイッチング動作をさせた時の電流不均一の様子をシミュレーションで解析した。図 1.21 と図 1.22 にシミュレーション結果を示す。図 1.21 は、 $V_{TH1} = V_{TH2} = 6.49 \text{ V}$ とした場合の I_{CE} 波形で、図 1.22 は $V_{TH1} = 6.2 \text{ V}$, $V_{TH2} = 6.78 \text{ V}$ と $V_{TH1} < V_{TH2}$ とした場合の波形を示している。また、各図の(a) は1スイッチング期間における全体波形を、(b)と(c)はそれぞれターンオンおよびターンオフの部分を拡大して表示した図である。図 1.21 に示すように、 $V_{TH1} = V_{TH2} = 6.49 \text{ V}$ の場合は、 $IGBT_1$ と $IGBT_2$ は全く同じ I_{CE} 波形となっており、電流不均一も観測されていない。一方、 $V_{TH1} = 6.2 \text{ V}$, $V_{TH2} = 6.78 \text{ V}$ とした場合には、ターンオンおよびターンオフ期間にて電流不均一が観測されている。図 1.22 (b), (c)に示すように、ターンオン時は V_{TH} が低い $IGBT_1$ が先にオン状態となるため、 $IGBT_1$ 側に電流が集中し電流不均一を発生させ、ターンオフ時は V_{TH} が高い $IGBT_2$ が先にオフし始めるため、オン状態を継続している $IGBT_1$ 側に電流が集中し、電流不均一を発生させている。

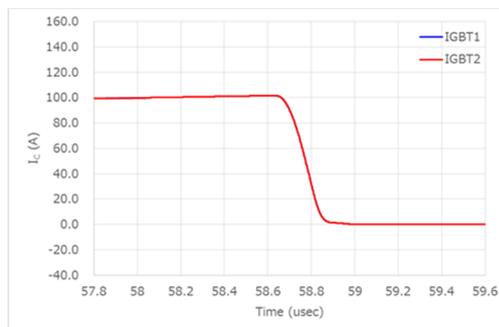
過渡時の電流不均一は、①ゲート抵抗およびゲート容量のばらつきによるスイッチング特性ばらつき、②ゲート信号配線の寄生抵抗および寄生インダクタンスによる信号遅延差、③GDUでの伝搬遅延差、④IGBTのデバイス特性差によるスイッチング特性差で生じる Δt_{dON} , Δt_{dOFF} により引き起こされるため、その抑制には Δt_{dON} および Δt_{dOFF} を減少させる事が有効となる。



(a) 全体 I_{CE} 波形

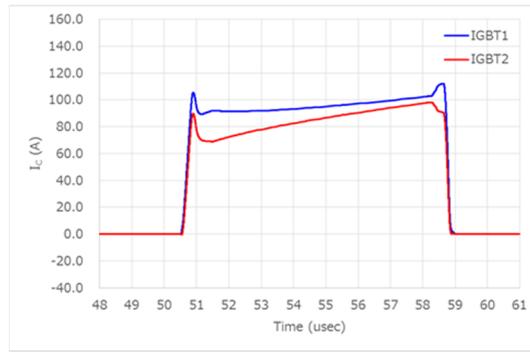


(b) ターンオン時の I_{CE} 波形

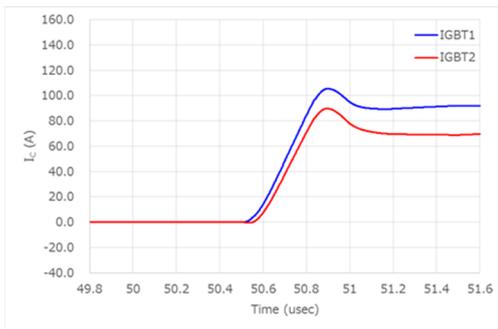


(c) ターンオフ時の I_{CE} 波形

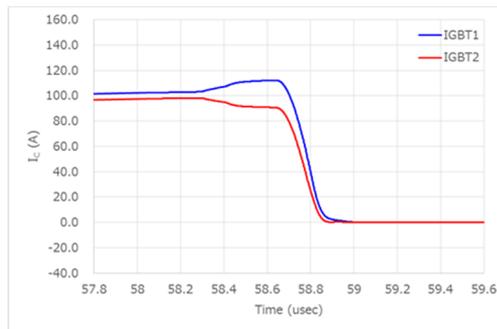
図 1.21 並列接続 IGBT のスイッチング時のシミュレーション波形 ($V_{TH1} < V_{TH2}$)



(a) 全体 I_{CE} 波形



(b) ターンオン時の I_{CE} 波形



(c) ターンオフ時の I_{CE} 波形

図 1.22 並列接続 IGBT のスイッチング時のシミュレーション波形 ($V_{TH1} < V_{TH2}$)

(2) 電流不均一抑制技術の動向

前述したように、過渡時の電流不均一の要因は、並列接続した IGBT 間における遅延時間差であり、遅延時間差を減少させる事により過渡時の電流不均一抑制が実現可能と考えられる。富士電機の M. Tabata らは、ゲート容量 (C_{ies}) のばらつきによるスイッチング特性ばらつき、特に遅延時間のばらつきを補償するために、IGBT のゲート端子間に抵抗 (R_c) を挿入する手法を提案している^[10]。図 1.23 にブロック図を示す。

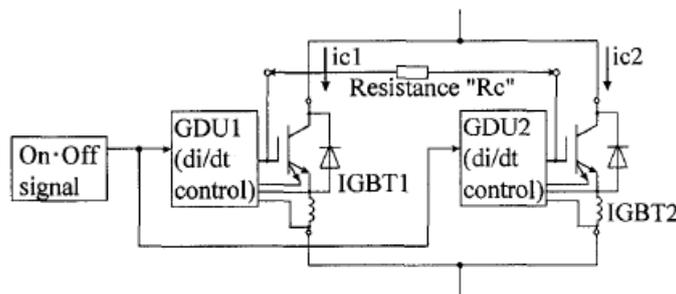


図 1.23 ゲート端子間に補償抵抗を用いた構成図^[10]

図 1.24 に、ターンオン時とターンオフ時における伝搬時間と R_c の関係を示す。図に示すように、 $R_c = 150 \Omega$ とする事でターンオン時の伝搬時間が 70 nsec 程度に、ターンオフ時の伝搬時間が 40 nsec 以下でコントロール可能である事が分る。

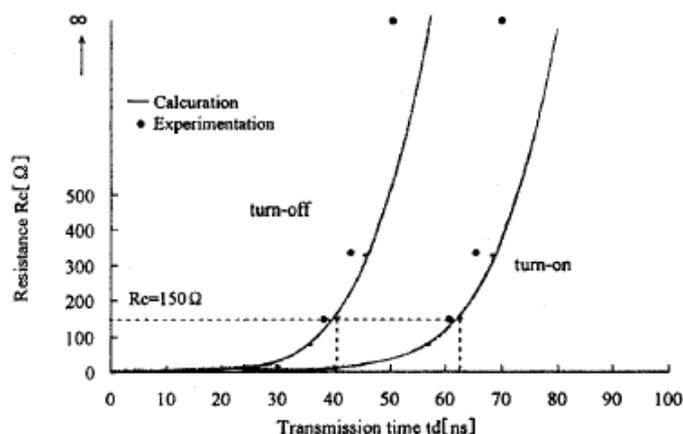


図 1.24 ゲート端子間に補償抵抗を用いた構成図^[7]

しかしながら、上記の手法ではスイッチング特性ばらつきを完全に補償する事は不可能であり、スイッチングが高速化された最新の素子においては、その効果は限定的となってしまふ。

補償用抵抗等を用いてスイッチング特性のばらつきを低減する事により、遅延時間差を減少させ過渡時の電流不均一を抑制するのではなく、“Active Gate Control”により、ゲートドライバに入力されるゲート信号の立ち上がりおよび立ち下がりタイミングを変化させる事で、直接ターンオンおよびターンオフのタイミングを制御する手法^{[11]-[14]}も提案されている。IGBT 間の遅延時間差を減少させ、IGBT 間のターンオンタイミングおよびターンオフタイミングの差を減少させるのではなく、各 IGBT に接続されたゲートドライバに入力するゲート信号に時間遅延を与え、並列接続された全ての IGBT のターンオンタイミングおよびターンオフタイミングを一致させる事で、過渡時の電流不均一を抑制する技術である。図 1.25 に、参考文献[11], [12], [13]で提案された構成を示す。図 1.25 (a)では、個別のゲートユニット内に配置した遅延生成回路を用いて、ゲートドライバに入力するゲート信号の立ち上がりタイミングと立ち下がりタイミングを遅延させ、過渡時の電流不均一を抑制する。Active Gate Control 全体の制御は、Texas Instruments 社の DSP (Digital Signal Processors) である TMS320C50 を用いて実施している。図 1.25 (b)も同様に、ダイナミックコントローラにより各ゲートドライバに入力するゲート信号に遅延時間を与え、過渡時の電流不均一を抑制する。制御回路と遅延生成回路は、モニター機能と一緒に Single Control and Monitoring Unit (CMU)に実装され、Active Gate Control 全体の制御は[11]と同様に TMS320C50 を用いて実施している。また、図 1.25 (c)では、DSP と FPGA (Field Programmable Gate

Array)を搭載した DSP/FPGA ボードを用いて、ゲートドライバに入力するゲート信号の立ち上がりタイミングと立ち下がりタイミングを遅延させ、過渡時の電流不均一を抑制する。DSP に実装された Active Gate Control ブロックにて、FPGA に実装されてカウンタを制御する事で、ゲートドライバに入力するゲート信号の立ち上がりタイミングと立ち下がりタイミングを制御している。

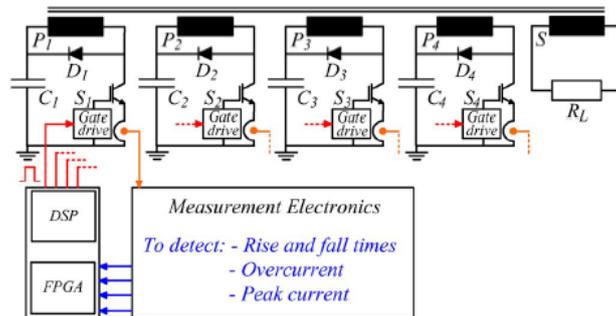
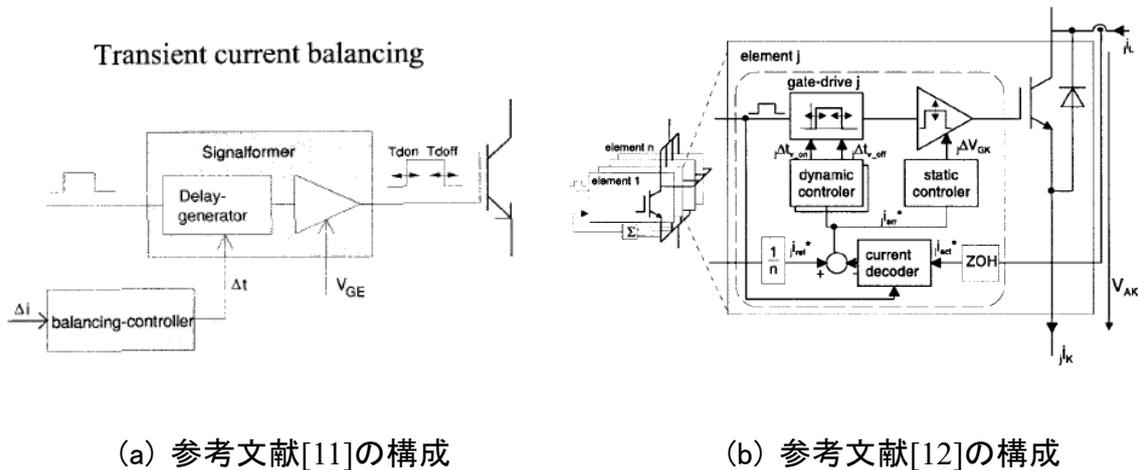


図 1.25 “Active Gate Control”によりスイッチングタイミング制御する手法^{[11]-[13]}

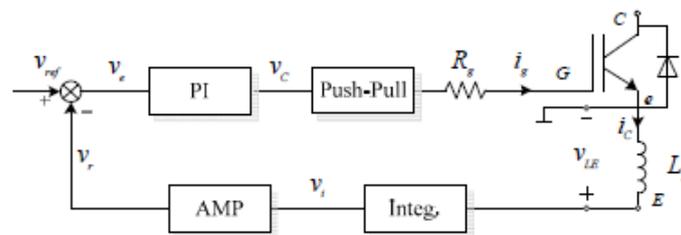
しかしながら、ゲート信号の遅延時間制御をアナログ回路にて実現する場合、ターンオン用の遅延時間生成回路とターンオフ用の遅延時間制御生成回路の2つの回路が必要になる事と、nsec オーダーと高精度な遅延時間制御が必要となる事から、回路規模の増大が懸念される。また、デジタル回路で実現する場合には、入力されたパルス波形のゲート信号をデジタル値に変換し、デジタル回路にて遅延時間制御を実行した後、再びパルス信号に変換して出力する必要がある。しかし、 μsec オーダーのゲート信号のパルス幅に対して、制御する遅延時間は nsec オーダーとなるため、ゲート信号をデジタル値に変換する回路とデジタル値をパルス波形に変換する回路の両方で高分解能の変換回路が必要となり、回路規模の増大が懸念される。

ターンオン時およびターンオフ時の遅延時間 (td_{ON} , td_{OFF}) は、動作条件や動作温度等の外部環境の影響を受けるため、実際のアプリケーションにおいては固定値ではなく、外部環境の変化に伴い動作中にダイナミックに変動するパラメータである。そのため、遅延時間差も動作中に変動し、電流不均一を抑制するための最適な制御パラメータも変動する。その場合、実行中の制御パラメータと最適な制御パラメータ間でずれが生じるため、ずれを補償する機能が必要となる。それ故、実際のアプリケーションに電流不均一抑制技術を適用するためには、外部環境の変化そのものや外部環境の変化による影響を捉え、外部環境の変化により発生する最適制御パラメータのずれを補償するための、閉ループによるフィードバック制御が必要不可欠となる。

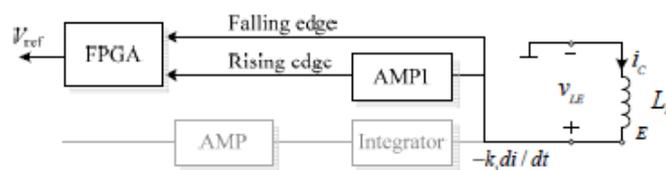
フィードバック制御に関しては、図 1.26 に示すように古典制御である PI 制御を用いたフィードバック制御が提案^{[15],[16]}されている。図に示すように、エミッタ側の配線インダクタンス (L_E) で発生する起電力 (V_{LE}) を PI 制御回路へフィードバックし、 V_{LE} に応じて制御ゲイン (K_p , K_i) を調整し、時間補償回路にてゲート信号を制御する。 L_E で発生する V_{LE} は、式 (2.3) で表されるため、 V_{LE} の増加もしくは減少開始は I_{CE} の増加開始もしくは減少開始を意味する。

$$V_{LE} = L_E \times \frac{di_{CE}}{dt} \quad \dots(2.3)$$

従って、 V_{LE} をフィードバックし V_{LE} の増減を検出する事は、 I_{CE} の流れ始めもしくは減少し始めのタイミングを検出する事となり、すなわち td_{ON} , td_{OFF} を間接的に検出する事となる。それ故、動作条件や動作温度等の外部環境の変化による td_{ON} , td_{OFF} の変化を検出し、遅延時間を補償する事が可能となる。



(a) フィードバック制御のための閉ループ回路



(b) 時間補償ループ構成

図 1.26 V_{LE} をフィードバックし PI 制御を用いたフィードバック制御^{[15],[16]}

配線インダクタンスで発生する起電力をフィードバックし、ゲート端子に印加する電圧を制御するフィードバック制御も提案^[17]されている。図 1.27 にフィードバック制御の構成を示す。ターゲットが SiC-MOS であるため、ソース側の配線インダクタンス(L_{SS})の起電力をフィードバックしているが、考え方は図 1.26 に示した構成と同様である。図 1.27 では、 L_{SS} の起電力をフィードバックし、起電力に応じてゲート端子に印加する電圧を切り替える事で並列接続された SiC-MOS のスイッチング特性を制御し、過渡時の電流不均一を抑制する。SiC-MOS の並列接続においても、 L_{SS} の起電力の増減を検出する事は、図 1.26 の構成と同様に td_{ON} , td_{OFF} を間接的に検出する事となるため、動作条件や動作温度等の外部環境の変化による td_{ON} , td_{OFF} の変化を検出し、遅延時間を補償する事が可能となる。

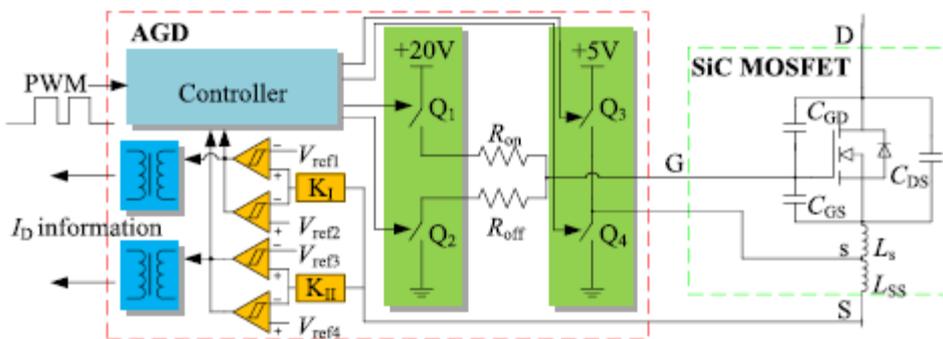


図 1.27 配線インダクタンスの起電力をフィードバックするフィードバック制御^[17]

電流の変化(di_{ce}/dt)をフィードバックするのではなく、電流波形のピーク値をフィードバックする手法も提案^[18]されている。図 1.28 に、フィードバック制御回路の構成図を示す。過渡時の電流不均一は、遅延時間差によりターンオンもしくはターンオフするタイミングが IGBT 間で異なる事で引き起こされるが、最もターンオンタイミングが早い IGBT により多くの電流が集中するため、電流不均一時の電流のピーク値も最大となる。それ故、PCB 上に形成したロゴスキーコイルを用いた電流センサにより各 IGBT の電流ピーク値を検出し、電流ピーク値が最大となる IGBT のターンオンタイミングを遅延させる事で電流不均一が改善される。この制御を続ける事で、最終的には過渡時の電流不均一が抑制される。また、ターンオフ時は、最もターンオフタイミングが遅い IGBT に電流が集り、電流不均一時の電流ピーク値が最大となるため、電流ピーク値が最大となる IGBT 以外のターンオフタイミングを遅延させる事で電流不均一が改善される。検出する電流ピーク値は、 td_{ON} , td_{OFF} に依存するため、電流のピーク値を検出する事で動作条件や動作温度等の外部環境の変化による td_{ON} , td_{OFF} の変化の検出も可能となる。

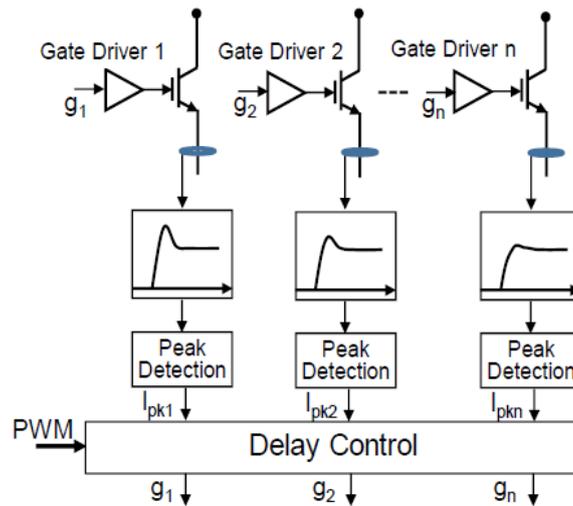


図 1.28 電流のピーク値をフィードバックするフィードバック制御^[18]

並列接続された IGBT 間の電流不均一の抑制に、古典的な PID 制御ではなく ANN (Artificial Neural Network: 人工ニューラルネットワーク) を用いて構成した ANN-PID 制御を適用した手法も報告^{[19],[20]}されている。ANN-PID 制御部では、フィードバックされた信号に応じて、リアルタイムかつ適応的に PID パラメータが調整される。ANN-PID 出力は、GQR (Gate Quantity of charge Regulator: ゲート電荷量レギュレータ) に入力され、スイッチング時に行われるゲート容量の充放電におけるゲートチャージを制御し、電流不均一を抑制する。図 1.29 に示すように、電流センサを用いて直接電流情報を検出し ANN-PID コントローラにフィードバックしている。

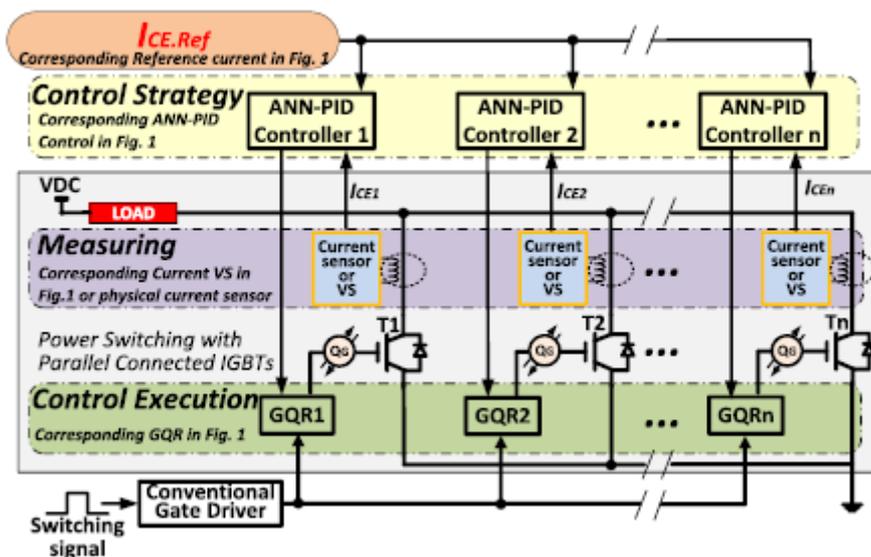


図 1.29 ANN-PID 制御を適用したフィードバック制御^{[19],[20]}

以上のように、閉ループによるフィードバック制御に関しては、ANN 等の高度な技術の適用も検討されているが、基本的なコンセプトとしては①物理的または仮想的な電流センサによって、 I_{CE} もしくは dI_{CE}/dt を検出しフィードバックし、②フィードバックされた電流情報から遅延時間差等のスイッチング特性差を抽出し、③抽出した特性差に応じて遅延時間やゲート電圧等を調整し電流不均一を抑制する手法が共通的となっている。

1.6 研究の目的

本研究では、パワー半導体素子やパワー半導体モジュールを並列接続して用いる場合に問題となる、素子間もしくはモジュール間の電流不均一、特に過渡時(ターンオン時およびターンオフ時)に発生する電流不均一を抑制するための IGBT の駆動技術の確立を目的とし、ディスクリート部品を用いて構成した原理検証ボードにより、電流不均一抑制のための原理検証を行った。また、実際に電流不均一抑制機能を内蔵したゲート駆動 IC の試作を行い、試作したゲート駆動 IC を IGBT モジュールに実装し、実機にて電流不均一抑制効果の検証を行った。以下に具体的な研究目的を述べる。

過渡時の電流不均一は、並列接続された IGBT 間におけるターンオン遅延時間およびターンオフ遅延時間の差によって引き起こされるため、過渡時の電流不均一の要因となる遅延時間差を抑制する事で、過渡時の電流不均一の抑制も可能となる。遅延時間差は、各 IGBT におけるターンオン遅延時間もしくはターンオフ遅延時間の違いにより発生する時間差であるが、現状は遅延時間差の直接的な要因となるターンオン遅延時間およびターンオフ遅延時間の違いを補正する事に主眼を置いた研究報告はされていない。そこで、本研究においては遅延時間差の直接的な要因となるターンオン遅延時間およびターンオフ遅延時間を制御し、各 IGBT における違いを抑制する事で遅延時間差を抑制し、更には過渡時に電流不均一を抑制する手法の確立を第1の目的とする。

ターンオン遅延時間およびターンオフ遅延時間は、動作条件や動作温度等の外部環境の影響を受け、スイッチング動作中にダイナミックに変動するパラメータである。それ故、実際のアプリケーションに電流不均一抑制技術を適用するためには、外部環境の変化そのものや外部環境の変化による影響を捉え、外部環境の変化により発生する最適制御パラメータのずれを補償するための、閉ループによるフィードバック制御が必要不可欠となる。更に、パワーエレクトロニクス製品に適用するためには、製品の小型化や低コスト化要求への対応が必要不可欠となるため、閉ループによるフィードバック制御を実現した電流不均一抑制機能をゲート駆動 IC へ集積する技術も必須となる。そこで本研究においては、電流不均一抑制のための閉ループによるフィードバック制御を実現し、実現した抑制機能を IC へ集積する手法についても検証し、実際に抑制機能を集積したゲート駆動 IC を試作し、IGBT モジュールにて効果を検証する事を第2の目的とする。

本論文は、第 1 章を含めて本文 4 章と発表論文一覧、謝辞で構成される。

第 2 章では、IGBT のスイッチング特性を振り返り、IGBT のターンオン遅延時間およびターンオフ遅延時間を制御するために最適なパラメータについて述べる。また、当該パラメータを制御した際の背反を検証し、その対策手法についても検討する。検討した手法を、ディスクリート部品で構成したテストボードにて実現し、実機にて動作検証を行った内容についても述べる。

第 3 章では、第 2 章で述べた研究結果をベースに検証した IC 化手法や閉ループによるフィードバック制御の実現手法について述べる。また、電流不均一抑制のための閉ループによるフィードバック制御を集積したゲート駆動 IC の試作を行い、試作した IC を実装した IGBT モジュールによる、過渡時の電流不均一抑制効果の評価も実施したので、その内容・結果についても述べる。

第 4 章では、本研究で得られた成果を総括し、本論文の結論とする。

参考文献

- [1] 令和 3 年度エネルギーに関する年次報告(エネルギー白書 2022):経済産業省
- [2] 富士電機技報 2021 vol.94 no.4 pp228 – 235
- [3] 富士 IGBT モジュール アプリケーションマニュアル 第 7 章 pp7-1 – 7-10
- [4] 時田裕輔、安部征哉、附田正則、大村一郎、“アクティブゲートドライブにおける定電流駆動の効果について”、電気・情報関係学会九州支部連合大会 講演論文集 2019
- [5] 富士電機技報 2015 vol.88 no.4 pp264-268
- [6] 富士 IGBT モジュール アプリケーションマニュアル 第 8 章 pp8-1 - 8-5
- [7] 富士 IGBT モジュール アプリケーションマニュアル 第 8 章 pp8-6
- [8] R. Alvarez, K. Fink and S. Bernet, “Simulation and experimental investigation of parallel connected IGBTs”, IEEE International Conference on Industrial Technology, 2010, pp. 824-831
- [9] R. Alvarez, and S. Bernet, “A new delay time compensation principle for parallel connected IGBTs”, Energy Conversion Congress and Exposition, 2011, pp. 3000-3007
- [10] M. Tabata, S. Igarashi and K. Kuroki, “Control methods of current balancing for parallel connected IGBTs”, Proceeding of International Symposium on Power Semiconductor Devices & ICs, 1998, pp. 101-104
- [11] P. Hofer, N. Karrer and C. Gerster, “Paralleling intelligent IGBT power modules with active gate-controlled current balancing”, Power Electronics Specialists

- Conference, 1996. PESC '96 Record, 27th Annual IEEE, vol. 2, 1996, pp. 1312-1316
- [12] P. Hofer-Noser and N. Karrer, "Monitoring of paralleled IGBT/Diode modules", IEEE Transactions on Power Electronics, vol. 14, no. 3, 1999, pp. 438-444
- [13] D. Bortis, J. Biela and J. Kolar, "Active gate control for current balancing of parallel-connected IGBT modules in solid-state modulators", IEEE Transactions on Plasma Science, vol. 36, no. 5, 2008, pp. 2632-2637
- [14] R. Alvarez, and S. Bernet, "A new delay time compensation principle for parallel connected IGBTs", Energy Conversion Congress and Exposition, 2011, pp. 3000-3007
- [15] Y. Chen, F. Zhuo, W. Pan, F. Zhang and L. Feng, "A novel active gate driver for static and dynamic current balancing of parallel-connected IGBTs", Applied Power Electronics Conference and Exposition, 2017, pp. 795-799
- [16] X. Du, F. Zhuo, H. Sun, H. Yi and Y. Zhu, "An integrated voltage and current balancing strategy of series-parallel connected IGBTs", International Power Electronics Conference (IPEC), 2018, pp.2780-2784
- [17] Y. Wen, Y. Yang and Y. Gao, "Active gate driver for improving current sharing performance of paralleled high-power SiC MOSFET modules", IEEE Transactions on Power Electronics Volume: 36, Issue: 2, Feb. 2021, pp1491-1505
- [18] R. N. Tripathi, M. Tsukuda and I. Omura, "Dynamic current balancing of parallel connected IGBT devices using PCB sensor for integration in power modules", International Conference on Integrated Power Electronics Systems, 2020, pp101-105
- [19] X. Zeng, Z. Li, J. Wan and J. Zhang, "Prototype of edge computing IPM with hardware artificial neural network soft sensor and controller for parallel connected IGBT current distribution", International Symposium on Power Semiconductor Devices and ICs, 2020, pp. 392-395
- [20] X. Zeng, Z. Li, J. Wan and J. Zhang, "Embedded hardware artificial neural network control for global and real-time imbalance current suppression of parallel connected IGBTs", IEEE Transactions on Industrial Electronics Volume: 67, Issue: 3, March 2020, pp2186-2196

第 2 章

電流不均一抑制驅動技術

第1章で述べたように、並列接続された IGBT 間で発生するスイッチング期間内の電流不均一は、主に IGBT 間のターンオン遅延時間 (t_{dON}) およびターンオフ遅延時間 (t_{dOFF}) の差 (Δt_{dON} , Δt_{dOFF}) により引き起こされるため、その抑制には IGBT の各遅延時間 (t_{dON} , t_{dOFF}) を制御し Δt_{dON} および Δt_{dOFF} を減少させる事が有効である^{[21],[22]}。

本項では、IGBT のスイッチング特性について述べ、IGBT の駆動技術を応用する事で各遅延時間を制御し、並列接続された IGBT 間の遅延時間差を減少させる手法について言及する。

2.1 電流不均一抑制のための遅延時間制御

(1) IGBT のスイッチング特性

一般的に、IGBT のスイッチング特性は、ゲート抵抗 (R_G) を介して行われるゲート・エミッタ間容量 (C_{GE}) とゲート・コレクタ間容量 (C_{GC}) の充放電に強く依存している^{[23], [24], [25]}。図 2.1 に、IGBT を用いたチョッパ回路および一般的なスイッチング波形を示す。IGBT のスイッチング期間は、図 2.1 (b) に示すように更に7つの区間に分割する事ができる。図 2.1 を用いて IGBT のスイッチング特性を説明する。

本論文においては、ゲート・エミッタ間電圧が 10 % 上昇してからコレクタ・エミッタ間電流が 10 % 上昇するまでの時間をターンオン遅延時間 (t_{dON}) と定義し、ゲート・エミッタ間電圧が 90 % まで下降してからコレクタ・エミッタ間電流が 90 % まで下降するまでの時間をターンオフ遅延時間 (t_{dOFF}) と定義するが、図 2.1 (b) に示すような概略図においては、ゲート信号が立ち上がってからコレクタ・エミッタ電流 (I_{CE}) が上昇し始めるまでの時間をターンオン遅延時間 (t_{dON}) と表記し、ゲート信号が立ち下がってから、コレクタ・エミッタ間電流 (I_{CE}) が下降し始めるまでの時間をターンオフ遅延時間 (t_{dOFF}) と表記する。

以下に、図 2.1(b) の各時間区間における IGBT の動作を説明する。

【区間 I】

この区間、ゲート・エミッタ間電圧 (V_{GE}) が徐々に増加し始め、ゲート・エミッタ間容量 (C_{GE}) とゲート・コレクタ間容量 (C_{GC}) はゲートドライバから R_G を介して供給されるゲート電流 (I_G) により充放電される。従って、この期間の V_{GE} は C_{GE} , C_{GC} および R_G で決まる時定数で増加する。区間 I の時間を t_1 とすると、 t_1 は(2.1)式で表す事ができる。

$$t_1 = R_G \cdot (C_{GE} + C_{GC}) \cdot \ln \left(\frac{V_{GDU}}{V_{GDU} - V_{TH}} \right) \quad \dots(2.1)$$

ここで、 V_{GDU} はゲートドライバから供給されるゲート電圧で、 V_{TH} は IGBT のゲートしきい値電圧である。

【区間 II】

V_{GE} が増加し、IGBTのしきい値電圧(V_{TH})を超えると、コレクタ・エミッタ間電流(I_{CE})が流れ始め、L 負荷で決まる負荷電流に到達するまで I_{CE} が増加する。区間 II の時間を t_2 とすると、 t_2 は(2.2)式で表す事ができる。

$$t_2 = R_G \cdot (C_{GE} + C_{GC}) \cdot \ln \left(\frac{V_{GDU} - V_{TH}}{V_{GDU} - V_{GP}} \right) \quad \dots(2.2)$$

ここで、 V_{GP} はIGBTにおけるプラトー電圧の事である。

【区間 III】

FWDへ還流していた負荷電流が完全にIGBTへ転流すると、 V_{CE} は減少し始める(説明を簡素化するためFWDの逆回復については触れていない)。この結果、 C_{GC} は放電状態となる。この区間、ゲートドライバから R_G を介して供給される I_G は主に C_{GC} の放電に使われるため、この区間の V_{GE} は負荷電流で決まる電圧値で一定となる。

【区間 IV】

ゲート・エミッタ間電圧(V_{GE})が徐々に減少し始め、 C_{GE} および C_{GC} が I_G により充放電される。従って、この期間の V_{GE} は C_{GE} 、 C_{GC} および R_G で決まる時定数で減少する。区間 IV の時間を t_4 とすると、 t_4 は(2.3)式で表す事ができる。

$$t_4 = R_G \cdot (C_{GE} + C_{GC}) \cdot \ln \left(\frac{V_{GDU}}{V_{GP}} \right) \quad \dots(2.3)$$

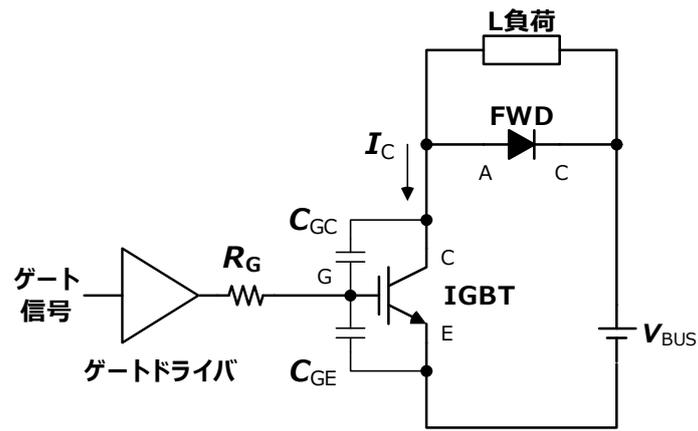
【区間 V】

区間 IV で減少し始めた V_{GE} は、一定の負荷電流を維持するため、負荷電流を維持できる電圧値まで減少した後は一定となる。 V_{GE} が一定の期間は、ミラー期間と呼ばれる。これにより I_G は C_{GC} を充電するために使われるようになり、その結果 V_{CE} が増加し始める。

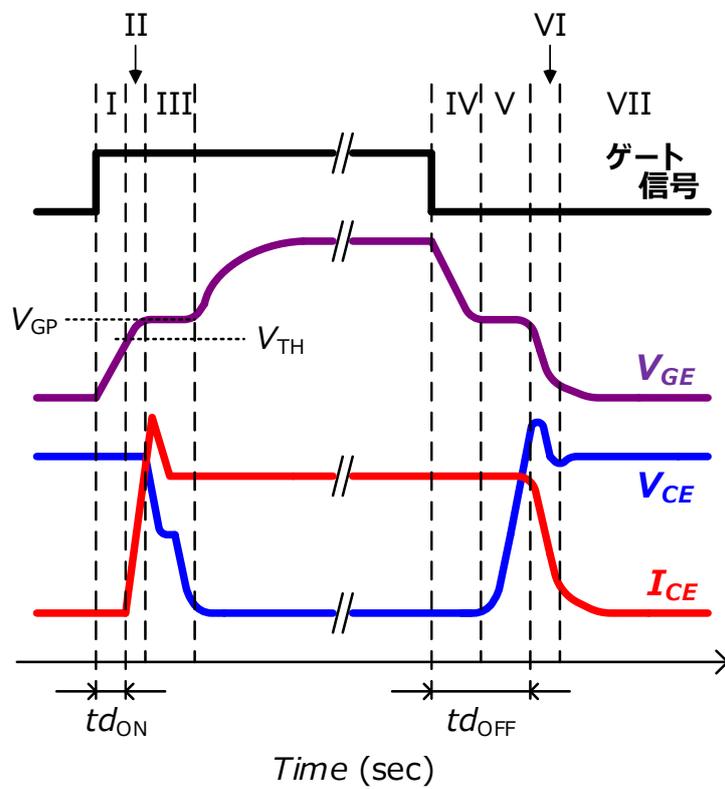
【区間 VI】

V_{CE} が増加し電源電圧(V_{BUS})を超えると、FWDがターンオン状態となるため、負荷電流はIGBTからFWDへ転流され、 I_{CE} が減少し始める。区間 VI の時間を t_6 とすると、 t_6 は(2.4)式で表す事ができる。

$$t_6 = R_G \cdot (C_{GE} + C_{GC}) \cdot \ln \left(\frac{V_{GP}}{V_{TH}} \right) \quad \dots(2.4)$$



(a) IGBT を用いたチョッパ回路の構成図



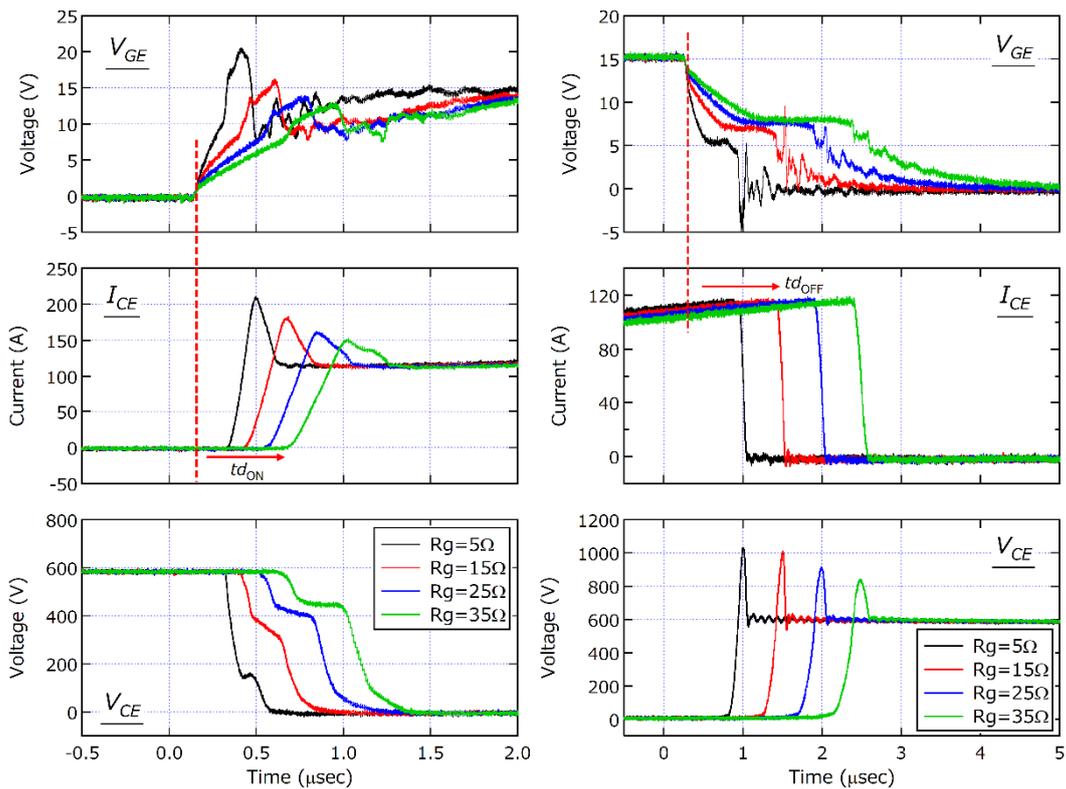
(b) 一般的なスイッチング波形

図 2.1 IGBT を用いたチョッパ回路および一般的なスイッチング波形

(2) ゲート抵抗による遅延時間制御

前述したように、 td_{ON} はゲート・エミッタ間電圧が上昇し始めてからコレクタ・エミッタ電流が上昇し始めるまでの時間であり、図 2.1 (b) に示した区間 I の時間 (t_1) に相当する。 t_1 は式 (2.1) のように示されるため、 td_{ON} は R_G を用いて制御可能である事が分かる。一方、 td_{OFF} はゲート・エミッタ間電圧が下降し始めてからコレクタ・エミッタ間電流が下降し始めるまでの時間であり、図 2.1 (b) に示した区間 IV の時間と区間 V の時間との合計となるが、区間 IV の時間 (t_4) を制御する事で td_{OFF} の制御も可能であり、 t_4 は式 (2.3) に示すように R_G を用いて制御可能な時間である事から、 td_{OFF} も R_G を用いて制御する事が可能である事が分る。

図 2.1 (a) に示したチョッパー回路に 1200 V, 150 A 定格の IGBT 素子を適用し、ダブルパルス試験器にてターンオン時およびターンオフ時における V_{GE} 波形、 I_{CE} 波形および V_{CE} 波形のゲート抵抗依存性を測定した。結果を、図 2.2 に示す。(a) はターンオン時の、(b) はターンオフ時の各波形をそれぞれ示しており、ゲート抵抗は 5 Ω , 15 Ω , 25 Ω , 35 Ω と変化させた。



(a) ターンオン時

(b) ターンオフ時

図 2.2 スイッチング特性のゲート抵抗依存性

ターンオン時のスイッチング特性については、図 2.2 (a)に示すように V_{GE} が上昇し始めてから I_{CE} が上昇し始めるまでの時間 (td_{ON}) が、 R_G 値の増加に伴い長くなっている事が分る。ターンオフ時のスイッチング特性についても同様に、図 2.2 (b)に示すように V_{GE} が下降し始めてから I_{CE} が下降し始めるまでの時間 (td_{OFF}) が、 R_G 値の増加に伴い長くなっている。

図 2.2 に示した各波形データから抽出した td_{ON} 、 td_{OFF} のゲート抵抗依存性を図 2.3 にまとめた。 R_G を $5\ \Omega$ から $35\ \Omega$ に増加させる事により、 td_{ON} は $0.17\ \mu\text{sec}$ から $0.52\ \mu\text{sec}$ に増加し、 td_{OFF} は $0.56\ \mu\text{sec}$ から $1.83\ \mu\text{sec}$ に増加している。図示したように、ゲート抵抗を用いて遅延時間制御は可能であり、現状のアプリケーションにおいても採用されている電流不均一抑制方法である。しかし、 R_G の増加はスイッチング時の dI_{CE}/dt および dV_{CE}/dt にも影響を与え、それに伴い様々な課題を引き起こす。次項で課題について述べる。

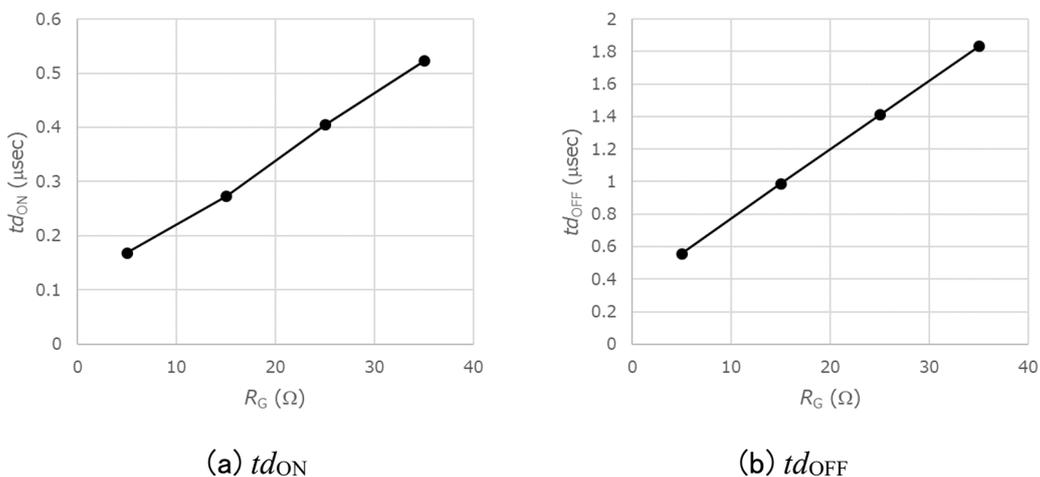


図 2.3 td_{ON} および td_{OFF} のゲート抵抗依存性

(3) ゲート抵抗による遅延時間制御の問題点

図 2.2 の I_{CE} 波形と V_{CE} 波形に注目すると、 R_G の増加に伴い電流の傾きである dI_{CE}/dt および電圧の傾きである dV_{CE}/dt が、ターンオン時とターンオフ時共に減少しているのが分かる。これは、 I_{CE} の上昇のタイミングが、図 2.1 (b)の区間 II と区間 VI に相当し、各区間の時間 t_2 と t_6 がそれぞれ式 (2.2) および式 (2.4) で表されるように、 R_G を含んだ式となっているからである。 R_G が含まれているため、 R_G の増加に伴い t_2 および t_6 が増大し、結果ターンオン時とターンオフ時共に dI_{CE}/dt の減少となる。また、区間 III および区間 V で発生する V_{CE} の変動に伴う C_{GC} の充放電は、 R_G を介した I_G によって行われるため、 R_G の増加に伴う I_G の減少により、 C_{GC} 充放電時間が増大する。その結果、 R_G の増加に伴いターンオン時とターンオフ時共に dV_{CE}/dt も減少する。

以下にゲート抵抗増加に伴う dI_{CE}/dt および dV_{CE}/dt 低下の影響について述べる。

①スイッチング損失の増加

dI_{CE}/dt および dV_{CE}/dt 低下の影響の 1 つがスイッチング損失の増加である。図 2.5 に、スイッチング波形とスイッチング時の損失を示す。スイッチング損失とは、スイッチング時の電流と電圧の重なりによって発生する損失であり、図 2.5 中のグレーで示した領域で発生する損失である。グレーの部分の面積が損失量に相当する。 dI_{CE}/dt および dV_{CE}/dt 低下に伴い電流と電圧が重なる領域が増大するため、 dI_{CE}/dt および dV_{CE}/dt 低下に伴いスイッチング損失が増大する。このスイッチング損失の増大は、再生エネルギー普及における課題である“電力変換効率向上”の妨げとなり、電気自動車分野においては“航続距離の低下”の要因となってしまう。また、損失の増大はパワー半導体素子における発熱を増大させ、機器の熱設計を困難にさせ、更には小型化を困難にさせる等の問題を発生させる。

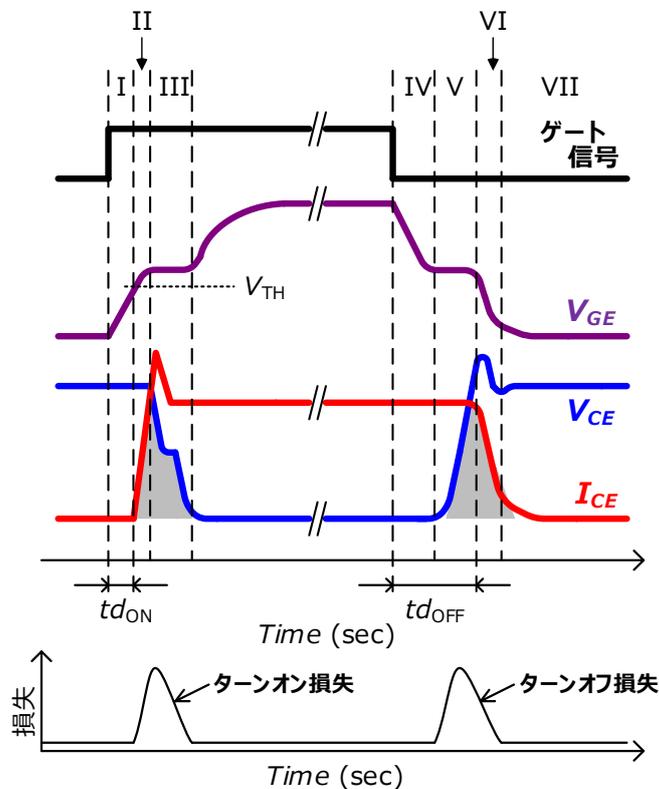


図 2.5 スwitching時の損失

図 2.6 に、ターンオンエネルギー (E_{ON}) およびターンオフエネルギー (E_{OFF}) のゲート抵抗依存性の実験結果を示す。ここで示す E_{ON} および E_{OFF} がスイッチング損失に相当する。図 2.2 に示したスイッチング波形取得時の測定データを用いて、図 2.7 に示す IEC 60747-9 に従ったスイッチング損失エネルギー E_{ON} および E_{OFF} 規格に従って算出した。 E_{ON} および E_{OFF} 共にゲート抵抗の増加に伴い増大しており、 R_G を 5Ω から 35Ω に増加させる事により、 E_{ON} は 3.73 mJ から 17.31 mJ へ増大し、 E_{OFF} は 9.87 mJ から 17.2 mJ へ増大している。

以上のように、“電力変換効率向上”の妨げや電気自動車における“航続距離の低下”を引き起こすことなく電流不均一を改善するためには、 dI_{CE}/dt および dV_{CE}/dt の低下を伴わない遅延時間制御が必要となる。

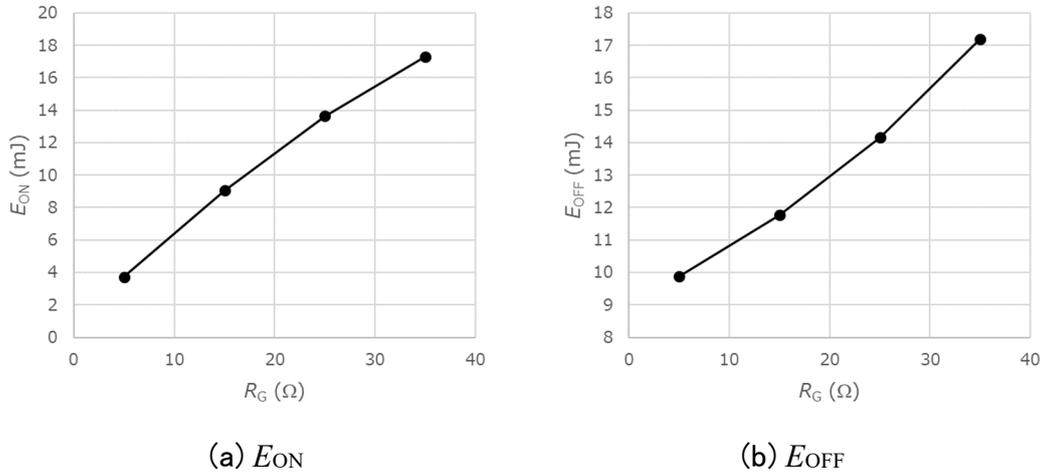


図 2.6 E_{ON} および E_{OFF} のゲート抵抗依存性

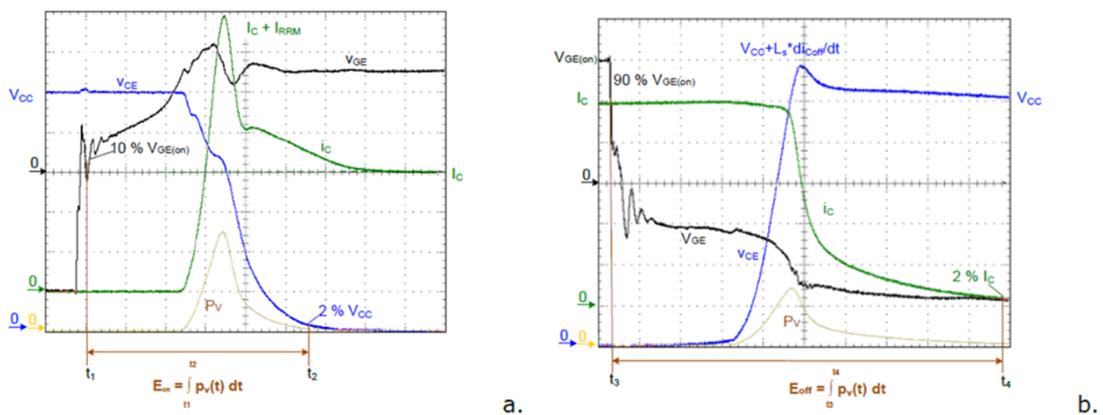
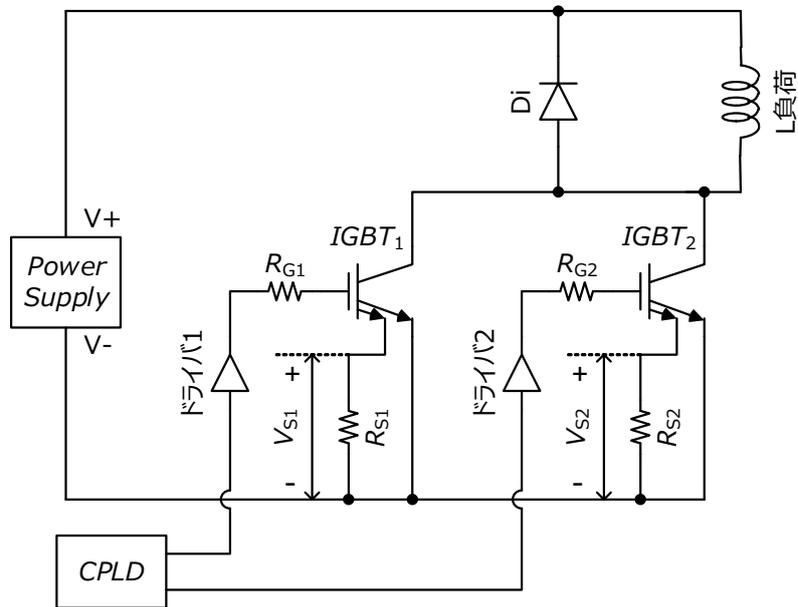


図 2.7 IEC 60747-9 に従ったスイッチング損失エネルギー E_{ON} および E_{OFF}

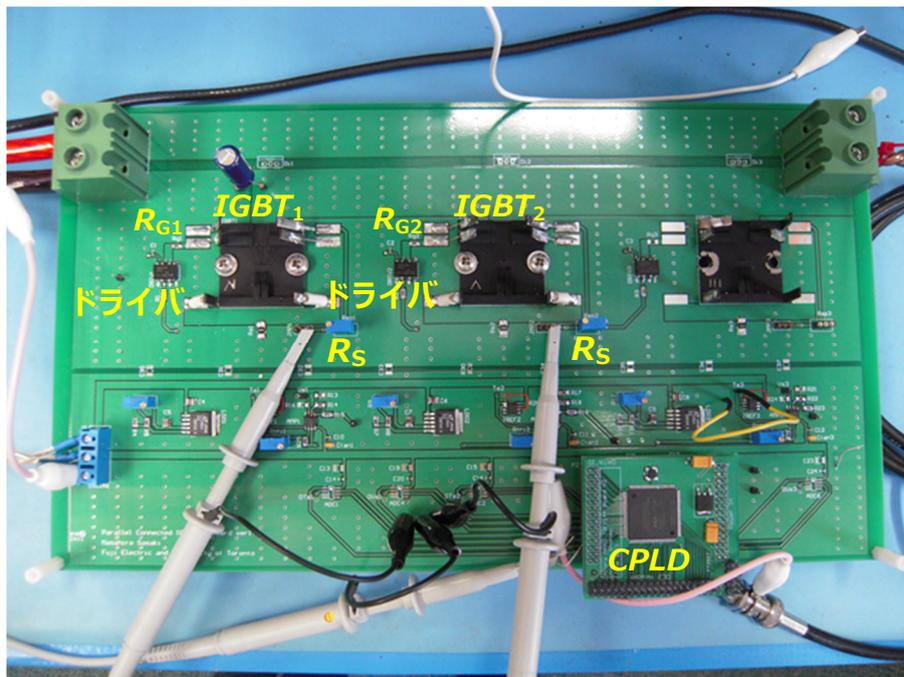
② dI_{CE}/dt 低下による電流不均一の発生

dI_{CE}/dt が低下した事による影響の 1 つが、並列接続した IGBT 間での dI_{CE}/dt 低下による電流不均一の発生である。図 2.8 に示した測定回路を用いて、 dI_{CE}/dt 低下の影響を評価した。図 2.8 (a)は、並列接続した IGBT 素子を用いてチョッパ回路を構成し、CPLD (Complex Programmable Logic Device) により外部から強制的に遅延時間差を与えた状況にて、電流不均一を測定可能な測定回路の構成図で、図 2.8 (b)は測定で用いた自作の測定用プリント回路基板である。 I_{CE} 波形は、センス IGBT を用いて抽出したセンス電流を、センス抵抗 (R_{S1} , R_{S2}) で電圧信号 (V_{S1} , V_{S2}) に変換し、

電圧信号波形としてオシロスコープで観測している。また、各 IGBT のゲート信号は CPLD でそれぞれ生成しており、タイミングやパルス幅等を外部からプログラマブルに変更可能となっており、前述したように遅延時間差を強制的に与える事も可能である。



(a) 並列接続した IGBT を用いたチョッパ回路の構成図



(b) 測定用プリント回路基板

図 2.8 スイッチング波形測定回路(並列接続)

センス IGBT を用いた電流検出手法とは、IGBT の活性領域の一部を電流検出用の領域として分割し構成した電流センス用 IGBT (センス IGBT) を用い、 I_{CE} の一部をセンス電流として取り出す電流検出手法で、メイン用の活性領域の面積とセンス用の活性領域の面積比で、 I_{CE} とセンス電流の電流比が決まるため、面積比が既知であればセンス電流値から I_{CE} 値を算出する事が可能となる。また、面積比を大きくする事により、扱うセンス電流を小さくする事が可能となるため、電流センス機能を駆動ドライバに内蔵する際には有効な電流検出手法である。本研究では、電流センス機能を含んだ電流不均一抑制機能の IC への集積も目的の一つであるため、センス IGBT を用いた電流検出手法を採用している。

図 2.9 に、一般的な電流検出手法であるシャント抵抗方式と、センス IGBT 方式で電流を検出した場合の検出波形比較を示す。測定は、図 2.8 に示した測定回路を用いて実施した。上段は V_{GE} 波形を、中段がセンス電圧波形を、下段にセンス電圧波形から算出した I_{CE} 波形をそれぞれ示している。 V_{GE} 波形に従い IGBT がオン・オフし I_{CE} もオン・オフするため、各方式で検出した電圧波形も V_{GE} 波形に従い変動している事が分る。下段の I_{CE} 波形では、シャント抵抗で検出した電流波形とセンス IGBT で検出した電流波形が一致しており、センス IGBT を用いた電流検出手法で正確に I_{CE} が検出可能である事が分る。

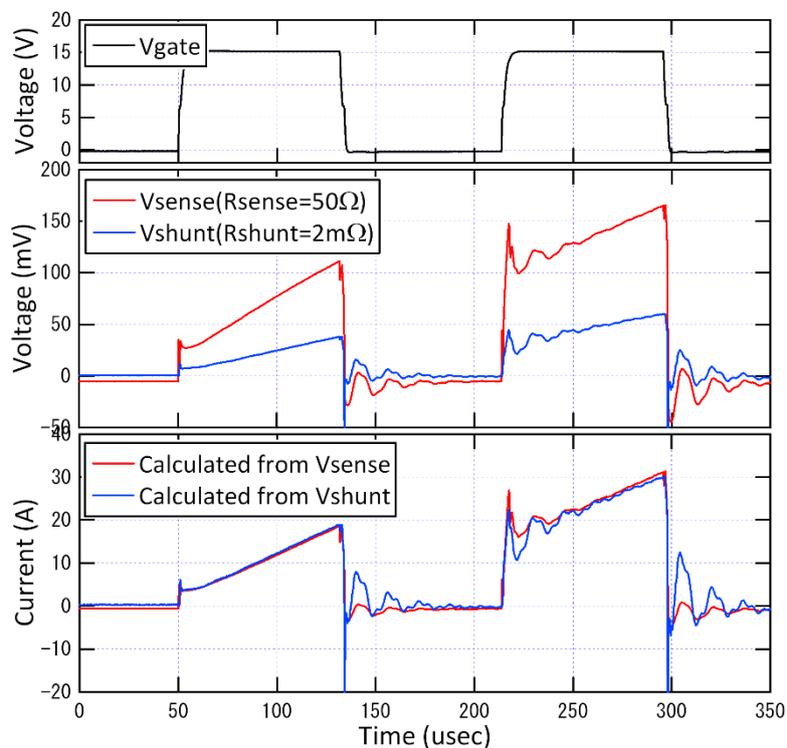


図 2.9 シャント抵抗方式とセンス IGBT 方式で電流を検出した場合の検出波形比較

測定した V_{GE} 波形と V_{SENSE} 波形を図 2.10 および図 2.11 に示す。ここでは、図 2.8 に示した測定回路を用い、 $IGBT_1$ のゲート信号に外部から $0.8 \mu\text{sec}$ の遅延時間を強制的に与え、スイッチング動作を行った。従って、 $IGBT_1$ と $IGBT_2$ 間には $0.8 \mu\text{sec}$ の遅延時間差が存在する事になる。初期は、 $IGBT_1$ と $IGBT_2$ のゲート抵抗 (R_{G1} , R_{G2}) を同じ抵抗値とし、その後 R_{G2} を徐々に増加させスイッチング動作を行っている。

図 2.10 はターンオン時の波形を示しており、図 2.10 (a) は初期状態 ($R_{G1} = R_{G2}$) を示している。初期状態では、 $0.8 \mu\text{sec}$ の遅延時間差により $IGBT_2$ が先にオン状態となる。従って、全負荷電流が $IGBT_2$ に集中するため、 $IGBT_2$ には大きな電流が流れ、これにより電流不均一が発生している。図 2.10 (b) には、先にオン状態となる $IGBT_2$ のゲート抵抗 R_{G2} を増加させた場合の波形を示している。図に示すように、 R_{G2} の増加により、 $IGBT_2$ の td_{ON} が増加すると同時に、 I_{CE} 立ち上がり直後の dI_{CE}/dt も減少しているのが分かる。 $IGBT_2$ の td_{ON} が増加する事で、 $IGBT_1$ と $IGBT_2$ 間の遅延時間差が減少するため、それにより $IGBT_1$ と $IGBT_2$ 間の電流不均一も減少している。更に R_{G2} を増加させた波形が、図 2.10 (c) である。図 2.10 (c) では、 R_{G2} の増加により更に $IGBT_2$ の td_{ON} が増加し、同時に dI_{CE}/dt の減少が観測されている。更なる td_{ON} の増加により遅延時間差が更に減少するため、電流不均一も更に減少しているのが分かる。しかしながら、(c) では図中の緑点線の円で示すように、 $IGBT_1$ への電流集中による電流不均一が観測されている。 $IGBT_1$ への電流集中は、初期状態や(a)の時点では観測されておらず、 R_G 増加に伴い引き起こされている事から、遅延時間差によるものとは異なる電流集中であると推定される。(c)の時点では $IGBT_2$ への電流集中による電流不均一が完全に抑制されていないため、(c)から更に R_{G2} を増加させた結果が(d)である。(d)では、 R_{G2} の増加により遅延時間差が更に減少するため、 $IGBT_2$ への電流集中による電流不均一が完全に抑制されているが、(c)から観測されている $IGBT_1$ への電流集中による電流不均一が増大している。以上のように、単純に R_G を増加させた場合、電流不均一のある程度の抑制は可能だが、完全に抑制する事は困難である事が分る。

図 2.11 は、ターンオフ時の波形を示している。ターンオフ時もターンオン時と同様に、初期状態 ($R_{G1} = R_{G2}$) では遅延時間差により $IGBT_2$ が先にオフするため、 $IGBT_1$ へ負荷電流が集中し、大きな電流不均一が発生している。 R_{G2} の増大により、 $IGBT_2$ の td_{OFF} が増加し、遅延時間差が減少するため電流不均一が減少するが、 R_{G2} の増大に伴い $IGBT_1$ への電流集中による電流不均一が観測され始め、 R_{G2} の更なる増大に伴い $IGBT_1$ への電流集中による電流不均一が増大している。ターンオフ時においてもターンオン時と同様に、単なる R_G の増加では、電流不均一を完全に抑制する事が困難と言える。

図 2.10 と図 2.11 で観測された、 R_{G2} 増大に伴い発生する遅延時間差によるものとは異なる $IGBT_1$ への電流集中による電流不均一の要因が、“ dI_{CE}/dt の低下”によるものである。図 2.12 に dI_{CE}/dt 低下による電流不均一発生イメージ図を示す。 $R_{G1}=R_{G2}$ の状態から R_{G2} を増大させると、 $IGBT_2$ の td_{ON} の増加に伴い Δtd_{ON} が減少する。しかし、図 2.12 中段に示すように、 R_{G2} 増に伴い同時に dI_{CE}/dt が減少するため、電流が流れ始めた以降の領域では td_{ON} の増加による Δtd_{ON} の減少以上に遅延時間差が減少する事となる。更に R_{G2} を増加 ($R_{G1} \ll R_{G2}$) させると、図 2.12 下段に示すように Δtd_{ON}

が更に減少するが、同時に dI_{CE}/dt も更に減少するため電流の流れ始め以降の領域では遅延時間差が逆転してしまう。これにより $IGBT_1$ への電流集中が始まり、電流不均一が発生する。これが、 dI_{CE}/dt 低下による電流不均一発生メカニズムであり、電流不均一の抑制には図 2.13 に示すように dI_{CE}/dt の低下を伴わない遅延時間制御が必要となる。

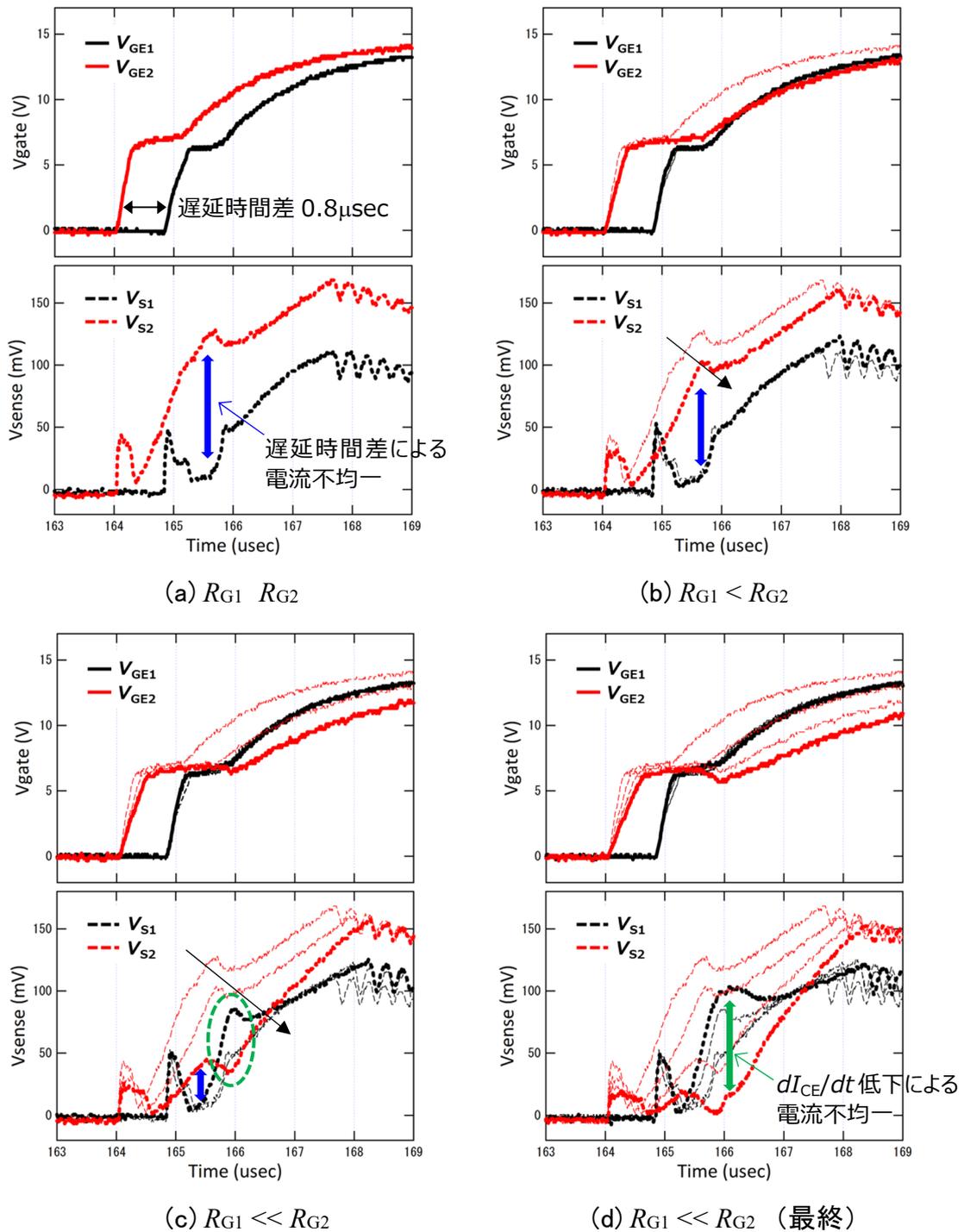


図 2.10 測定したターンオン波形(並列接続)

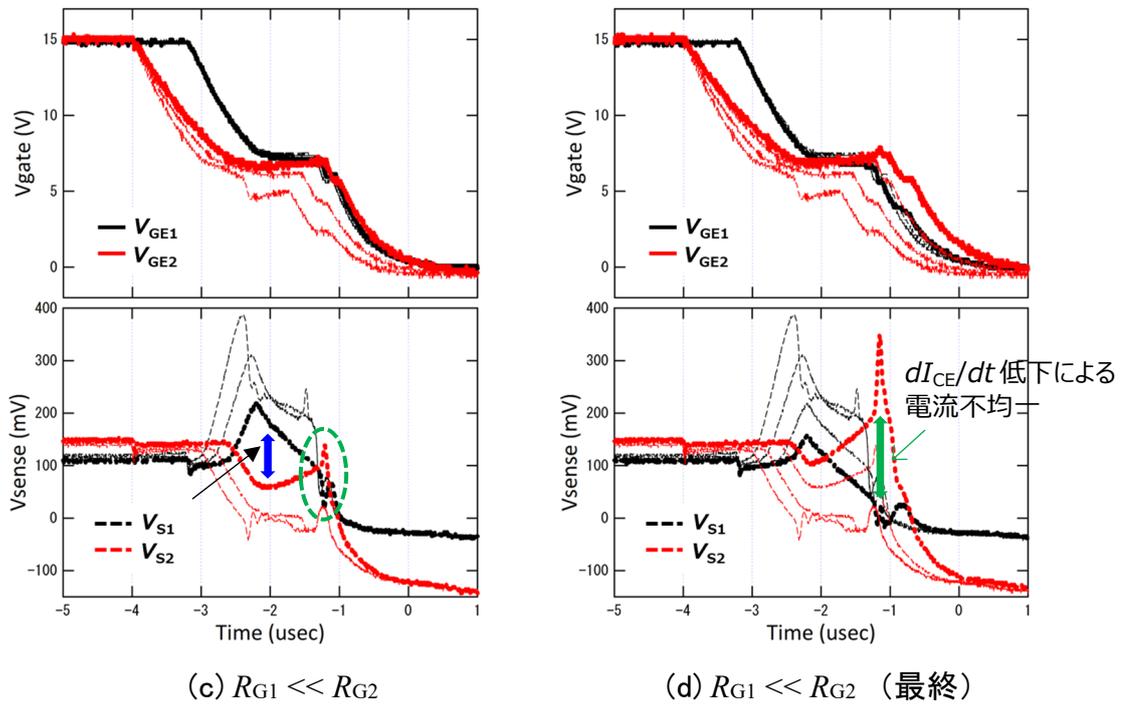
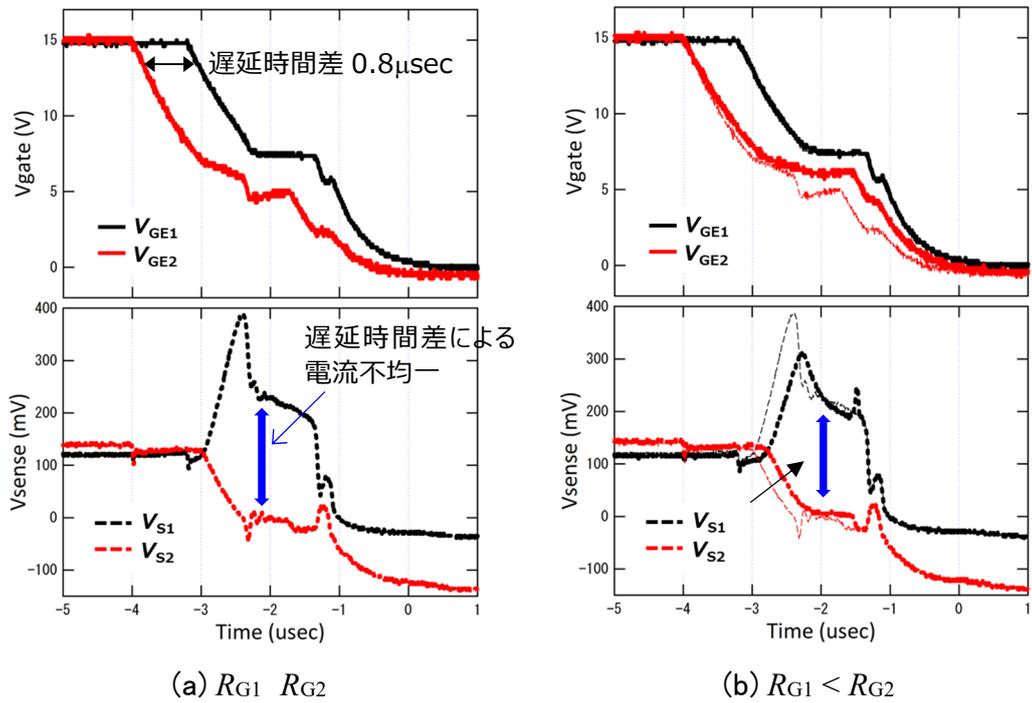


図 2.11 測定したターンオフ波形(並列接続)

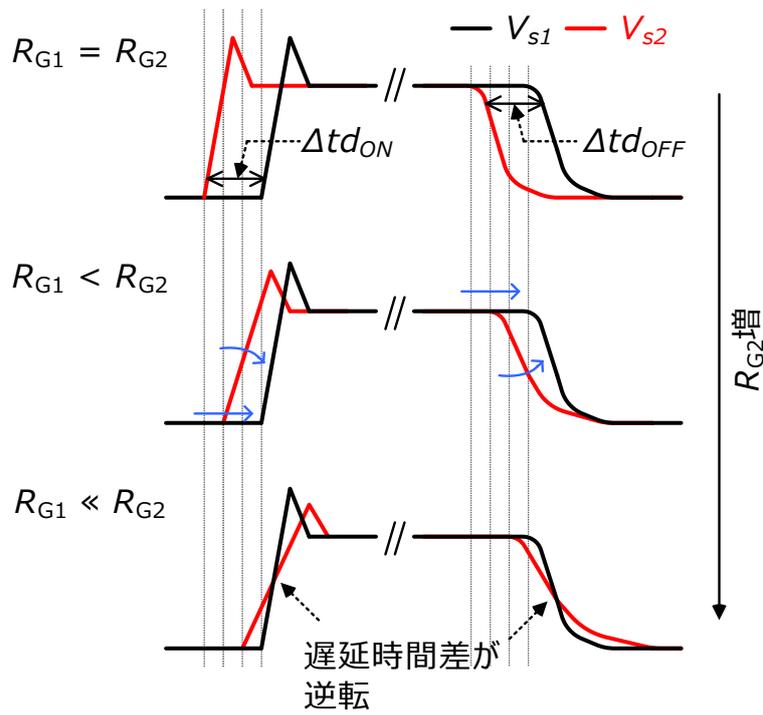


図 2.12 R_G 増大に伴う電流不均一発生 の 要因イメージ

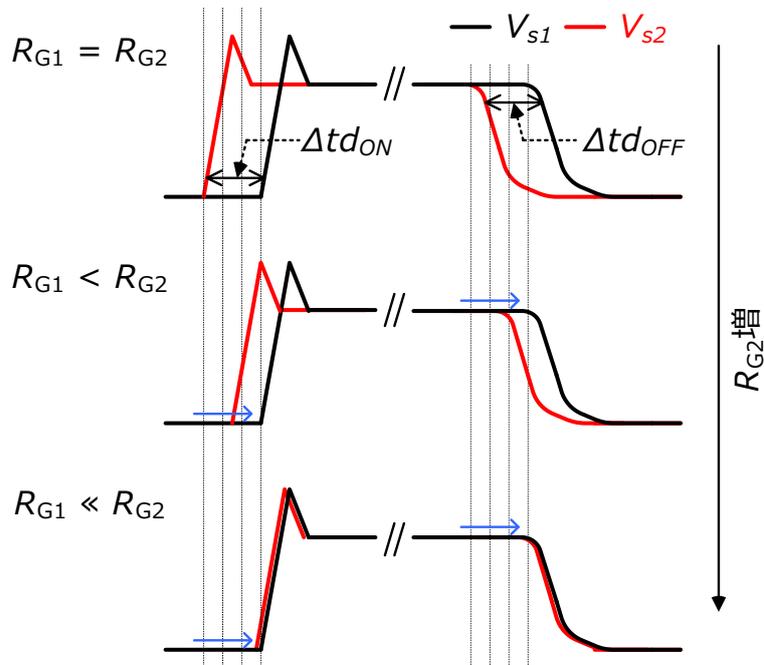


図 2.13 電流不均一抑制のための理想的な遅延時間制御

(4) ダイナミック・ゲート抵抗制御による遅延時間制御

前述したように、 R_G を増加させる事により遅延時間差を減少させる事は可能であるが、 R_G は dI_{CE}/dt および dV_{CE}/dt にも影響を与え、それが“スイッチング損失の増大”や“ dI_{CE}/dt 低下による電流不均一”の要因となるため、 dI_{CE}/dt および dV_{CE}/dt に影響を与えない R_G による遅延時間 (td_{ON} , td_{OFF}) 制御が必要となる。

改めて図 2.1 (b)のスイッチング波形を考察すると、 td_{ON} はゲート・エミッタ間電圧が上昇し始めてからコレクタ・エミッタ電流が上昇し始めるまでの時間であり、図 2.1 (b)に示した区間 I の時間 (t_1) に相当する。また、 td_{OFF} はゲート・エミッタ間電圧が下降し始めてからコレクタ・エミッタ間電流が下降し始めるまでの時間であり、図 2.1 (b)に示した区間 IV と区間 V の時間となる。一方、 dI_{CE}/dt に関しては、ターンオン時の dI_{CE}/dt が図 2.1 (b)に示した区間 II で発生し、ターンオフ時の dI_{CE}/dt が区間 VI で発生しており、 dV_{CE}/dt に関してはターンオン時の dV_{CE}/dt が区間 III で、ターンオフ時の dV_{CE}/dt が区間 V で発生している事から、 td_{ON} , td_{OFF} とは異なる区間で発生している事が分る。従って、理論的には区間毎に異なる R_G を用いる事により、 td_{ON} , td_{OFF} , dI_{CE}/dt および dV_{CE}/dt も個別に制御する事が可能であると言える。上記考察を基に、 dI_{CE}/dt および dV_{CE}/dt に影響を与えず td_{ON} , td_{OFF} のみ制御するための R_G 制御の方法を考案した。図 2.14 に、考案した R_G 制御のタイミングチャートを示す。

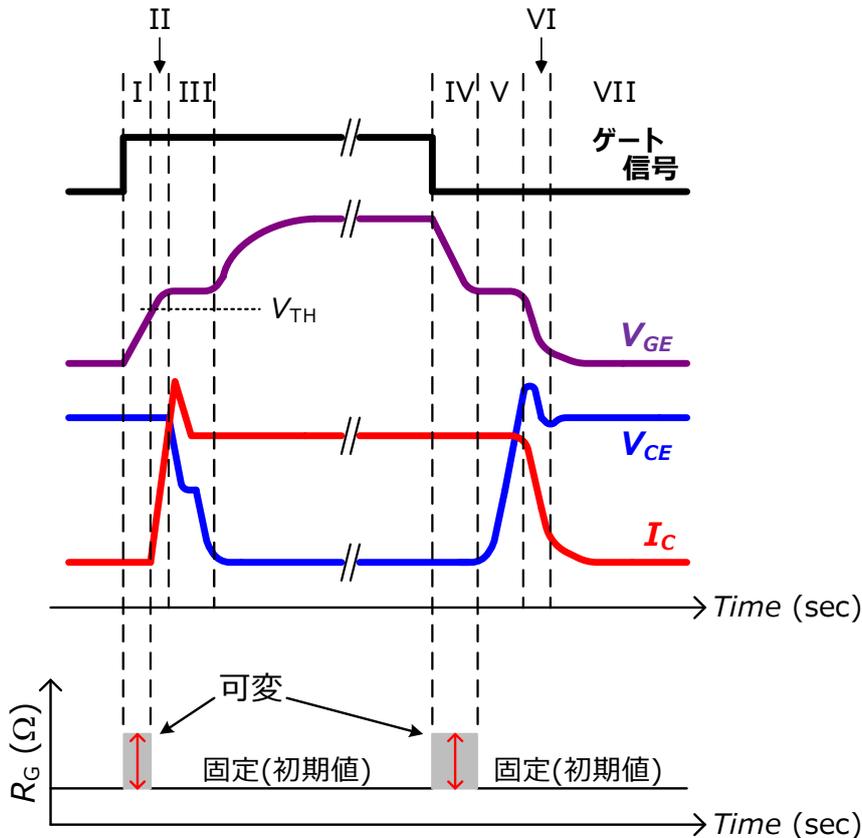


図 2.14 dI_{CE}/dt および dV_{CE}/dt に影響を与えず td_{ON} , td_{OFF} を制御する R_G 制御

td_{ON} は区間 I の時間 (t_1) に相当するため、 td_{ON} を制御するためには t_1 の間は R_G を可変とし遅延時間差に応じて変化させる。しかしながら、ターンオン期間中の dI_{CE}/dt および dV_{CE}/dt は低下させる事なく初期状態を維持させる必要があるため、区間 I 後は R_G も初期値に固定する。一方、 td_{OFF} は区間 IV と区間 V の時間に相当するが、 td_{OFF} の制御は区間 IV の時間 (t_4) だけ可変とする事でも実現可能であるため、 t_4 の間は R_G を可変とし遅延時間差に応じて変化させる。ターンオン期間中の dI_{CE}/dt および dV_{CE}/dt と同様に、ターンオフ期間中の dI_{CE}/dt および dV_{CE}/dt も低下させる事なく初期状態を維持させる必要があるため、区間 IV 後は再び R_G を初期値に固定する。

このように、スイッチング期間内にダイナミック(動的)に R_G を制御する事により、 dI_{CE}/dt および dV_{CE}/dt に影響を与えず td_{ON} , td_{OFF} のみ制御する事が可能となり、並列接続 IGBT 間の電流不均一の抑制が可能となると考えられる。次項に、ディスクリート部品にて実現したダイナミック可変ゲート抵抗について、およびダイナミック可変ゲート抵抗を用いて実施した原理検証について述べる。

2.2 ダイナミック可変ゲート抵抗 ($R_{G_dynamic}$) を用いた電流不均一抑制制御の原理検証

(1) ダイナミック可変ゲート抵抗^[19]

図 2.15 に、本研究で用いたダイナミック可変ゲート抵抗 ($R_{G_dynamic}$) の構成図および動作波形を示す。ダイナミック可変ゲート抵抗は、図 2.15 (a) に示すように2つの抵抗 (R_{G_a} , R_{G_b}) を直列に接続し、更に R_{G_b} と並列にスイッチ (SW) を接続した構成であり、非常にシンプルな構成となっている。 SW がオフの期間、 $R_{G_dynamic}$ は R_{G_a} と R_{G_b} の合成抵抗となり、

$$R_{G_dynamic} = R_{G_a} + R_{G_b} \quad \dots(2.5)$$

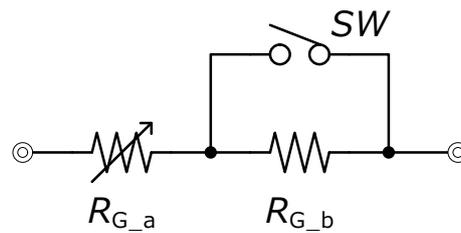
で表される抵抗となる。また、 SW がオンの期間は R_{G_b} の両端が SW でショートされるため、 $R_{G_dynamic}$ は、

$$R_{G_dynamic} = R_{G_a} \quad \dots(2.6)$$

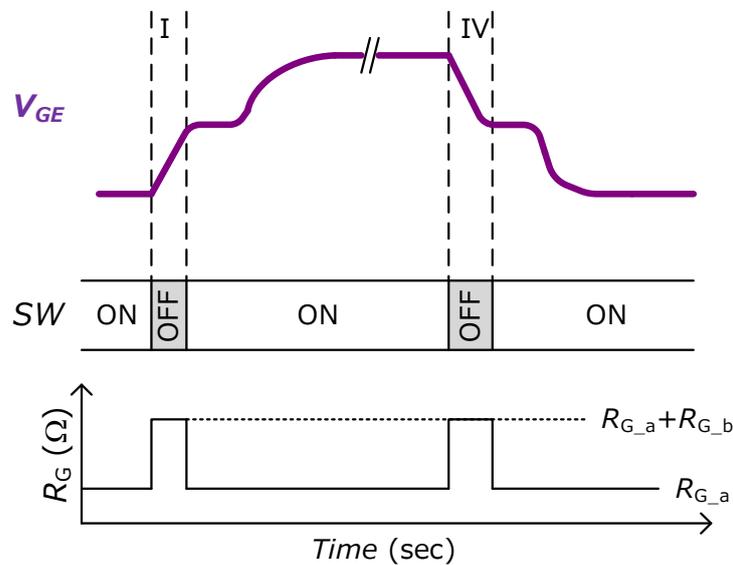
で表される抵抗となるため、 SW のオン状態とオフ状態を切り替える事により、 $R_{G_dynamic}$ の抵抗値を制御する事が可能となる。図 2.15 (a) に示すように、 R_{G_b} をポテンショメータとする事で SW がオフの期間の $R_{G_dynamic}$ そのものを可変とする事も可能となる。

図 2.15 (b) に示すように、 R_G の初期値を R_{G_a} で設定し、遅延時間を制御するための R_G 増分を R_{G_b} で設定し、更にターンオン時は区間 I の期間 SW をオフ状態とし、

区間 I 後は SW をオン状態とする事で、 dI_{CE}/dt および dV_{CE}/dt に影響を与えず td_{ON} のみを制御する事が可能となる。同様に、ターンオフ時は区間 IV の期間 SW をオフ状態とし、区間 IV 後は SW をオン状態とする事で、 dI_{CE}/dt および dV_{CE}/dt に影響を与えず td_{OFF} のみを制御する事が可能となる。従って、 $R_{G_dynamic}$ を用いてダイナミック・ゲート抵抗制御を行う事により、スイッチング損失の増大や dI_{CE}/dt の低下による電流不均一を発生させる事なく、遅延時間差に伴う電流不均一を抑制する事が可能となる。



(a) ダイナミック可変ゲート抵抗の構成図

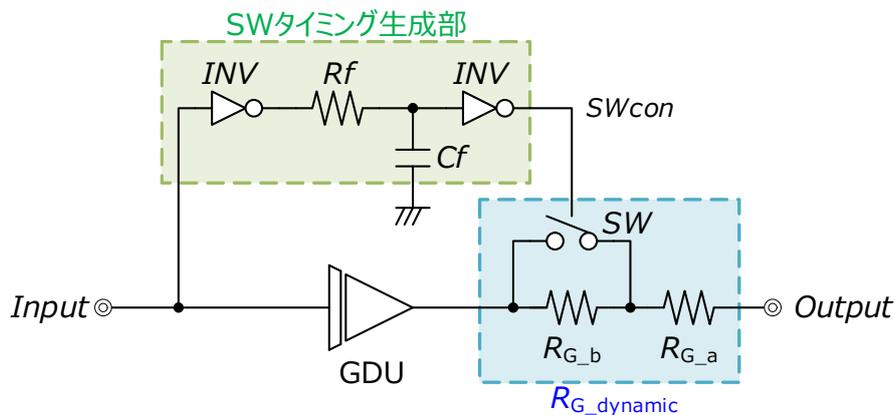


(b) ダイナミック可変ゲート抵抗の動作波形

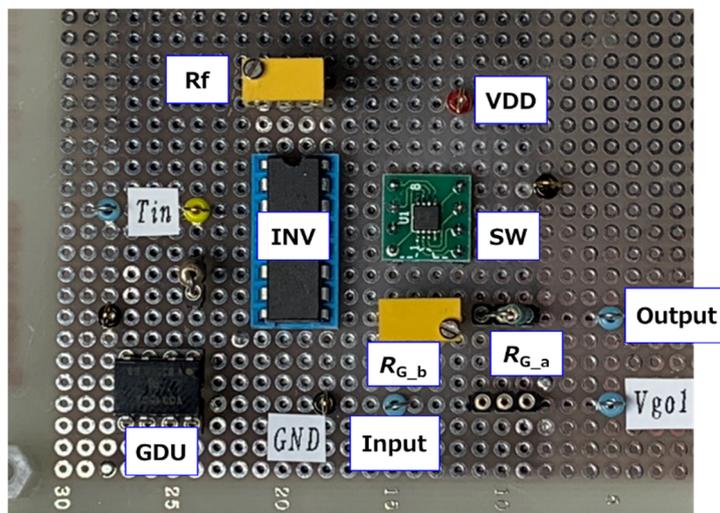
図 2.15 ダイナミック可変ゲート抵抗回路 ($R_{G_dynamic}$)

(2) $R_{G_dynamic}$ の試作および動作検証

$R_{G_dynamic}$ を用いた電流不均一抑制制御の動作検証を行うため、ディスクリート部品を用いた $R_{G_dynamic}$ テストボードを試作した。図 2.16 に $R_{G_dynamic}$ テストボードのブロック図とボードの写真をそれぞれ示す。図 2.16 (a)に示すように、テストボードは“SW タイミング生成部”、 $R_{G_dynamic}$ 、 GDU (Gate Drive Unit)で構成されている。SW タイミング生成部は、RC ローパスフィルタを用いた遅延時間回路であり、 R_f 値を調整する事で SW のオン・オフのタイミングを生成する。 SW には ANALOG DEVICES 社製の ADG1401 を使い、 GDU には VISHAY 社製の VO3120 を使い、 INV には東芝製の TC4049BP を用いている。



(a) $R_{G_dynamic}$ テストボードのブロック図



(b) $R_{G_dynamic}$ テストボードの写真

図 2.16 $R_{G_dynamic}$ テストボードのブロック図および写真

①スイッチング損失増大の抑制効果

試作したテストボードを、図 2.2 に示したスイッチング特性のゲート抵抗依存性を測定した回路に接続し、 $R_{G_dynamic}$ によるスイッチング損失増大の抑制効果を検証した。テストボードを用いて測定したスイッチング波形を、図 2.17 および図 2.18 に示す。各図とも上段が V_{GE} 波形、中段が I_{CE} 波形、下段が V_{CE} 波形をそれぞれ示している。また、図 2.17 がターンオン時の波形で、図 2.18 がターンオフ時のスイッチング波形を示しており、各図の(a)には図 2.2 に示したスイッチング特性のゲート抵抗依存性をリファレンスとして示している。測定に用いた IGBT は、同様に 1200V, 150A 定格の素子である。図 2.17 および図 2.18 の(b)に示した $R_{G_dynamic}$ 有りの測定においては、 R_G の初期値となる R_{G_a} を $5\ \Omega$ とし、 R_G 増分である R_{G_b} を $0\ \Omega, 10\ \Omega, 20\ \Omega, 30\ \Omega$ と変化させている。従って、ターンオン時においては区間 I の R_G が $5\ \Omega, 15\ \Omega, 25\ \Omega, 35\ \Omega$ と変化するのに対し、区間 I 以降の R_G は初期値である $5\ \Omega$ に固定となる。

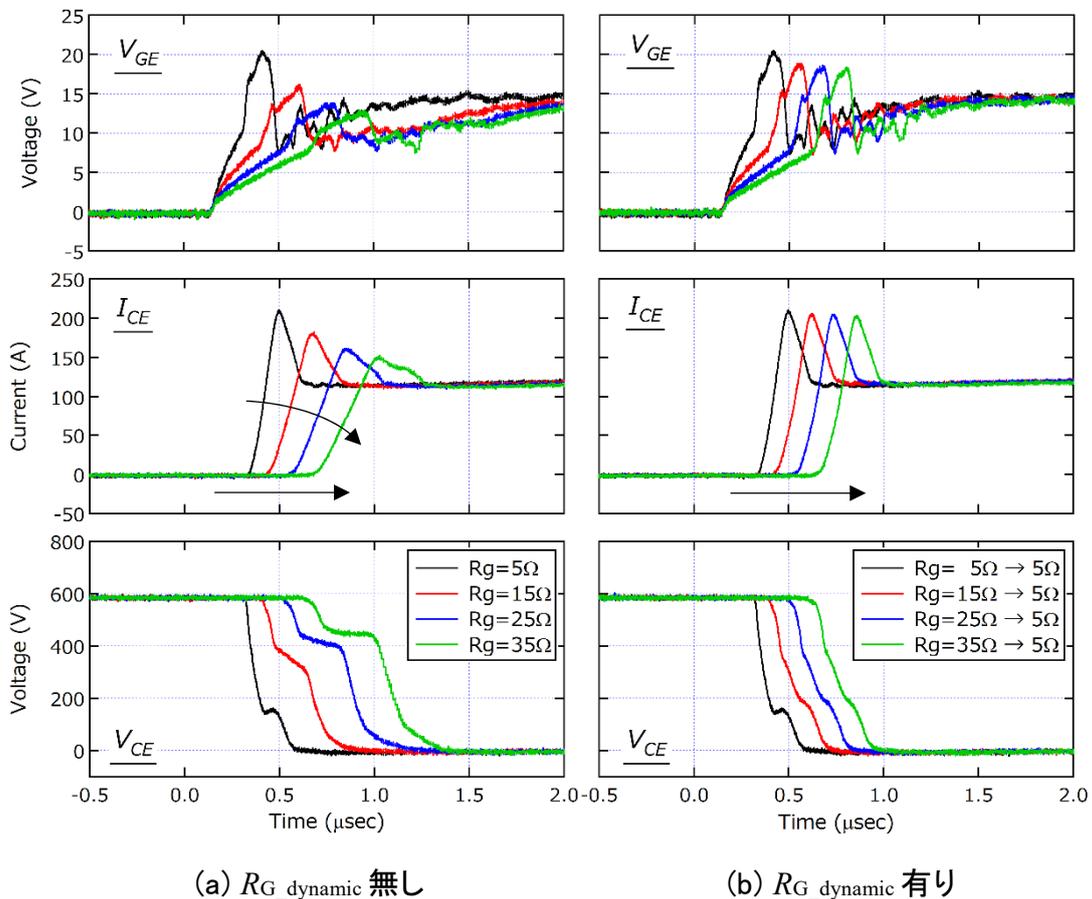


図 2.17 $R_{G_dynamic}$ 有無のスイッチング波形のゲート抵抗依存(ターンオン)

R_G をスイッチング期間内にダイナミックに変化させる事なく、単純に増加させた場合のゲート抵抗依存性が図 2.17 (a)であるが、 R_G が $5\ \Omega$ から $35\ \Omega$ に増加するのに伴

い td_{ON} が増加するだけでなく dI_{CE}/dt および dV_{CE}/dt が減少している。これに対し、 $R_{G_dynamic}$ を用いて、区間 I の R_G を $5\ \Omega$, $15\ \Omega$, $25\ \Omega$, $35\ \Omega$ と変化させ、区間 I 以降の R_G を初期値である $5\ \Omega$ に固定するダイナミック・ゲート抵抗制御を行った場合のゲート抵抗依存性が、図 2.17 (b) である。ダイナミック・ゲート抵抗制御では、 I_{CE} が流れ始めるまでの区間 I の期間 R_G を $5\ \Omega$, $15\ \Omega$, $25\ \Omega$, $35\ \Omega$ と変化させるため、 R_G の増加に伴い td_{ON} も増加している。 I_{CE} が流れ始めた以降 (区間 I 以降) は R_G が初期値の $5\ \Omega$ となるため、 dI_{CE}/dt および dV_{CE}/dt は R_G が $5\ \Omega$ の場合の dI_{CE}/dt および dV_{CE}/dt を維持する事となる。従って、区間 I の R_G に依らず、 dI_{CE}/dt および dV_{CE}/dt も固定となる。結果として、 $R_{G_dynamic}$ を用いてダイナミック・ゲート抵抗制御を行う事により、 dI_{CE}/dt および dV_{CE}/dt を低下させる事無く td_{ON} のみを制御する事が可能となる。

図 2.18 は、ターンオフ時のスイッチング特性のゲート抵抗依存性である。ターンオフ時も同様に、 R_G をスイッチング期間内にダイナミックに変化させる事なく、単純に増加させた場合、図 2.18 (a) に示すように R_G が $5\ \Omega$ から $35\ \Omega$ に増加するのに伴い td_{OFF} が増加するだけでなく dI_{CE}/dt および dV_{CE}/dt の減少が引き起こされている。これに対し、 $R_{G_dynamic}$ を用いて、区間 IV の R_G を $5\ \Omega$, $15\ \Omega$, $25\ \Omega$, $35\ \Omega$ と変化させ、区間 IV 以降の R_G を初期値である $5\ \Omega$ に固定するダイナミック・ゲート抵抗制御を行った場合のゲート抵抗依存性が、図 2.17 (b) である。 I_{CE} が減少し始めるまでの区間 IV の期間、

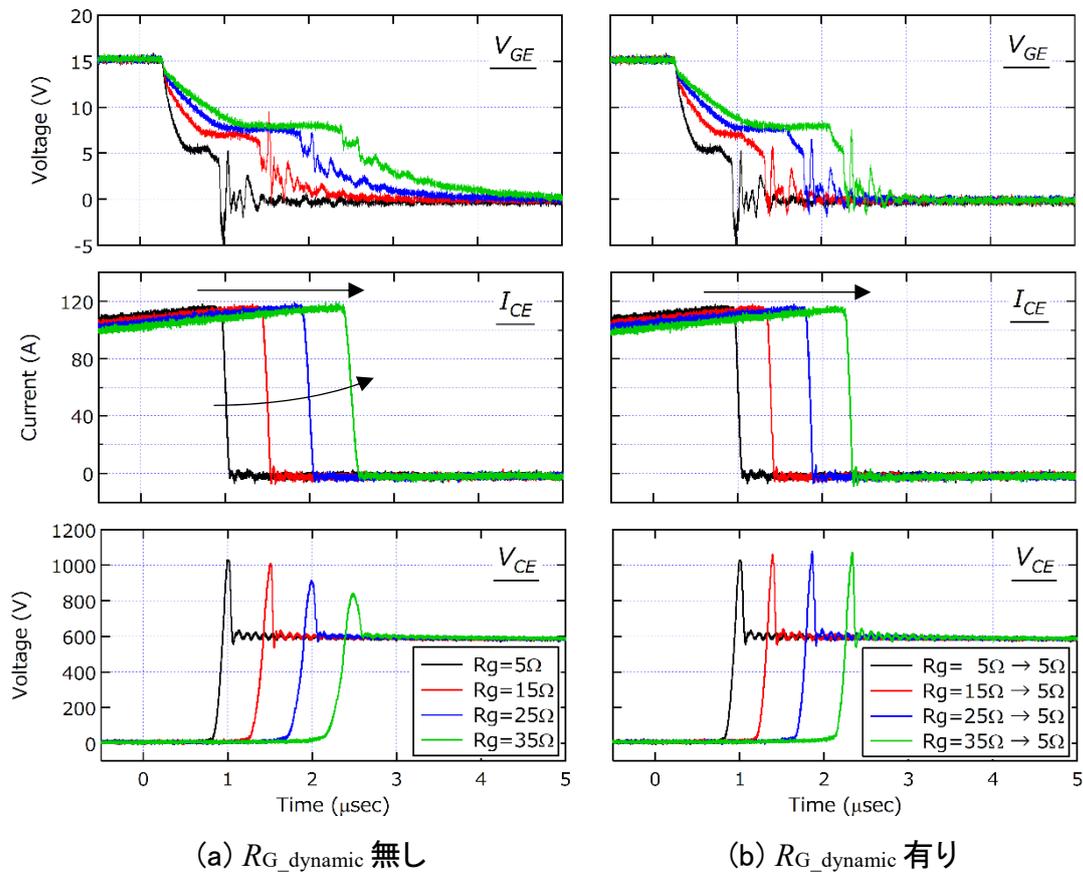


図 2.18 $R_{G_dynamic}$ 有無のスイッチング波形のゲート抵抗依存(ターンオフ)

R_G を5 Ω , 15 Ω , 25 Ω , 35 Ω と変化させるため、 R_G の増加に伴い td_{OFF} が増加している。 I_{CE} が流れ始めた以降(区間 IV 以降)は R_G が初期値の5 Ω となるため、 dI_{CE}/dt および dV_{CE}/dt は R_G が5 Ω の場合の dI_{CE}/dt および dV_{CE}/dt を維持する事となる。従って、区間 IV の R_G に依らず、 dI_{CE}/dt および dV_{CE}/dt も固定となる。結果として、ターンオン時と同様に $R_{G_dynamic}$ を用いてダイナミック・ゲート抵抗制御を行う事により、 dI_{CE}/dt および dV_{CE}/dt を低下させる事無く td_{OFF} のみを制御する事が可能となる。図 2.17 と図 2.18 の各波形から抽出した、 $R_{G_dynamic}$ を用いた場合と用いない場合の td_{ON} および td_{OFF} の R_G 依存性と、 $R_{G_dynamic}$ を用いた場合と用いない場合の dI_{CE}/dt および dV_{CE}/dt の R_G 依存性を、図 2.19, 図 2.20 にまとめた。

図 2.19 に示すように、ダイナミックではなく単純に R_G を増加させたスイッチング動作においては(図中、fixed R_G と表記)、 R_G の増加に伴い td_{ON} , td_{OFF} 共に増加している。 $R_{G_dynamic}$ を用いてスイッチング期間内でダイナミックに R_G を増加させたスイッチング動作においては(図中、dynamic R_G と表記)、 td_{ON} および td_{OFF} に影響のある区間 I と区間 IV の R_G を増加しているため、fixed R_G と同様に td_{ON} , td_{OFF} が増加しており、 R_G に対する依存性も fixed R_G と dynamic R_G で同程度である事が分る。このように、 $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させても、スイッチング期間内の R_G 値を固定とし R_G を変化させた場合と同じように td_{ON} , td_{OFF} を制御可能である。

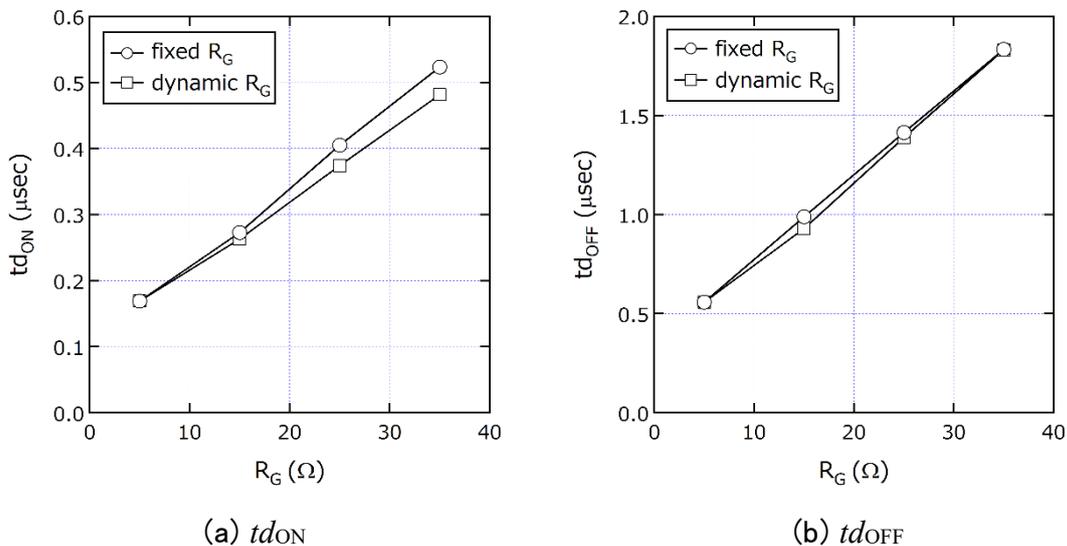


図 2.19 $R_{G_dynamic}$ 有無の td_{ON} および td_{OFF} のゲート抵抗依存

一方、 dI_{CE}/dt および dV_{CE}/dt については、図 2.20 に示すように $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させる場合と、スイッチング期間内の R_G 値を固定とし R_G 変化させた場合で、 R_G 依存性に差異が見られる。スイッチング期間内の R_G 値を固定とし R_G を増加させたスイッチング動作においては(図中、fixed R_G と表記)、 R_G の増加に伴

いターンオン時とターンオフ時の dI_{CE}/dt および dV_{CE}/dt 共に減少しているが、 $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させる場合は、ターンオン時とターンオフ時の dI_{CE}/dt および dV_{CE}/dt 共に減少が大きく抑制されている。以上のように、図 2.19 と図 2.20 から、 $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させる事により、 dI_{CE}/dt および dV_{CE}/dt を低下させる事無く td_{ON} , td_{OFF} が制御可能である事が分る。

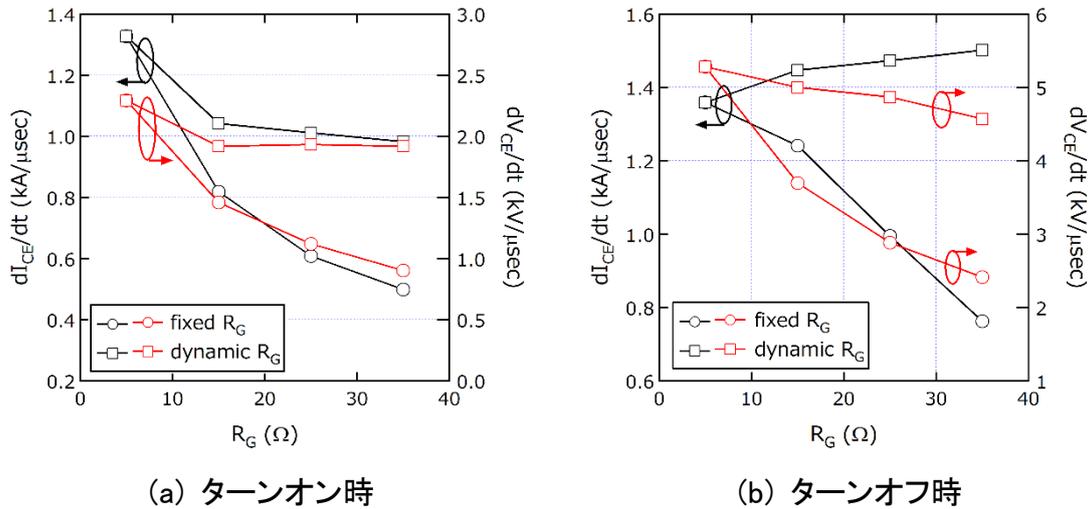
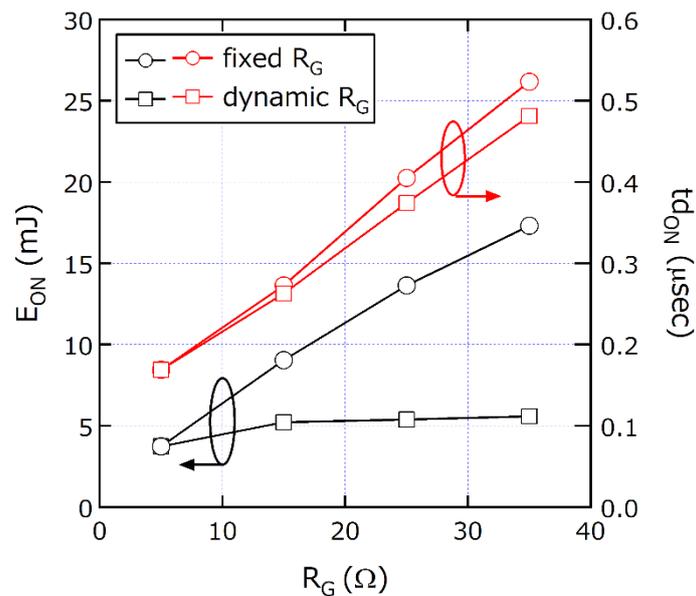


図 2.20 $R_{G_dynamic}$ 有無の dI_{CE}/dt および dV_{CE}/dt のゲート抵抗依存

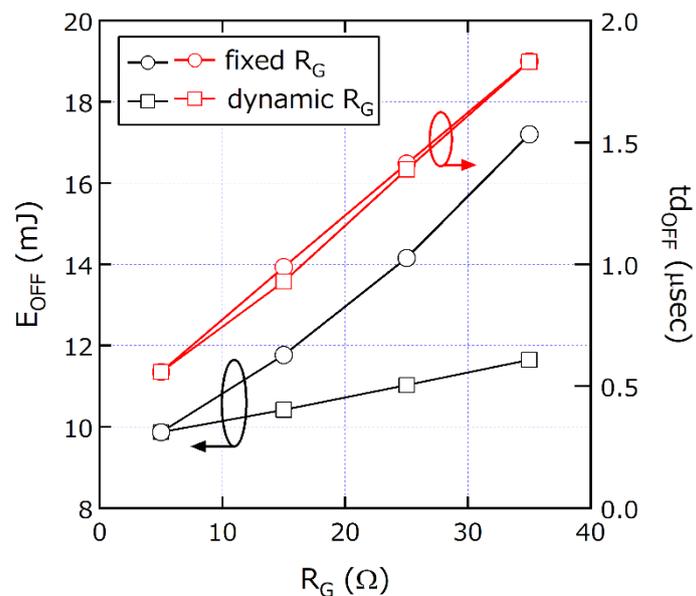
図 2.21 に $R_{G_dynamic}$ を用いた場合と用いない場合の td_{ON} と E_{ON} の R_G 依存性および td_{OFF} と E_{OFF} の R_G 依存性を示す。図 2.6 と同様に、図 2.7 に示す IEC 60747-9 に従ったスイッチング損失エネルギー E_{ON} および E_{OFF} 規格に従って算出した。図 2.21 の td_{ON} および td_{OFF} の R_G 依存性については、図 2.19 に示したデータと同じものである。図 2.21 (a) は E_{ON} の R_G 依存性を示しているが、図 2.20 に示したように $R_{G_dynamic}$ を用いない場合 (fixed R_G) は R_G の増加に伴い dI_{CE}/dt および dV_{CE}/dt 共に減少するため、これにより E_{ON} が増加している。一方、 $R_{G_dynamic}$ を用いた場合 (dynamic R_G) は、 R_G 増加に伴う dI_{CE}/dt および dV_{CE}/dt の減少が大きく抑制されるため、 E_{ON} の増加も抑制されている。fixed R_G では、 R_G の 5 Ω から 35 Ω への増加に対し、 E_{ON} が 3.73 mJ から 17.31 mJ と 13.58 mJ 増加しているが、dynamic R_G では 3.73 mJ から 5.59 mJ と E_{ON} の増加幅は 1.86 mJ に抑制されており、 E_{ON} 増加の 86 % の抑制となる。図 2.21 (b) は E_{OFF} の R_G 依存性を示しているが、 E_{ON} の R_G 依存性と同様に $R_{G_dynamic}$ を用いない場合 (fixed R_G) は R_G の増加に伴い dI_{CE}/dt および dV_{CE}/dt 共に減少し、結果として E_{OFF} が増加している。これに対し $R_{G_dynamic}$ を用いた場合 (dynamic R_G) は、 R_G 増加に伴う dI_{CE}/dt および dV_{CE}/dt の減少が大きく抑制され、 E_{OFF} の増加が抑制されている。fixed R_G では、 R_G の 5 Ω から 35 Ω への増加に対し、 E_{OFF} が 9.87 mJ から 17.2 mJ と 7.33 mJ

増加しているが、dynamic R_G では 9.87 mJ から 11.65 mJ と E_{OFF} の増加幅は 1.78 mJ に抑制されており、 E_{OFF} 増加の 76% の抑制となる。

以上のように、 $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させる事により、 dI_{CE}/dt および dV_{CE}/dt を低下させる事無く td_{ON} , td_{OFF} の制御が可能であり、結果として E_{ON} , E_{OFF} を増加させる事無く td_{ON} , td_{OFF} の制御が可能となる。



(a) ターンオン時



(a) ターンオフ時

図 2.21 $R_{G_dynamic}$ 有無の td_{ON} , td_{OFF} , E_{ON} および E_{OFF} のゲート抵抗依存

② dI_{CE}/dt 低下による電流不均一発生抑制効果

並列接続された IGBT 素子をスイッチング動作させた際の、 dI_{CE}/dt 低下によって引き起こされる電流不均一に関して、 $R_{G_dynamic}$ の適用による電流不均一の抑制効果を検証するため、 $R_{G_dynamic}$ テストボードを用いたスイッチング波形測定を実施した。図 2.22 に、測定回路の構成図を示す。用いた測定回路は、図 2.8 に示したスイッチング波形測定回路に $R_{G_dynamic}$ テストボードを接続して実現しており、図 2.22 に示すように $IGBT_2$ のゲート抵抗 (R_{G2}) とゲートドライバ (ドライバ 2) を測定回路から取り外し、代わりに $R_{G_dynamic}$ ボードを接続した構成となっている。その他は図 2.8 と同様に、並列接続した IGBT 素子を用いてチョッパ回路を構成し、CPLD により各 IGBT のゲート信号を生成する構成である。従って、外部から強制的に遅延時間差を与える事が可能である。 I_{CE} 波形は、センス IGBT を用いて抽出したセンス電流を、センス抵抗 (R_{S1}, R_{S2}) で電圧信号 (V_{S1}, V_{S2}) に変換し、電圧信号波形としてオシロスコープで観測している。

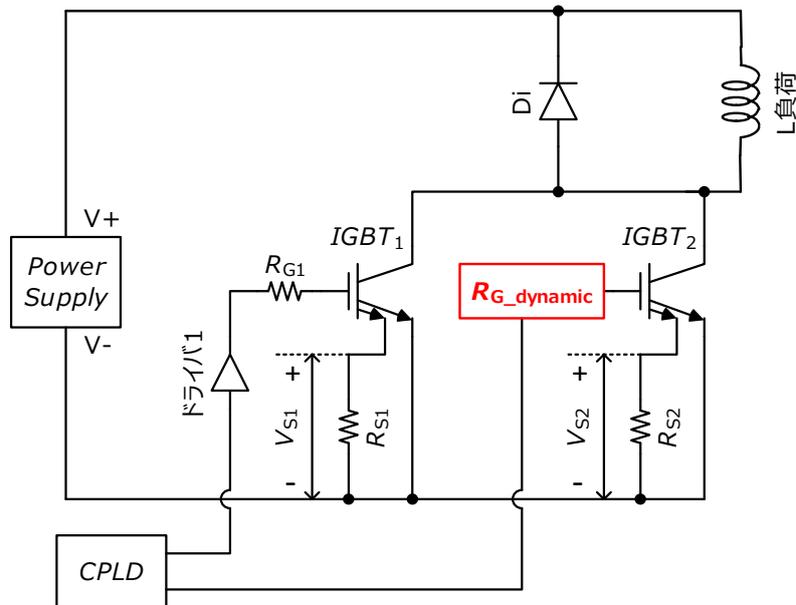


図 2.22 $R_{G_dynamic}$ テストボードを接続したスイッチング測定回路

図 2.23 と図 2.24 に、上記測定回路を用いて測定したスイッチング波形を示す。図 2.23 がターンオン時の波形を、図 2.24 がターンオフ時の波形をそれぞれ示しており、各図の上段が並列接続された2つの IGBT ($IGBT_1, IGBT_2$) の各 V_{GE} 波形 (V_{GE1}, V_{GE2}) を、下段には各センス電圧波形 (V_{S1}, V_{S2}) をそれぞれ示している。

測定においては、 $R_{G_dynamic}$ を用いてダイナミックに R_G を変化させた場合と、比較のために $R_{G_dynamic}$ 内部の SW をスイッチング期間内にオン状態で固定とした場合および SW をスイッチング期間にオフ状態で固定とした場合の3種類の条件にて実施している。 SW をスイッチング期間内でオン状態固定とした場合、 $R_{G_dynamic}$ は図 2.16 (a)の

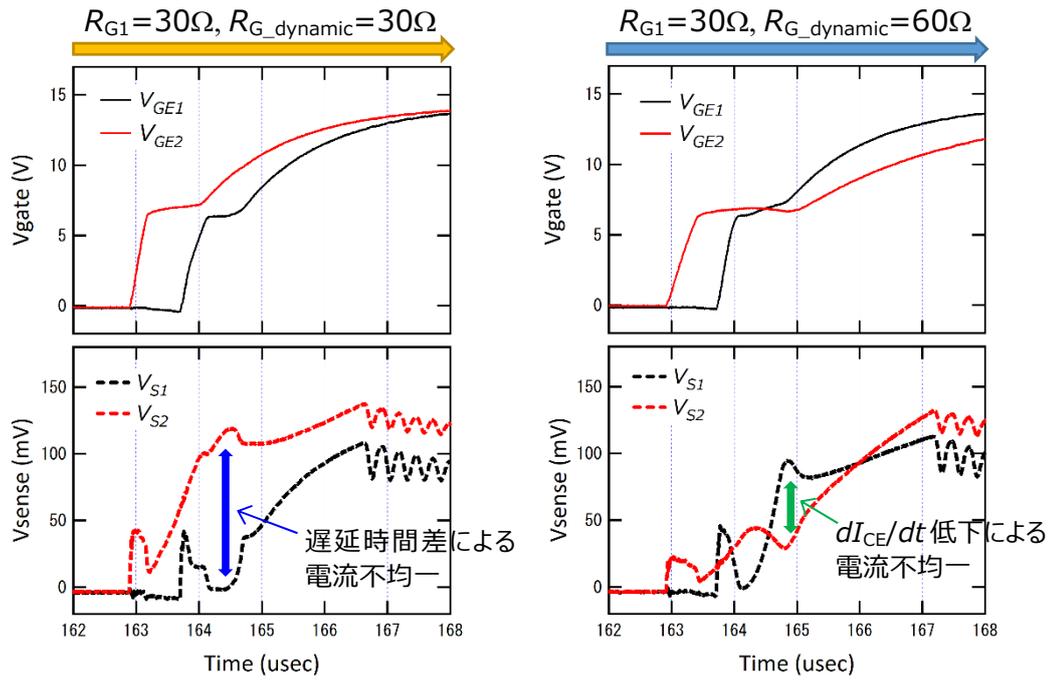
ブロック図に示すようにスイッチング期間内において $R_{G_dynamic} = R_{G_a}$ を維持する事となる。一方、 SW をスイッチング期間内でオフ状態固定とした場合は、 $R_{G_dynamic} = R_{G_a} + R_{G_b}$ を維持する事となる。従って、 SW のオン状態固定でのスイッチング動作に対するオフ状態固定でのスイッチング動作は、スイッチング期間内でダイナミックに R_G を切り替えずに、単純に $R_{G_dynamic} = R_{G_a}$ に対して $R_{G_dynamic}$ を R_{G_b} 増加させたスイッチング動作に相当(図 2.19~図 2.21 の fixed R_G に相当)する。図 2.23 と図 2.24 の波形取得においては、 $R_{G1} = R_{G_a} = R_{G_b} = 30 \Omega$ とし、図 2.10 と図 2.11 の波形取得時と同様に $IGBT_1$ のゲート信号に外部から $0.8 \mu\text{sec}$ の遅延時間を強制的に与え、スイッチング動作を行っている。

図 2.23 (a)は、 SW をターンオン期間内でオン状態固定とし $R_{G_dynamic} = R_{G_a}$ 固定とした場合のスイッチング波形を示している。この時、 $R_{G1} = R_{G_dynamic} = 30 \Omega$ となっているが、外部から与えられた $0.8 \mu\text{sec}$ の遅延時間差により $IGBT_2$ が先にオン状態となるため、全負荷電流が $IGBT_2$ に集中し電流不均一が発生している。図 2.23 (a)で見られる電流不均一は、並列接続された2つの IGBT 間における遅延時間差による電流不均一である。

図 2.23 (b)は、 SW をターンオン期間内でオフ状態固定とし $R_{G_dynamic} = R_{G_a} + R_{G_b}$ 固定とした場合のスイッチング波形を示している。従って、 $R_{G1} = 30 \Omega$, $R_{G_dynamic} = 60 \Omega$ となる。 $IGBT_2$ に接続された $R_{G_dynamic}$ が 30Ω から 60Ω に増加した事により、 $IGBT_2$ の td_{ON} が増加し遅延時間差が減少するため、遅延時間差による電流不均一は大幅に抑制されている。しかしながら、 $R_{G_dynamic}$ が 30Ω から 60Ω に増加した事により $IGBT_2$ の dI_{CE}/dt が低下するため、 dI_{CE}/dt 低下による電流不均一が発生している。この結果は、図 2.10 に示した傾向と同じである。

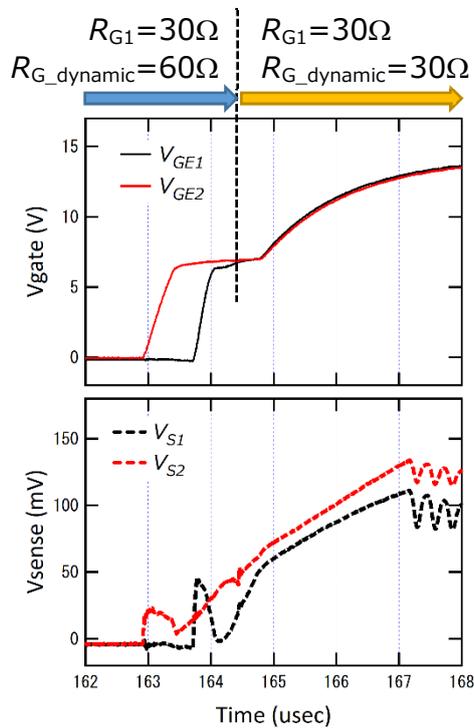
図 2.23 (c)は、 $R_{G_dynamic}$ を用いてターンオン期間内でダイナミックに R_G を変化させた場合のスイッチング波形である。 SW は、図中に示した点線のタイミング ($IGBT_1$ のミラー期間の中間辺り) でオフ状態からオン状態に切り替わるように、図 2.16 (a)示したブロック図の“SW タイミング生成部”の R_f を調整している。これにより、各 IGBT のゲート抵抗は、 SW のオフ状態とオン状態を切り替える前が $R_{G1} = 30 \Omega$, $R_{G_dynamic} = 60 \Omega$ であるに対し、切り替え後は $R_{G1} = R_{G_dynamic} = 30 \Omega$ と変化している。従って、図 2.23 (c)に示すように、 SW のオフ状態とオン状態を切り替える前は、 $R_{G_dynamic} = 60 \Omega > R_{G1} = 30 \Omega$ となり、 $IGBT_2$ の td_{ON} が増加し $IGBT_1$ の td_{ON} より大きくなるため、IGBT 間の遅延時間差が減少する。この遅延時間差の減少により、遅延時間差による電流不均一は図 2.23 (b)と同様に抑制されている。その後、 SW がオフ状態からオン状態へ切り替わると、図中の点線以降は $R_{G1} = R_{G_dynamic} = 30 \Omega$ となるため、 R_G 増による dI_{CE}/dt 低下が $IGBT_2$ で発生させずにスイッチング動作が行われる。従って、図 2.23 (b)で観測された dI_{CE}/dt 低下による電流不均一を発生させる事なくスイッチング動作が行われ、結果として、図 2.23 (a)で観測された遅延時間差による電流不均一が、大幅に抑制される。

以上のように、 $R_{G_dynamic}$ を用いてターンオン期間内でダイナミックに R_G を制御する事により、 dI_{CE}/dt の低下に伴う電流不均一を発生させる事なく、 Δtd_{ON} に伴うターンオン時の電流不均一を抑制する事が可能となる。



(a) SW オン状態固定
($R_{G_dynamic}=30\ \Omega$)

(b) SW オフ状態固定
($R_{G_dynamic}\ 60\ \Omega$)



(c) SW オン/オフ切り替え(ダイナミックに制御)
($R_{G_dynamic}\ 60\ \Omega \rightarrow 30\ \Omega$)

図 2.23 $R_{G_dynamic}$ テストボードを用いたスイッチング波形測定結果(ターンオン)

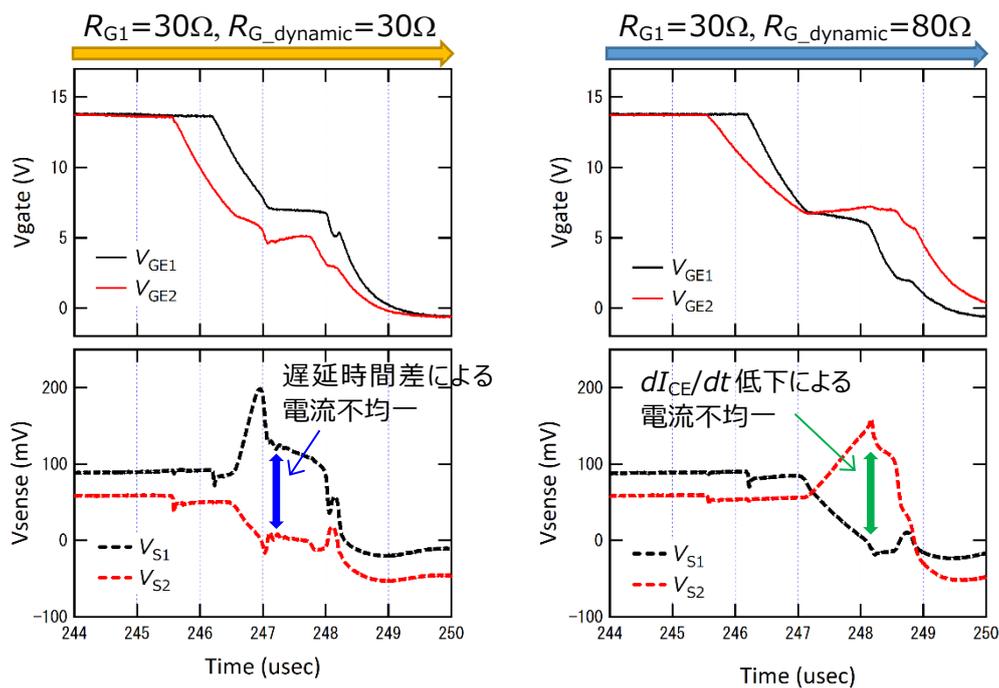
図 2.24 (a)は、 SW をターンオフ期間内でオン状態固定とし $R_{G_dynamic} = R_{G_a}$ 固定とした場合のスイッチング波形を示している。この時、 $R_{G1} = R_{G_dynamic} = 30 \Omega$ となっているが、外部から与えられた $0.8 \mu\text{sec}$ の遅延時間差により $IGBT_2$ が先にオフ状態となるため、全負荷電流が $IGBT_1$ に集中し電流不均一が発生している。図 2.24 (a)で見られる電流不均一は、図 2.23 (a)と同様に並列接続された2つの IGBT 間における遅延時間差による電流不均一である。

図 2.24 (b)は、 SW をターンオフ期間内でオフ状態固定とし $R_{G_dynamic} = R_{G_a} + R_{G_b}$ 固定とした場合のスイッチング波形を示している。従って、ターンオン時と同様に $R_{G1} = 30 \Omega$, $R_{G_dynamic} = 60 \Omega$ となる。 $IGBT_2$ に接続された $R_{G_dynamic}$ が 30Ω から 60Ω に増加した事により、 $IGBT_2$ の td_{OFF} が増加し遅延時間差が減少するため、遅延時間差による電流不均一は抑制されている。しかしながら、 $R_{G_dynamic}$ が 30Ω から 60Ω に増加した事により $IGBT_2$ の dI_{CE}/dt が低下するため、ターンオン時と同様に dI_{CE}/dt 低下による電流不均一が発生している。この結果は、図 2.11 に示した傾向と同じである。

図 2.24 (c)は、 $R_{G_dynamic}$ を用いてターンオフ期間内でダイナミックに R_G を変化させた場合のスイッチング波形である。 SW は、図中に示した点線のタイミング ($IGBT_1$ のミラー期間の手前) でオフ状態からオン状態に切り替わるように、図 2.16 (a)示したブロック図の“SW タイミング生成部”の R_f を調整している。これにより、各 IGBT のゲート抵抗は、 SW を切り替える前が $R_{G1} = 30 \Omega$, $R_{G_dynamic} = 60 \Omega$ であるに対し、切り替え後は $R_{G1} = R_{G_dynamic} = 30 \Omega$ と変化する。従って、図 2.24 (c)に示すように、 SW のオフ状態とオン状態を切り替える前は、 $R_{G_dynamic} = 60 \Omega > R_{G1} = 30 \Omega$ となり、 $IGBT_2$ の td_{OFF} が増加し $IGBT_1$ の td_{OFF} より大きくなるため、IGBT 間の遅延時間差が減少する。この遅延時間差の減少により、ターンオン時と同様に遅延時間差による電流不均一が抑制されている。その後、 SW がオフ状態からオン状態へ切り替わると、図中の点線以降は $R_{G1} = R_{G_dynamic} = 30 \Omega$ となるため、ターンオン時と同様に R_G 増による dI_{CE}/dt 低下を $IGBT_2$ で発生させずにスイッチング動作が行われる。従って、図 2.24 (b)で観測された dI_{CE}/dt 低下による電流不均一を発生させる事なくスイッチング動作が行われ、結果として、図 2.24 (a)で観測された遅延時間差による電流不均一が、大幅に抑制される。

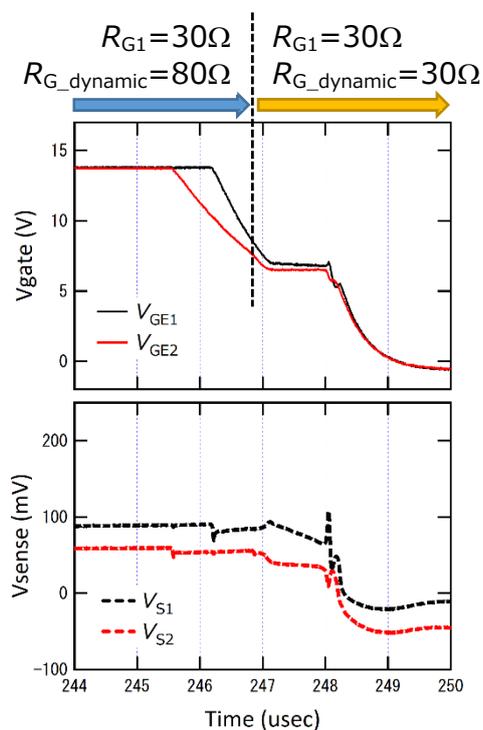
以上のように、 $R_{G_dynamic}$ を用いてターンオフ期間内でダイナミックに R_G を制御する事により、 dI_{CE}/dt の低下に伴う電流不均一を発生させる事なく、 Δtd_{OFF} に伴うターンオフ時の電流不均一も抑制する事が可能となる。

表 2.1 に、図 2.23 (a), (c)と図 2.24 (a), (c)から求めた、スイッチング期間内の最大電流不均一と平均電流不均一および $R_{G_dynamic}$ による電流不均一の抑制率をまとめた。電流不均一は、センス電圧波形から電流値に換算し表記している。また、最大電流不均一は、ターンオン期間およびターンオフ期間内の各期間で最大となる電流不均一量を、平均電流不均一は各期間における電流不均一の平均値をそれぞれ示している。表に示すように、本測定においては $R_{G_dynamic}$ の適用により、最大電流不均一がターンオン期間で 71 %、ターンオフ期間で 74 %の抑制率であり、平均電流不均一はターンオン期間で 74 %、ターンオフ期間で 65 %の抑制率である事が分る。 $R_{G_dynamic}$ の適用により、並列接続された IGBT 間においてスイッチング期間内に発生する電流不均一を大幅に抑制可能であると言える。



(a) SW オン状態固定
($R_{G_dynamic}=30\Omega$)

(b) SW オフ状態固定
($R_{G_dynamic} 60\Omega$)



(c) SW オン/オフ切り替え(ダイナミックに制御)
($R_{G_dynamic} 80\Omega \rightarrow 30\Omega$)

図 2.24 $R_{G_dynamic}$ テストボードを用いたスイッチング波形測定結果(ターンオフ)

表 2.1 スイッチング期間の最大電流不均一と平均電流不均一

スイッチング期間の電流不均一		$R_{G_dynamic}$		抑制率
		無し	有り	
最大電流不均一	ターンオン時	$\Delta 21.92(A)$	$\Delta 6.39(A)$	71%
	ターンオフ時	$\Delta 42.98(A)$	$\Delta 9.98(A)$	77%
平均電流不均一	ターンオン時	$\Delta 10.29(A)$	$\Delta 2.67(A)$	74%
	ターンオフ時	$\Delta 19.11(A)$	$\Delta 6.74(A)$	65%

2.3 まとめ

並列接続された IGBT のスイッチング時において、スイッチング期間内に発生する電流不均一の抑制方法の1つが、 R_G による遅延時間制御方法である。本章では、 R_G による遅延時間制御の問題点を実機評価により確認し、その対策方法としてスイッチング期間内で R_G を変化させるダイナミック R_G 制御方法を提案した。また、スイッチング期間内でダイナミックに抵抗値が可変となる $R_{G_dynamic}$ および $R_{G_dynamic}$ テストボードを作成し、テストボードを用いた $R_{G_dynamic}$ の動作および効果検証を実施した。

スイッチング期間内でダイナミックに抵抗値が可変となる $R_{G_dynamic}$ を用いて、 td_{ON} の区間の R_G を増加させ、 td_{ON} 以降の dI_{CE}/dt および dV_{CE}/dt の区間の R_G を初期の R_G に戻す(減少させる)事により、 dI_{CE}/dt および dV_{CE}/dt を低下させる事なく td_{ON} のみを制御する事が可能となる。それにより、スイッチング損失を増加させる事なく、更には dI_{CE}/dt の低下による電流不均一を発生させる事なく、ターンオン期間内に発生する電流不均一を抑制できる事を実機検証にて示した。ターンオフ期間内に発生する電流不均一に関しても同様に、 $R_{G_dynamic}$ を用いて、 td_{OFF} の区間の R_G を増加させ、 td_{OFF} 以降の dI_{CE}/dt および dV_{CE}/dt の区間の R_G を初期の R_G に戻す(減少させる)事により、スイッチング損失の増加および dI_{CE}/dt の低下による電流不均一を発生させる事なく抑制できる事を実機検証にて示した。

本章における実機検証においては、 R_G を切り替えるタイミングや R_G をどの程度増加させるかは、その都度測定者が測定しながら最適化する、いわゆる開ループ制御の状態で行っている。しかし、 R_G を切り替えるタイミングやどの程度増加させるかは、 td_{ON} もしくは td_{OFF} で決まり、 td_{ON} および td_{OFF} は動作条件や動作温度に依って変化する。従って、実際のアプリケーションに適用するには、動作条件や動作温度に依って R_G の切り替えタイミングや最適な R_G 値を自動で計算し制御を行う、閉ループ制御の実現が必要であり、閉ループ制御機能を集積した回路(IC)の実現も必要不可欠とな

る。また、実機検証で用いた $R_{G_dynamic}$ は R_{G_a} と $R_{G_a} + R_{G_b}$ の 2 値でのみの制御となるが、上述したように最適な R_G 値は動作条件や動作温度に依って異なり、複数の抵抗値での制御が求められるため、複数の抵抗値に対応した $R_{G_dynamic}$ の実現も必要となる。

次章では、複数の抵抗値に対応した $R_{G_dynamic}$ を実現する方法と試作回路による動作検証と、電流不均一を抑制するための閉ループ制御の実現およびゲート駆動 IC への集積について述べる。また、試作した駆動 IC を IGBT モジュールに組み込んだサンプルを用いた、閉ループ電流不均一抑制制御の動作検証についても述べる。

参考文献

- [21] M. Sasaki, W.T. Ng and H. Nishio, “Dynamic gate resistance control for current balancing in parallel connected IGBTs”, Applied Power Electronics Conference and Exposition, 2013, pp. 244-249
- [22] M. Sasaki and K. Yano, “Turn on/off delay time control for current balancing in parallel connected IGBTs without increasing switching loss”, IEEJ Journal of Industry Applications, vol. 11, no. 1, 2022, pp.187-188
- [23] B. Jayant Baliga, “Fundamentals of power semiconductor devices second edition”, Raleigh, NC, USA: Springer Science, 2018
- [24] Y. Onozawa, M. Otsuki and Y. Seki, “Great improvement in turn-on power dissipation of IGBTs with an extra gate charging function”, International Symposium on Power Semiconductor Devices and ICs, 2005, pp.207-210
- [25] Y. Onozawa, M. Otsuki and Y. Seki, “Investigation of carrier streaming effect for the low spike fast IGBT turn-off”, International Symposium on Power Semiconductor Devices and ICs, 2006, pp. 173-176

第 3 章

並列接続された IGBT 間の電流不均一を抑制する
ための閉ループ制御の実現および IC 化手法

第2章では、スイッチング期間内において最適なタイミングにてダイナミックに R_G を変化させる事により、スイッチング損失の増加および di_{CE}/dt 低下による電流不均一の発生を引き起こす事無く、遅延時間差による電流不均一を抑制できる事を実機検証にて示した。しかし、 R_G を切り替えるタイミングおよびどの程度増加させるかは、 td_{ON} もしくは td_{OFF} で決まり、 td_{ON} および td_{OFF} は動作条件や動作温度に依って変化する。従って、実際のアプリケーションに適用するには、動作条件や動作温度、並列化した個々のチップの電気的特性の差に依って R_G の切り替えタイミングや最適な R_G 値を自動で計算し制御を行う、閉ループ制御の実現が必要であり、閉ループ制御機能を集積した回路(IC)の実現も必要不可欠となる事を述べた。

本章では、閉ループ制御の実現手法、閉ループ制御機能を集積した回路(IC)の実現手法および閉ループ制御機能を集積したゲート駆動 IC の試作について述べ、試作した駆動 IC を IGBT モジュールに組み込んだサンプルを用いた閉ループ電流不均一抑制制御の動作検証についても述べる。

3.1 $R_{G_dynamic}$ の多値化および IC 化手法

(1) セグメント型出力段による可変出力抵抗

図 3.1 に、一般的なゲート周辺の回路構成およびゲートドライバを等価回路化して示した回路図を示す。一般的なゲート周辺回路は、図 3.1 (a) に示すようにゲートドライバと IGBT のゲート端子間にゲート抵抗 (R_G) を挿入する構成となっており、 R_G 値を調整する事で IGBT のスイッチング特性を調整している。第2章で提案した $R_{G_dynamic}$ も、ゲートドライバと IGBT のゲート端子間の R_G を可変とする考え方であり、一般的な回路構成を踏襲した構成である。しかし、 $R_{G_dynamic}$ は図 2.15 で示すように、2 値の抵抗を実現するために、2 つの抵抗と 1 つのスイッチ素子を必要としており、多値化するためには多くの抵抗と多くのスイッチ素子を用いなければならない。ディスクリート部品にて $R_{G_dynamic}$ を構成した場合、部品点数が非常に多くなり、更には部品を実装する PCB における $R_{G_dynamic}$ の専有面積も非常に大きくなり、コスト増の要因となる。それ故、ゲートドライバと IGBT のゲート端子間の R_G を可変とする考え方をベースとした多値化は現実的ではない。そこで、ゲートドライバと IGBT のゲート端子間の R_G 以外で遅延時間を制御可能で、且つ部品点数増および PCB における $R_{G_dynamic}$ の専有面積増とならない手法について検討を行った。

図 3.1 (b) は、図 3.1 (a) のゲートドライバ部(出力段)を等価回路で示した図である。図 3.1 (b) は電流駆動型のゲートドライバの出力段の等価回路を示しているが、ゲートドライバの出力段は定電流源と、出力段を構成しているトランジスタの出力抵抗 (R_{OUT_H} , R_{OUT_L}) で構成される。従って、IGBT のスイッチング特性は、厳密にはトランジスタの出力抵抗 (R_{OUT_H} , R_{OUT_L}) とゲート抵抗 (R_G) を介して行われるゲート・エミッタ間容量 (C_{GE}) とゲート・コレクタ間容量 (C_{GC}) の充放電に強く依存する事となり、 R_{OUT_H} ,

R_{OUT_L} を制御する事は R_G を制御する事と等価である事が分る。それ故、 $R_{G_dynamic}$ と同様に R_{OUT_H} および R_{OUT_L} をスイッチング期間内にダイナミックに変える事で、 $R_{G_dynamic}$ と同様な遅延時間制御が可能となると考えられる。また、 R_{OUT_H} および R_{OUT_L} は、ゲートドライバの出力段における出力抵抗であり、出力段のドライバ IC への集積は容易 (CMOS プロセスを用いてドライバ IC を設計した場合、出力段を MOSFET で構成する事でドライバ IC へ集積可能) である事から、 $R_{G_dynamic}$ と同等の機能の IC 化も容易に実現できると考えられる。

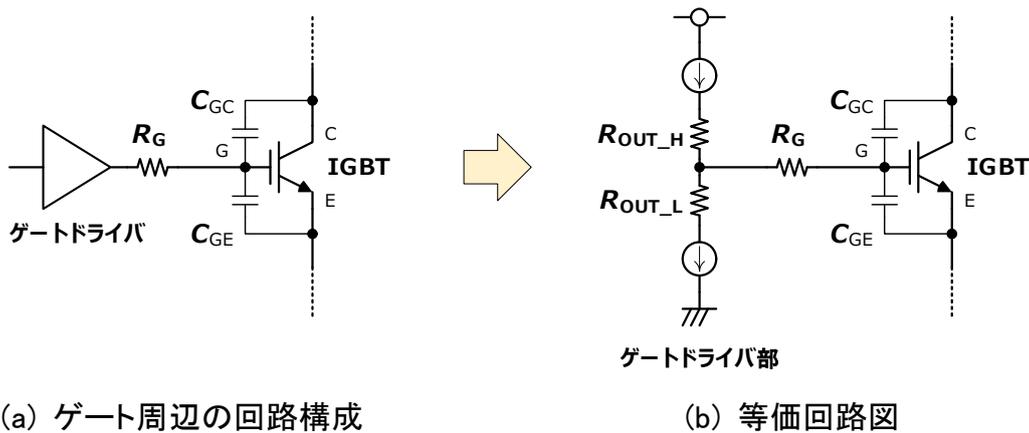


図 3.1 一般的なゲート周辺の回路構成と等価回路図 (IGBT)

$R_{G_dynamic}$ と同様に、スイッチング期間内にダイナミックにゲートドライバの出力抵抗 (R_{OUT_H} および R_{OUT_L}) を変更可能にするのが、本研究で提案するダイナミック可変出力抵抗 ($R_{OUT_dynamic}$) である^[26]。 $R_{OUT_dynamic}$ は、セグメント型出力段技術^[27]をベースに構成した可変出力抵抗であり、図 3.2 にセグメント型出力段をベースとした $R_{OUT_dynamic}$ の概略図を示す。セグメント型出力段は、異なる出力抵抗を有する複数の出力段 (セグメント出力段) を並列に接続した構成となっており、動作させるセグメント出力段の組合せを変更する事により、出力段全体の出力抵抗を変える事ができる。 $R_{OUT_dynamic}$ は、図 3.2 に示すように、各セグメント出力段がイネーブル端子を持ち、外部からイネーブル信号を用いて各セグメント出力段の **enable/disable** を制御可能であり、**enable/disable** をスイッチング期間内にダイナミックに制御する事で、スイッチング期間内にダイナミックに R_{OUT_H} および R_{OUT_L} を変更可能とする。また、図 3.2 に示すように、セグメント数 N の各セグメント出力段における出力抵抗を、2 進の重み付けされた抵抗とした場合、 $2^N - 1$ 通りの R_{OUT_H} および R_{OUT_L} が実現可能となり、多値化も実現可能となる。

出力段を MOSFET で構成した場合、線形領域におけるドレイン・ソース間電流は、(3.1)式となる。

$$I_{DS} = \frac{W}{L} \mu C_{OX} \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad \dots(3.1)$$

ここで、 W はチャンネル幅、 L はチャンネル長、 μ は移動度、 C_{OX} は酸化膜容量、 V_{GS} はゲート・ソース間電圧、 V_{DS} はドレイン・ソース間電圧、 V_{TH} はしきい値電圧である。

(3.1)式より、線形領域におけるオン抵抗(R_{ON})すなわち出力抵抗は、(3.2)式で表す事ができる。

$$R_{ON} = \frac{1}{dI_{DS}/dV} = \frac{1}{\frac{W}{L} \mu C_{OX} (V_{GS} - V_{TH})} \quad \dots(3.2)$$

(3.2)式より、各出力段セグメントの出力抵抗は、出力段を構成している MOS-FET の W/L 比で調整する事が可能であり、W/L 比の異なる複数の MOS-FET をドライバ IC 内に配置する事で、セグメント型出力段を IC 内で実現する事ができる。

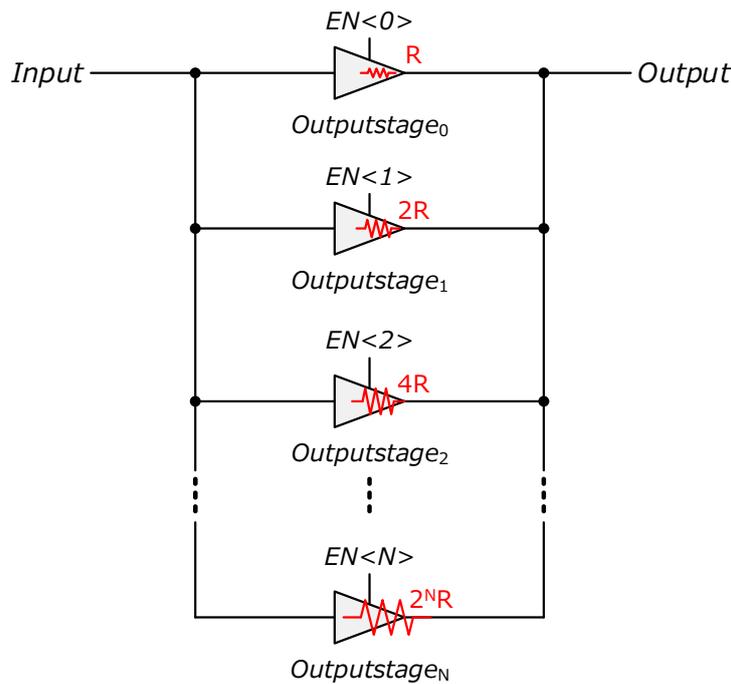


図 3.2 セグメント型出力段をベースとした $R_{OUT_dynamic}$ の概略図

(2) ダイナミック可変出力抵抗 ($R_{OUT_dynamic}$) の試作

提案した $R_{OUT_dynamic}$ の動作および効果を検証するため、 $R_{OUT_dynamic}$ の試作を行った。図 3.3 に、試作した $R_{OUT_dynamic}$ の構成図を示す。セグメント型出力段としては、セグメント数が 8 セグメントの構成となっており、出力段のハイサイド(HS)側は、Pch MOS-FET を 8 素子並列に接続した構成としており、ローサイド(LS)側は、Nch MOS-

FET を 8 素子並列に接続された構成としている。また、ハイサイドの Pch MOS-FET とローサイドの Nch MOS-FET には、それぞれプリドライバが接続されており、各 MOS-FET は、プリドライバを介して駆動される構成である。ハイサイドおよびローサイドの各プリドライバには、イネーブル端子 (EN) を設けており、外部からの制御信号により enable/disable が制御可能なプリドライバの構成としている。これにより、プリドライバの enable/disable を制御する事で、出力段の R_{OUT} の制御が可能となる。また、試作した $R_{OUT_dynamic}$ は図 3.3 に示すように、ハイサイド側とローサイド側を分離し、各 MOS-FET にプリドライバを個別に接続した構成としているため、ハイサイドとローサイドのプリドライバの enable/disable を個別に制御する事で、ターンオン時の R_{OUT} とターンオフ時の R_{OUT} を異なる抵抗値に設定する事も可能となる。EN 端子に入力されるイネーブル信号 ($En_{H_0} \sim En_{H_8}$, $En_{L_0} \sim En_{L_8}$) は、外部から入力する 4bit の制御信号 ($En_{HS}<3:0>$, $En_{LS}<3:0>$) を制御回路にてデコードして生成する。また、イネーブル信号にて出力段を disable とする期間は、外部信号 HS_{CON} , LS_{CON} にて設定を行う。

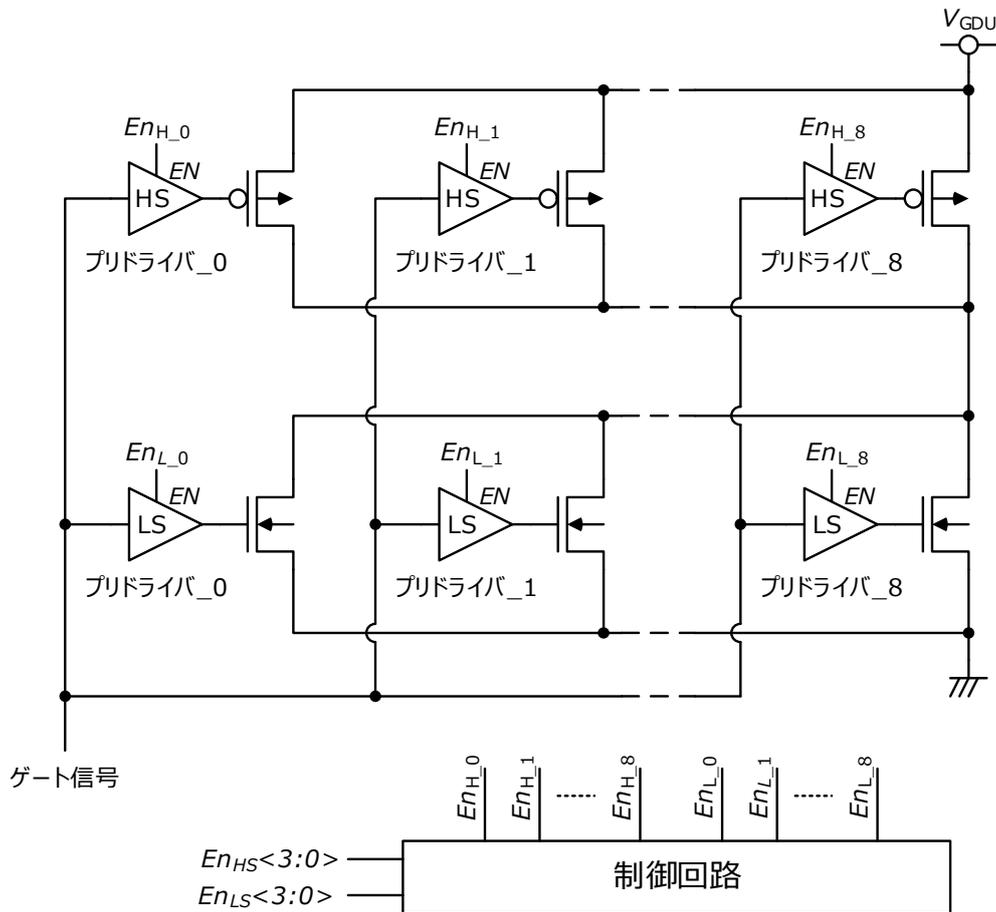
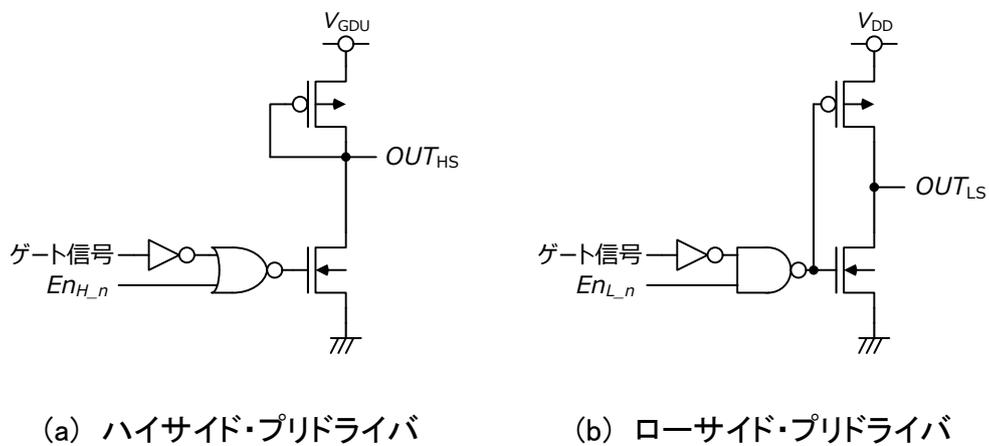


図 3.3 試作した $R_{OUT_dynamic}$ の構成図

図 3.4 に、ハイサイドおよびローサイドのプリドライバの構成図とタイミングチャートをそれぞれ示す。図 3.4 (b)に示すように、ローサイドのプリドライバはゲート信号を反転した信号とローサイドのイネーブル信号(En_{L_n})との NAND の構成となっている。一方、ハイサイドのプリドライバは図 3.4 (a)に示すように、ゲート信号を反転した信号とハイサイドのイネーブル信号(En_{H_n})との NOR 後に、プリドライバの Pch MOS とセグメント型出力段の Pch MOS-FET がカレントミラー接続となる構成とした。ハイサイドの出力部をカレントミラー構成とした理由は、制御回路部の電源電圧である $V_{DD}(=3.3\text{ V})$ とセグメント型出力段の電源電圧 $V_{GDU}(=15\text{ V})$ が異なるため、プリドライバで用いた Pch MOS のゲートに耐圧以上の電圧が印可されるのを避けるためである。



(c) プリドライバのタイミングチャート

図 3.4 ハイサイドおよびローサイドのプリドライバの構成図とタイミングチャート

図 3.4 (c)はタイミングチャートである。ハイサイドのプリドライバでは、ゲート信号が”High”レベルに変化した後も、 En_{H_n} が”High”の期間は OUT_{HS} が V_{GDU} となり、 En_{H_n} が”Low”に変化すると $V_{GDU}-V_F$ となる。従って、 En_{H_n} が”High”の期間はプリドライバが接続された Pch MOS FET はオフ状態を維持し、 En_{H_n} が”Low”に変化する事により Pch MOS FET はオン状態となる事となり、 En_{H_n} の High/Low で enable/disable が制御でき、セグメント出力段のハイサイド側の R_{OUT} が制御できる事が分る。一方、ローサイドのプリドライバでは、ゲート信号が”Low”レベルに変化した後も、 En_{L_n} が”Low”の期間は OUT_{LS} が GND レベルとなり、 En_{L_n} が”High”に変化すると V_{DD} となる。従って、 En_{L_n} が”Low”の期間はプリドライバが接続された Nch MOS FET はオフ状態を維持し、 En_{L_n} が”High”に変化する事により Nch MOS FET はオン状態となる事となり、 En_{L_n} の Low/High で enable/disable が制御でき、セグメント出力段のローサイド側の R_{OUT} も制御できる事が分る。従って、各プリドライバに入力するイネーブル信号 (En_{H_n} , En_{L_n}) のレベル (Low/High) と期間を調整する事により、 $R_{G_dynamic}$ と同様の遅延時間制御が可能となる。

図 3.5 に、試作した $R_{OUT_dynamic}$ における各セグメント出力段の出力抵抗 (設計値) を、図 3.6 にセグメント出力段の組合せに対する $R_{OUT_dynamic}$ の抵抗値をそれぞれ示す。図 3.5 に示すように、各セグメント出力段の R_{OUT} をそれぞれ $5\ \Omega$, $10\ \Omega$, $30\ \Omega$, $55\ \Omega$, $60\ \Omega$, $65\ \Omega$, $70\ \Omega$, $75\ \Omega$, $150\ \Omega$ として設計を行った。設計においては、MOS-FET のチャンネル長は最小値で固定とし、チャンネル幅を用いて R_{OUT} の調整を行っている。今回試作した $R_{OUT_dynamic}$ は、enable とするセグメント出力段の組合せを、図 3.6 に示すように切り替える事より、 $R_{OUT_dynamic}$ を $2.5\ \Omega$ および $5\ \Omega$ から $75\ \Omega$ を $5\ \Omega$ 刻みで変更する事が可能とした。これにより、ゲート容量が $20\ nF$ の IGBT の遅延時間を、 $50nsec\sim 1.5\ \mu sec$ 間で調整可能となる。

図 3.6 には、試作した $R_{OUT_dynamic}$ のレイアウト写真を示している。試作は、TSMC の $0.18\ \mu m$ BCD プロセスを用いて行い、エリア面積は $750\ \mu m \times 520\ \mu m$ となった。

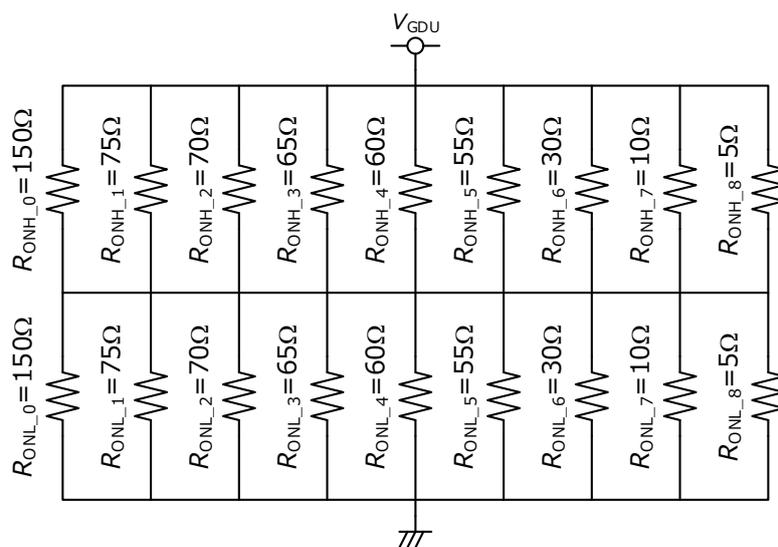


図 3.5 各セグメント出力段における R_{OUT} の設計値

$R_{OUT_dynamic}$	組合せ	$R_{OUT_dynamic}$	組合せ	$R_{OUT_dynamic}$	組合せ
75Ω	75Ω	50Ω	150Ω 75Ω	25Ω	150Ω 30Ω
70Ω	70Ω	45Ω	150Ω 65Ω	20Ω	150Ω 75Ω 70Ω 65Ω
65Ω	65Ω	40Ω	150Ω 55Ω	15Ω	150Ω 75Ω 70Ω 65Ω 30Ω
60Ω	60Ω	35Ω	75Ω 65Ω	10Ω	150Ω 75Ω 70Ω 65Ω 60Ω 30Ω
55Ω	55Ω	30Ω	30Ω	5Ω	150Ω 75Ω 70Ω 65Ω 60Ω 30Ω 10Ω
				2.5Ω	150Ω 75Ω 70Ω 65Ω 60Ω 30Ω 10Ω 5Ω

図 3.5 各セグメント出力段の組合せに対する $R_{OUT_dynamic}$

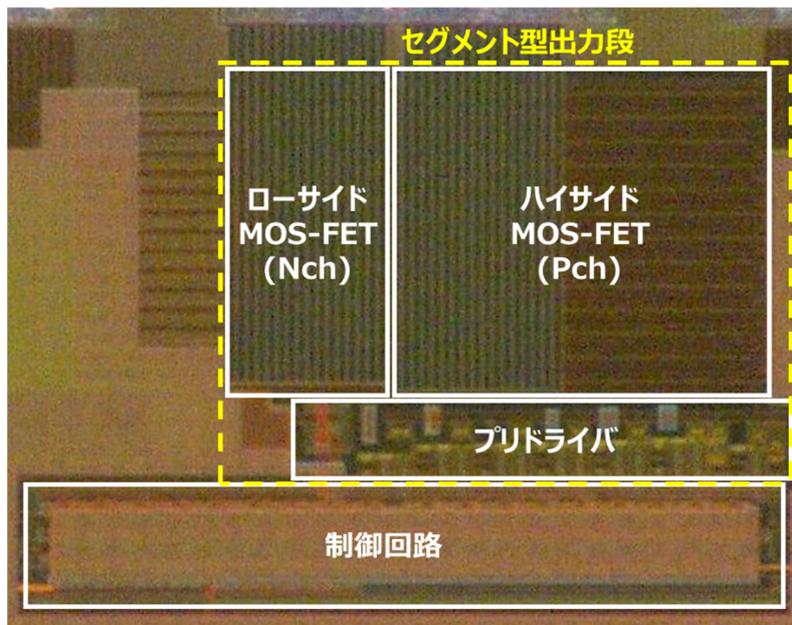


図 3.6 試作した $R_{OUT_dynamic}$ のレイアウト写真

(3) 試作したダイナミック可変出力抵抗($R_{OUT_dynamic}$)の動作検証

試作した $R_{OUT_dynamic}$ の動作検証および $R_{OUT_dynamic}$ を用いて単独および並列接続した IGBT を駆動した場合の効果検証を行った。

図 3.7 に、 $En_{HS}<3:0>$ 、 $En_{LS}<3:0>$ に対する $R_{OUT_dynamic}$ の出力抵抗変化の測定結果を示す。図 3.7 に示すように、ハイサイドおよびローサイド共に、 $En_{HS}<3:0>$ および $En_{LS}<3:0>$ に応じて R_{OUT} がリニアに変化しており、ハイサイド側は $3.5\ \Omega \sim 86\ \Omega$ で変化しローサイド側は $3.5\ \Omega \sim 72\ \Omega$ で変化している。前述したように、 $En_{HS}<3:0>$ および $En_{LS}<3:0>$ 信号は、制御回路で 8bit のイネーブル信号 ($En_{H_0} \sim En_{H_8}$, $En_{L_0} \sim En_{L_8}$) にデコードされ、 $En_{H_0} \sim En_{H_8}$, $En_{L_0} \sim En_{L_8}$ に応じて出力段の組合せが決まり、図 3.5 に示すように、その組み合わせに対応した $R_{OUT_dynamic}$ の出力抵抗となる。図 3.7 より、外部信号 $En_{HS}<3:0>$ 、 $En_{LS}<3:0>$ により、 $R_{OUT_dynamic}$ の出力抵抗をリニアに変化させる事が可能である事が確認できる。

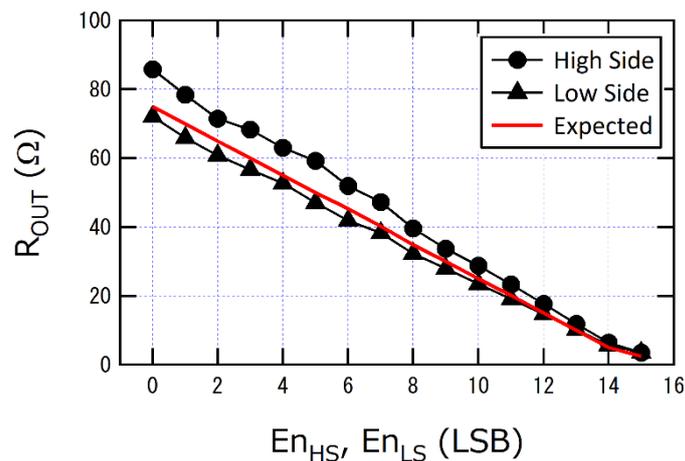
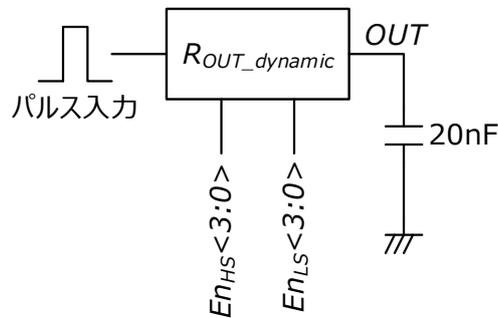


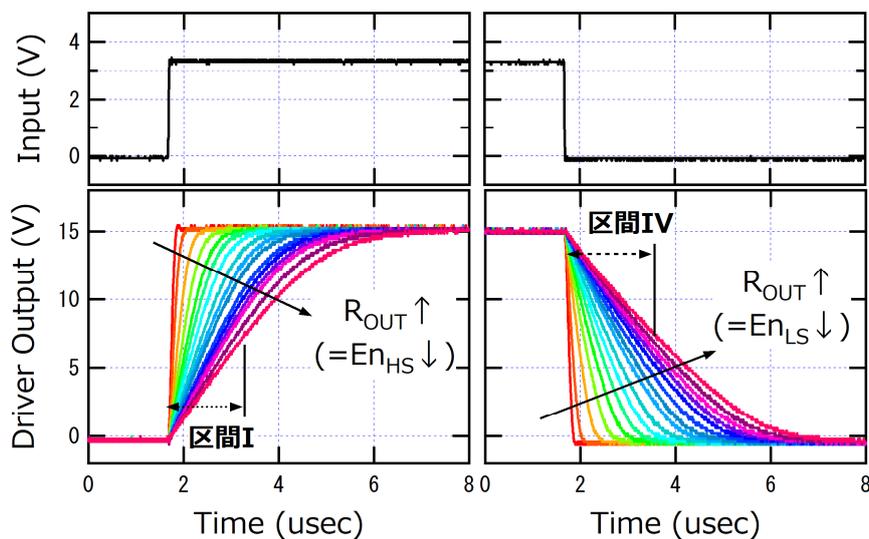
図 3.7 試作した $R_{OUT_dynamic}$ の出力抵抗の En_{HS} 、 En_{LS} 依存

次に、 $R_{OUT_dynamic}$ の過渡特性の評価を実施した。測定回路と測定結果を図 3.8 に示す。図 3.8 (a) に示すように、 $20\ \text{nF}$ の容量負荷を接続した $R_{OUT_dynamic}$ にパルス波形を入力し、パルス波形に対する出力波形の $En_{HS}<3:0>$ 、 $En_{LS}<3:0>$ 依存性をオシロスコープで測定している。図 3.8 (b) の上段が入力波形で、下段が入力波形に対する出力波形である。 $0\ \text{V} \rightarrow 3.3\ \text{V}$ 振幅の入力波形に対して、 $0\ \text{V} \rightarrow 15\ \text{V}$ 振幅の出力波形となっている。また、 $En_{HS}<3:0>$ および $En_{LS}<3:0>$ を小さな値とする程、出力波形の立ち上がり時の dV/dt および立ち上がり時の dV/dt が減少している。図 3.7 より、 $En_{HS}<3:0>$ および $En_{LS}<3:0>$ を小さな値とする程 $R_{OUT_dynamic}$ の出力抵抗は増加するため、図 3.8 (b) の dV/dt の減少は、出力抵抗の増加によるものと考えられる。 $R_{OUT_dynamic}$ のハイサイド側とローサイド側の出力抵抗が共に最大 ($86\ \Omega$, $72\ \Omega$) となる $En_{HS}<3:0>$ および $En_{LS}<3:0>$ とした場合の測定波形 (図中では赤ラインで表示) から、区間 I および区間

IV の期間は約 $1.5 \mu\text{sec}$ となっており、設計の狙いである「ゲート容量が 20nF の IGBT の遅延時間を $\sim 1.5 \mu\text{sec}$ で調整可能とする」が実現できている事が分る。



(a) 測定回路

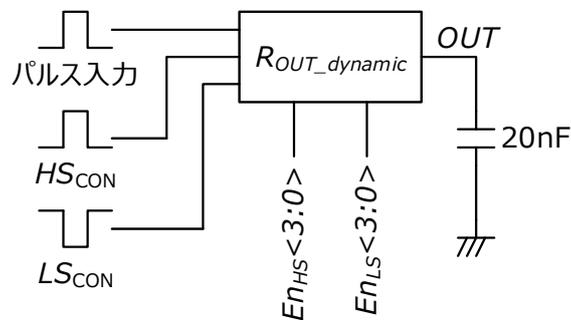


(b) 測定結果

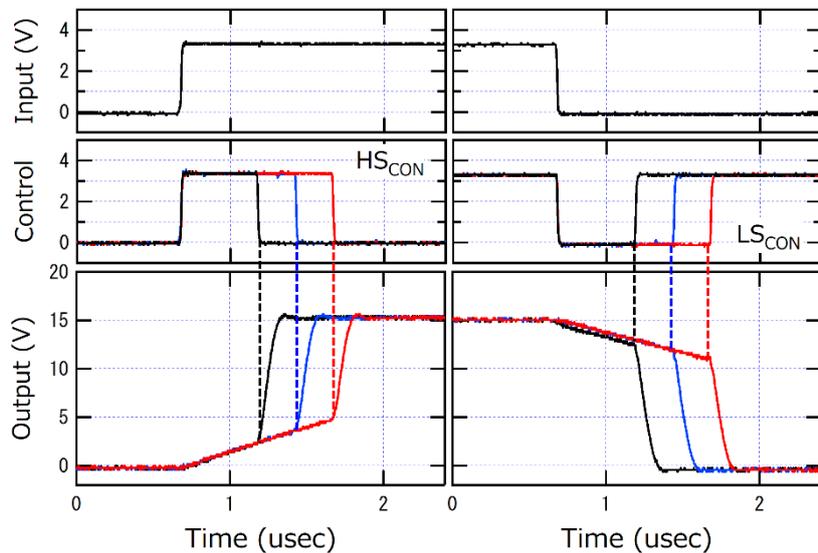
図 3.8 試作した $R_{OUT_dynamic}$ の過渡特性の評価①

更に過渡特性の評価として、 HS_{CON} および LS_{CON} 信号を用いて、立上がり時および立下り時の dV/dt の期間内で $R_{OUT_dynamic}$ の出力抵抗を変化させた場合の動作検証を実施した。測定回路および測定結果を、図 3.9 (a) および (b) にそれぞれ示す。図 3.8 の測定と同様に 20nF の容量負荷を接続した $R_{OUT_dynamic}$ にパルス波形を入力し、パルス波形に対する出力波形をオシロスコープで測定しているが、本測定では図 3.9 (a) に示すように HS_{CON} および LS_{CON} 信号を $R_{OUT_dynamic}$ に入力し、過渡期間内における R_{OUT} の制御について測定している。図 3.9 (b) に測定結果を示す。上段が入力波形、中段が HS_{CON} および LS_{CON} 信号をそれぞれ示しており、下段が出力波形である。ハイサイド側の出力抵抗は、 HS_{CON} が”High”の期間増加し”Low”の期間は減少する

設定とし、一方ローサイド側の出力抵抗は、 LS_{CON} が”High”の期間減少し”Low”の期間は増加する設定とし、入力されたパルス波形に対する出力波形を測定している。図 3.9 (b)の測定波形において、立上り時は HS_{CON} が”High”の期間は低 dV/dt であるが、 HS_{CON} が”Low”となった後は高 dV/dt に変化している。また、 HS_{CON} が”High”から”Low”に変化するタイミングをシフトさせると、それに応じて dV/dt が変化するタイミングもシフトしている事から、 HS_{CON} 信号によって R_{OUT} を変化させるタイミングが制御できている事が分る。立下り時も同様に、 LS_{CON} が”Low”から”High”となるタイミングで dV/dt が変化し、”Low”から”High”となるタイミングをシフトさせると、 dV/dt が変化するタイミングもシフトしており、 LS_{CON} 信号によって R_{OUT} を変化させるタイミングが制御できている事が分る。



(a) 測定回路



(b) 測定結果

図 3.9 試作した $R_{OUT_dynamic}$ の過渡特性の評価②

(3) ダイナミック可変出力抵抗 ($R_{OUT_dynamic}$) による遅延時間制御

以上のように、試作した $R_{OUT_dynamic}$ は、セグメント出力の組合せを外部信号で切り替える事によって、出力抵抗を制御する事が可能であり、同じく外部信号 (HS_{CON} , LS_{CON}) により出力抵抗を切り替えるタイミングを変化させる事により、 $R_{G_dynamic}$ と同様な遅延時間制御が実現できる事が確認された。

次に、実際に $R_{OUT_dynamic}$ を用いて IGBT を駆動し、 $R_{OUT_dynamic}$ による遅延時間制御および電流不均一抑制効果について検証を行った。測定は、 $R_{G_dynamic}$ の遅延時間制御を確認した時と同様に、図 2.8 に示したスイッチング波形測定回路に $R_{OUT_dynamic}$ を接続して実現しており、図 3.10 にスイッチング測定回路を示す。並列接続された2つの IGBT のそれぞれに $R_{OUT_dynamic}$ を接続している。

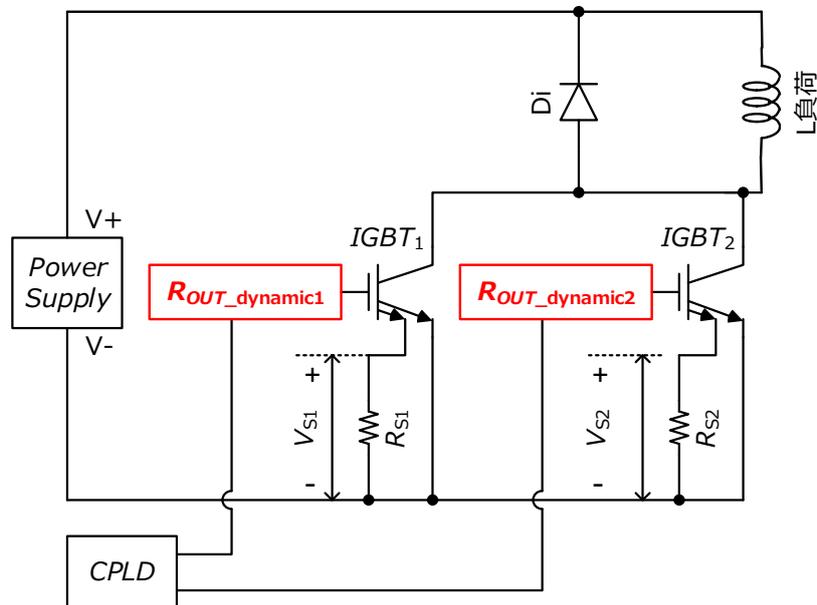
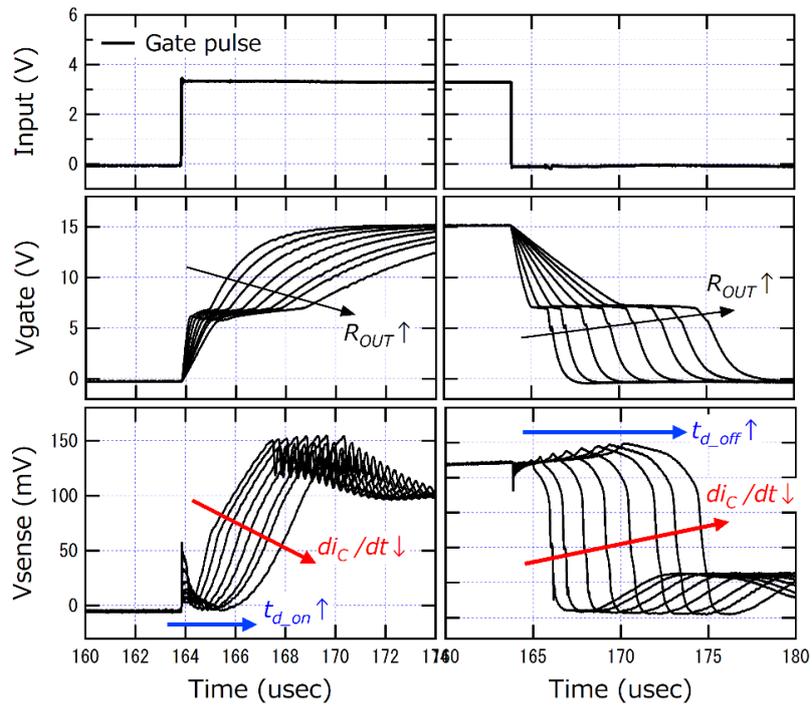
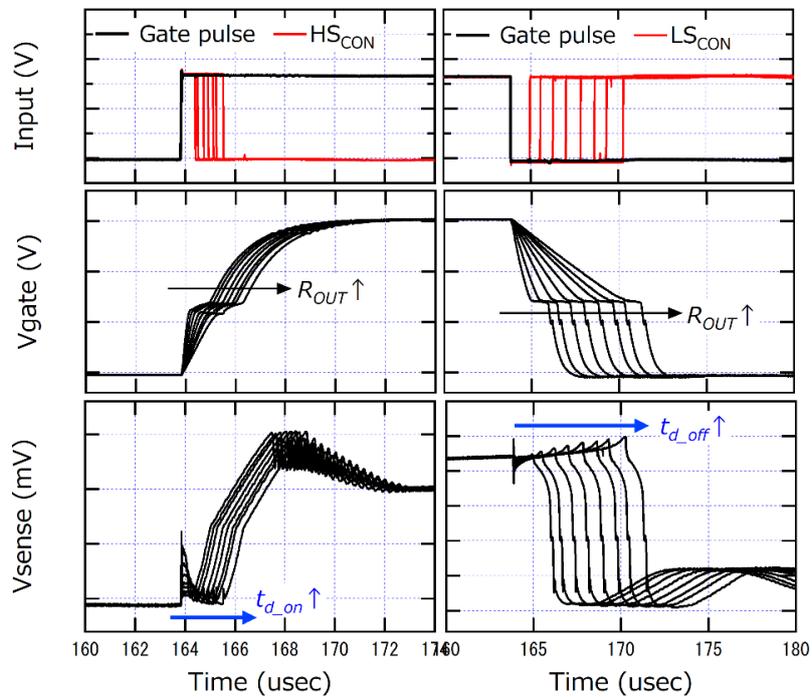


図 3.10 $R_{OUT_dynamic}$ を接続したスイッチング測定回路

図 3.10 に示した測定回路を用いて、 $R_{OUT_dynamic}$ による遅延時間制御の評価を行った。遅延時間制御の評価では、測定回路上の $R_{OUT_dynamic1}$ および $IGBT_1$ のみを用いてスイッチング波形を取得している。取得したスイッチング波形を、図 3.11 に示す。図 3.11 (a)は、 HS_{CON} および LS_{CON} 信号によるタイミング制御を行わず、スイッチングの全ての期間に渡って同一の R_{OUT} でスイッチングを行った場合の波形である。図に示すように、 R_{OUT} の増加に伴い td_{ON} および td_{OFF} が増加すると同時に dI_C/dt が低下している。一方、3.11 (b)には、 HS_{CON} および LS_{CON} 信号によるタイミング制御を行い、ターンオン期間およびターンオフ期間内でダイナミックに R_{OUT} を変化させた場合の波形を示している。 R_{OUT} の増加に伴い td_{ON} および td_{OFF} が増加は観測されるが、 dI_{CE}/dt の低下は観測されておらず、 $R_{G_dynamic}$ と同様に dI_{CE}/dt を低下させる事なく td_{ON} および td_{OFF} のみ制御できている事が分る。



(a) HS_{CON} , LS_{CON} によるタイミング制御無し



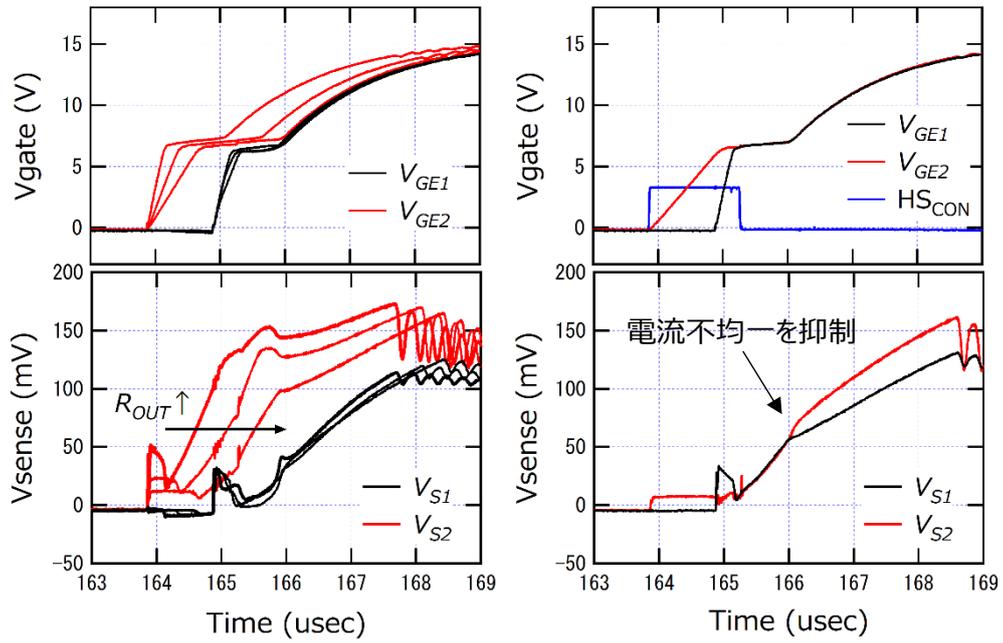
(b) HS_{CON} , LS_{CON} によるタイミング制御有り

図 3.11 単独の IGBT のスイッチング波形の R_{OUT} 依存

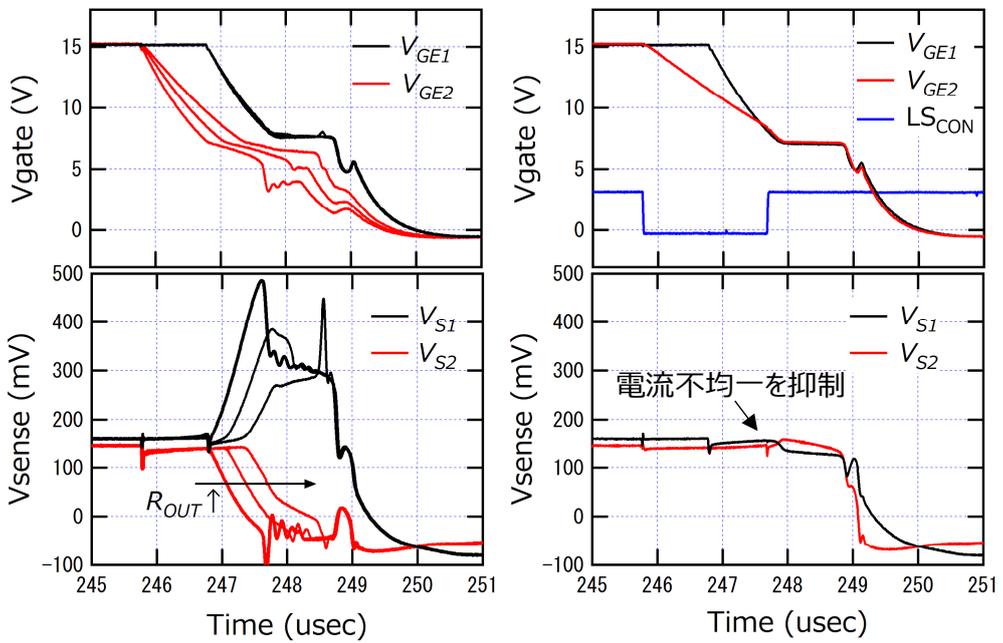
$R_{OUT_dynamic}$ により、ターンオン期間およびターンオフ期間内でダイナミックに R_{OUT} を変化させる事で、 $R_{G_dynamic}$ 同様に dI_{CE}/dt を低下させる事なく t_{ON} および t_{OFF} のみ増加させる遅延時間制御ができる事が確認できた。そこで、並列接続された IGBT 間における $R_{OUT_dynamic}$ による電流不均一抑制効果についても評価を行った。電流不均一抑制効果の評価においては、図 3.10 に示すように並列接続された $IGBT_1$ および $IGBT_2$ に $R_{OUT_dynamic1}$ と $R_{OUT_dynamic2}$ を接続した回路にて、 $R_{G_dynamic}$ における電流不均一抑制効果の検証と同様に、 $IGBT_1$ のゲート信号に外部から強制的に遅延時間を与え、電流不均一を発生させている。本測定において外部から与えた遅延時間は 1.0 μsec とした。

図 3.12 に測定した波形を示す。図 3.12 (a)がターンオン時の波形を、図 3.12 (b)がターンオフ時の波形をそれぞれ示しており、上段には V_{GE} 波形および入力した HS_{CON} , LS_{CON} 波形を、下段にはセンス電圧波形を示してある。また、図 3.12 (a)に示すように、外部から与えられた 1.0 μsec の遅延時間差により $IGBT_2$ が先にオン状態となるため、全負荷電流が $IGBT_2$ に集中し電流不均一が発生(左側の V_{sense} グラフの赤太線と黒太線の波形)している。 $R_{OUT_dynamic2}$ の出力抵抗を徐々に増加させる事により、 $IGBT_2$ の t_{ON} が増加し IGBT 間の Δt_{ON} が減少するため、電流不均一も徐々に抑制される。更に $IGBT_2$ の t_{ON} が増加し、図の右側に示すように Δt_{ON} が最小となると、電流不均一も最小に抑制されている。この時、 HS_{CON} の”High”期間は、 $IGBT_2$ のミラー期間の始まりと $IGBT_1$ のミラー期間の始まりが一致するようなタイミングとなっている事が分る。一方、ターンオフ時においては図 3.12 (b)に示すように、外部から与えられた 1.0 μsec の遅延時間差により $IGBT_2$ が先にオフ状態となるため、全負荷電流が $IGBT_1$ に集中し電流不均一が発生(左側の V_{sense} グラフの赤太線と黒太線の波形)している。ターンオン時と同様に、 $R_{OUT_dynamic2}$ の出力抵抗を徐々に増加させる事により、 $IGBT_2$ の t_{OFF} が増加し IGBT 間の Δt_{OFF} が減少するため、電流不均一も徐々に抑制される。更に $IGBT_2$ の t_{OFF} が増加し、図の右側に示すように Δt_{OFF} が最小となると、電流不均一も最小に抑制されている。この時、 LS_{CON} の”Low”期間は、 $IGBT_2$ のミラー期間の始まりと $IGBT_1$ のミラー期間の始まりが一致するようなタイミングとなっている事が分る。本測定において、 R_G の代わりに R_{OUT} をスイッチング期間内でダイナミックに変化させる事により、 $R_{G_dynamic}$ と同様に dI_{CE}/dt を低下させる事なく t_{ON} および t_{OFF} のみ制御する事が可能であり、結果としてスイッチング損失の増加および dI_{CE}/dt の低下による電流不均一を発生させる事なく、遅延時間差による電流不均一を抑制できる事が確認できた。

以上のように、セグメント型出力段技術をベースとした $R_{OUT_dynamic}$ を用いる事で、遅延時間差による電流不均一の抑制が可能となる。 $R_{OUT_dynamic}$ は、複数のセグメント出力段の出力抵抗を利用し、その組み合わせで抵抗値を制御するため、セグメント数を増やす事で多値化が容易であり、セグメント出力段を MOSFET で実現する事で W/L 比で抵抗値が容易に調整でき CMOS プロセスにて IC 化も容易となる。また、出力段の組合せはデジタル信号で設定できるため、デジタル回路との相性も良い。従って、電流不均一のための遅延時間制御機能を集積した回路(IC)の実現において、 $R_{OUT_dynamic}$ は最適な方法であると言える。



(a) ターンオン時
 (左側は R_{OUT} 増加中、右側は R_{OUT} 増加後の波形)



(b) ターンオフ時
 (左側は R_{OUT} 増加中、右側は R_{OUT} 増加後の波形)

図 3.12 $R_{OUT_dynamic}$ による電流不均一抑制効果

3.2 並列接続された IGBT 間の電流不均一を抑制するための閉ループ制御

3.1 項では、セグメント型出力段技術を応用したダイナミック可変出力抵抗 ($R_{OUT_dynamic}$) を提案し、ゲートドライバの出力抵抗 (R_{OUT}) をスイッチング期間内でダイナミックに変化させる事により、 $R_{G_dynamic}$ と同様に dI_{CE}/dt を低下させる事なく td_{ON} および td_{OFF} のみを制御可能である事を確認し、更にはスイッチング損失の増加および dI_{CE}/dt の低下による電流不均一を発生させる事なく、遅延時間差による電流不均一を抑制できる事を確認した。また、提案した $R_{OUT_dynamic}$ は、複数のセグメント出力段の出力抵抗を利用し、その組み合わせで出力抵抗値を制御するため、セグメント数を増やす事で多値化が容易であり、セグメント出力段を MOSFET で実現する事で CMOS プロセスにて IC 化も容易となる事、更には、デジタル回路と相性が良い事も確認できた。結果として、遅延時間制御機能を集積した回路 (IC) の実現において、 $R_{G_dynamic}$ は最適な方法であると考えられる。

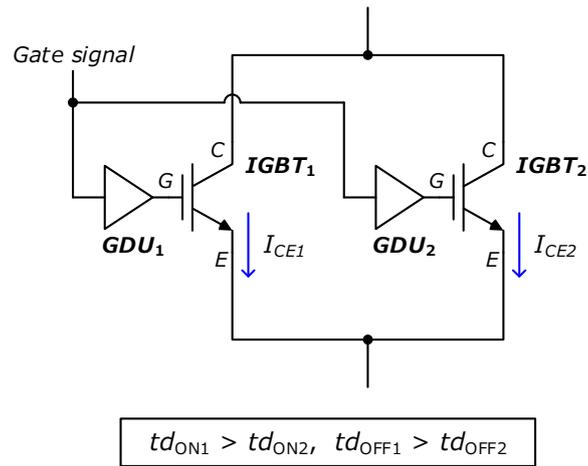
本項では、閉ループでの遅延時間制御にて電流不均一抑制を行う制御方法や基本構成について述べる。

(1) 閉ループでの遅延時間制御による電流不均一抑制方法

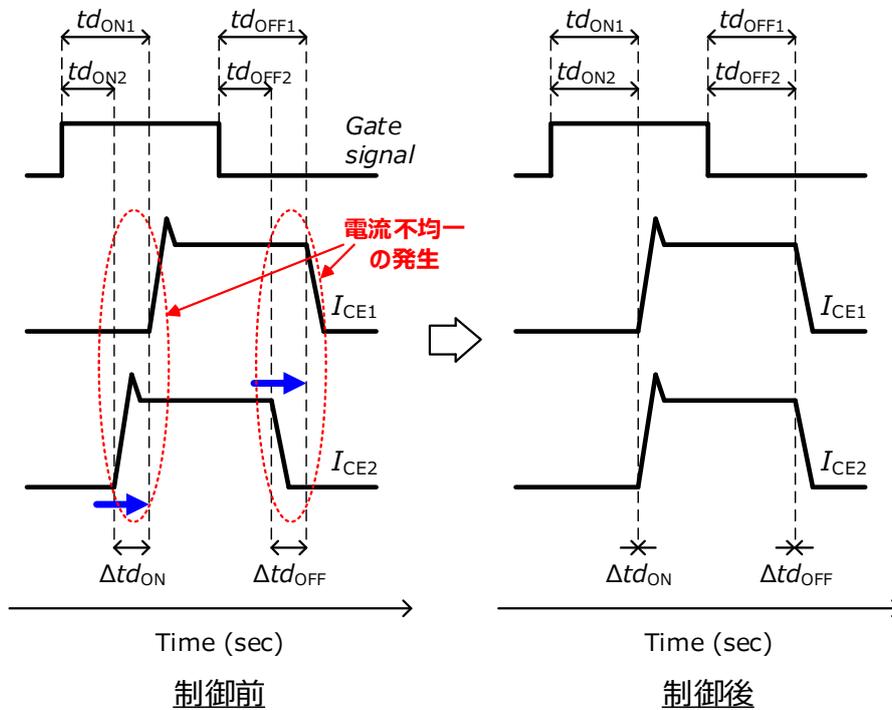
閉ループでの電流不均一抑制のための遅延時間制御方法について、図 3.13 を用いて説明する。図 3.13 (a) は、異なる td_{ON} および td_{OFF} を持つ 2 つの IGBT ($IGBT_1$, $IGBT_2$) を並列に接続した場合の構成図で、図 3.13 (b) は電流不均一を抑制するための遅延時間制御を行う前と制御を行った後のスイッチング波形のイメージ図をそれぞれ示している。図 3.13 (a) に示すように、 $IGBT_1$ および $IGBT_2$ における td_{ON} (td_{ON1} , td_{ON2}) および td_{OFF} (td_{OFF1} , td_{OFF2}) は、

$$td_{ON1} > td_{ON2}, td_{OFF1} > td_{OFF2}$$

の関係であるため、図 3.13 (b) 左側の制御前のスイッチング波形のイメージ図に示すように、ターンオン時は $IGBT_2$ の方が先にオン状態となる。従って、全負荷電流は $IGBT_2$ に集中して流れ、 $IGBT_1$ と $IGBT_2$ の間には大きな電流不均一が発生する。この電流不均一状態は、 $IGBT_1$ がオン状態となり $IGBT_1$ と $IGBT_2$ で負荷電流が分配される状態となるまで継続され、 $IGBT_2$ がオン状態となってから遅延時間差 (Δtd_{ON}) 後に $IGBT_1$ がオン状態となると、電流不均一状態は解消される。一方、ターンオフ時は $IGBT_2$ の方が先にオフ状態となる。従って、全負荷電流は $IGBT_1$ に集中して流れ、 $IGBT_1$ と $IGBT_2$ の間には大きな電流不均一が発生する。この電流不均一状態は、



(a) 並列接続された IGBT の構成図



(b) 遅延時間制御行う前と制御を行った後のスイッチング波形のイメージ図

図 3.13 電流不均一を抑制するための遅延時間制御の様子

$IGBT_1$ がオフ状態となるまで継続され、 $IGBT_2$ がオフ状態となってから遅延時間差 (Δt_{dOFF}) 後に $IGBT_1$ がオフ状態となると、電流不均一状態は解消される。

以上のように、スイッチング期間内に発生する電流不均一は、遅延時間差の期間 (図中の Δt_{dON} の期間および Δt_{dOFF} の期間) に発生する電流不均一であり、図 3.13

(b)右側の制御後のスイッチング波形のイメージ図に示すように、先にオン状態もしくはオフ状態となっている IGBT の td_{ON} もしくは td_{OFF} を増大させ、IGBT 間の遅延時間差を“ゼロ”とする事で電流不均一の発生を抑制可能となる。従って、閉ループでの電流不均一抑制のための遅延時間制御としては、

- ① スwitching動作における IGBT 間の Δtd_{ON} および Δtd_{OFF} を検出
- ② 検出した Δtd_{ON} および Δtd_{OFF} を制御回路へフィードバック
- ③ 制御回路では、 $\Delta td_{ON} = 0$, $\Delta td_{OFF} = 0$ の場合は $R_{OUT_dynamic}$ の R_{OUT} を維持し、 $\Delta td_{ON} \neq 0$, $\Delta td_{OFF} \neq 0$ の場合は IGBT 間の Δtd_{ON} および Δtd_{OFF} が減少するように先にオン状態もしくはオフ状態となっている IGBT のゲートに接続された $R_{OUT_dynamic}$ の R_{OUT} を増加
- ④ 変更された R_{OUT} もしくは維持された R_{OUT} にて次のスイッチング動作

と、①～④をスイッチング毎に繰り返し行い、 $\Delta td_{ON} = \Delta td_{OFF} = 0$ となったスイッチングのタイミングで電流不均一が最小となる。

(2)遅延時間差(Δtd_{ON} , Δtd_{OFF})の検出

電流不均一抑制のための閉ループ遅延時間制御の実現には、 Δtd_{ON} および Δtd_{OFF} の検出が不可欠となる。しかしながら、 Δtd_{ON} および Δtd_{OFF} は並列接続された IGBT 間における td_{ON} の差もしくは td_{OFF} の差であり、電流センサもしくは電圧センサ等で直接検出できる特性値ではないため、電流センサや電圧センサで検出可能な特性値を用いて Δtd_{ON} および Δtd_{OFF} を算出する手法の確立が必要となる。

上記のように、 Δtd_{ON} および Δtd_{OFF} は並列接続された IGBT 間の td_{ON} の差および td_{OFF} の差であるため、各 IGBT の td_{ON} および td_{OFF} を取得し、取得した td_{ON} および td_{OFF} の差分を計算する事により、 Δtd_{ON} および Δtd_{OFF} は算出できる。そのため、 Δtd_{ON} および Δtd_{OFF} の算出には各 IGBT の td_{ON} および td_{OFF} の取得が必要となる。本研究において、 td_{ON} はゲート信号が立ち上がってから I_{CE} が流れ始めるまでの時間であり、 td_{OFF} はゲート信号が立ち下がってから I_{CE} が減少し始めるまでの時間であるため、ゲート信号が立ち上がるタイミングおよび立ち下がるタイミングと、 I_{CE} が流れ始めるタイミングおよび減少し始めるタイミングを検出する事により、 td_{ON} および td_{OFF} の抽出は可能なる。ゲート信号は外部から入力されるパルス信号であるため、ゲート信号の立ち上がりおよび立ち下がりタイミングの検出は、立ち上がりエッジおよび立ち下がりエッジを検出する事で容易に実現できる。それ故、 I_{CE} 波形から I_{CE} が流れ始めるタイミングおよび減少し始めるタイミングが検出できれば、 td_{ON} および td_{OFF} の取得も可能となる。図 3.14 に示すように、電流センサで検出した I_{CE} 波形を、センス抵抗にて電圧波形 (V_s) に変換し、比較器(コンパレータ)を用いて比較用電圧 (V_{REF}) と比較する事により、 I_{CE} 波形を $V_s = V_{REF}$ となるタイミングで立ち上がるあるいは立ち下がるパルス波形 (IP) に変換する事ができる(ターンオン時の V_{REF} は、電流が流れ始める前の電圧レベルよりも少し高い電圧レベルに、ターンオフ時の V_{REF} は、電流が減少し始める前の

電圧レベルよりも少し低い電圧レベルに設定する)。パルス波形に変換できれば、 I_{CE} が流れ始めるタイミングおよび減少し始めるタイミングの検出は、ゲート信号と同様に IP 波形の立ち上がりエッジおよび立ち下がりエッジを検出する事により実現できる。

以上のように、 I_{CE} 波形を電流パルス波形に変換する事で、ゲート信号と電流パルス信号から td_{ON} および td_{OFF} の取得が可能となる。また、コンパレータを用いて I_{CE} 波形を電流パルス信号に変換する事により、電流情報の制御回路への入力が容易となるため、コンパレータにて電流パルス信号に変換する方法は、遅延時間制御機能を集積したゲート駆動 IC の実現に適した方法となる。

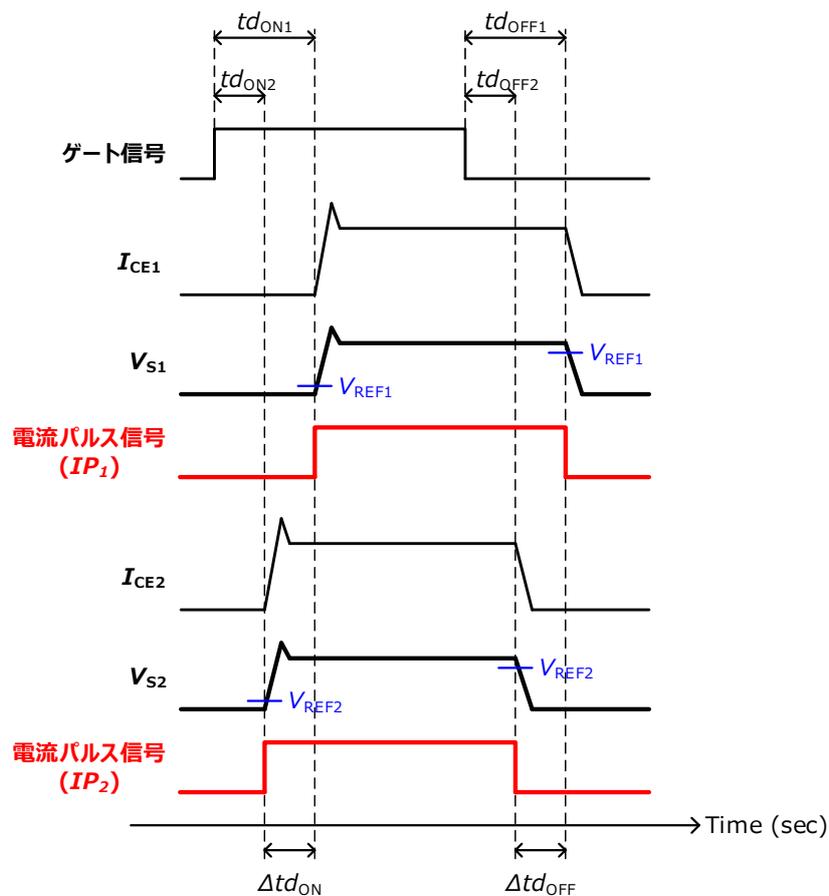


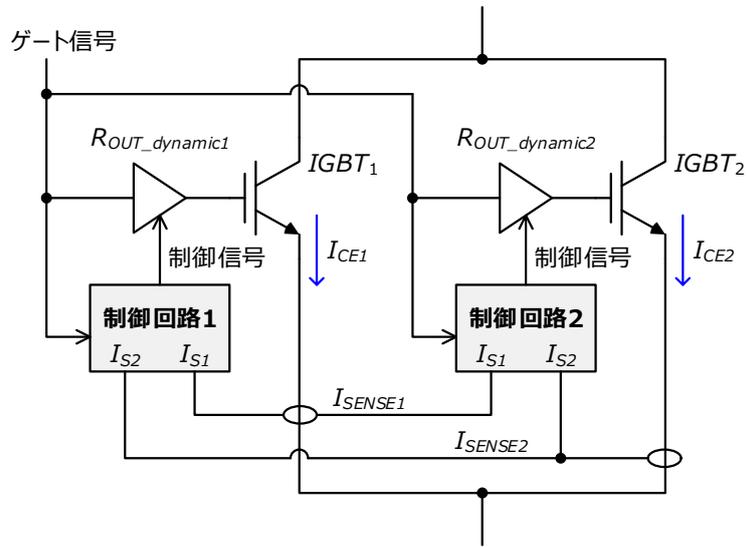
図 3.14 I_{CE} 波形をパルス波形に変換する様子

上述したように、 I_{CE} 波形を電流パルス波形に変換する事で、ゲート信号と電流パルス信号から td_{ON} および td_{OFF} の取得は可能であるが、 Δtd_{ON} および Δtd_{OFF} は IGBT 間における td_{ON} 差および td_{OFF} 差であるため、算出には両 IGBT の td_{ON} および td_{OFF} を取得している必要がある。電流不均一抑制を実現するためには、図 3.13 (a)に示すように各 IGBT に遅延時間制御回路が集積されたゲート駆動部 (GDU) が接続され、各 IGBT の遅延時間を独立して制御する構成となるため、 Δtd_{ON} および Δtd_{OFF} を算出するためには、 td_{ON} および td_{OFF} を各制御回路間で共有しなくてはならない。

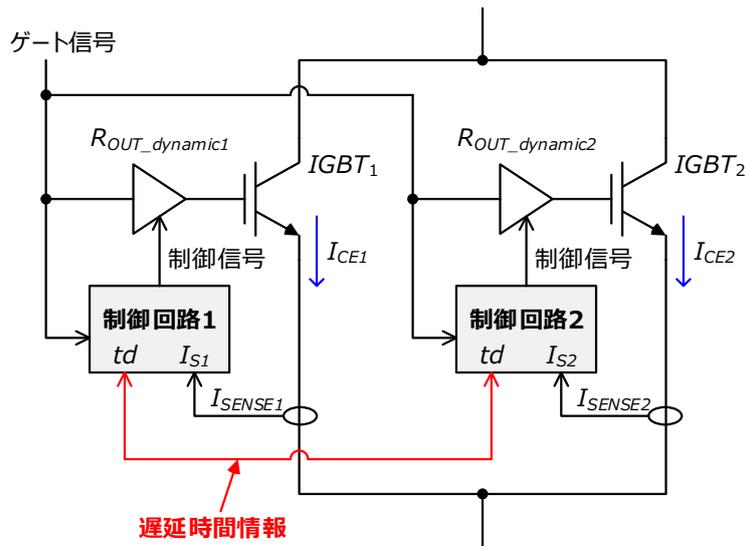
td_{ON} および td_{OFF} を共有する方法としては、電流センサで検出した電流情報を制御回路間で共有し、共有した電流情報からそれぞれの制御回路にて両 IGBT の td_{ON} および td_{OFF} を取得する方法と、各制御回路において電流センサで検出した電流情報から td_{ON} および td_{OFF} を取得し、取得した td_{ON} および td_{OFF} を制御回路間で共有する方法の2つが想定される。

図 3.15 (a)に電流情報を共有する場合の構成を、図 3.15 (b)に遅延時間情報を共有する場合の構成をそれぞれ示す。電流情報を共有するためには、図 3.15 (a)に示すように各 IGBT の電流を電流センサで検出し、検出した全ての電流情報を各制御回路へ入力(図 3.15 (a)では、制御回路1と制御回路2のそれぞれに $IGBT_1$ と $IGBT_2$ の両方の電流情報を入力)する。制御回路は、入力された全ての電流情報から遅延時間および遅延時間差を算出する。一方、遅延時間情報を共有する場合は、電流センサにてセンスした各 IGBT の電流情報を、その IGBT に対応する制御回路のみに入力する。各制御回路では、入力された電流情報から遅延時間情報を算出し、算出された遅延時間情報が各制御回路間で共有される構成となる。

電流情報を共有する場合には、各制御回路にて多くの遅延時間の計算が必要となるため、回路規模もしくは計算時間の増大が予想され、アプリケーション適用時のコスト増が懸念される。これに対し、遅延時間情報を共有する場合は、対応する IGBT の遅延時間のみを計算すれば良く、制御回路がシンプルとなりチップコストの増大が抑制できると考えられる。それ故、 Δtd_{ON} および Δtd_{OFF} の検出は遅延時間情報を共有する構成が適していると考えられ、本研究においても遅延時間情報を共有する構成を採用している。



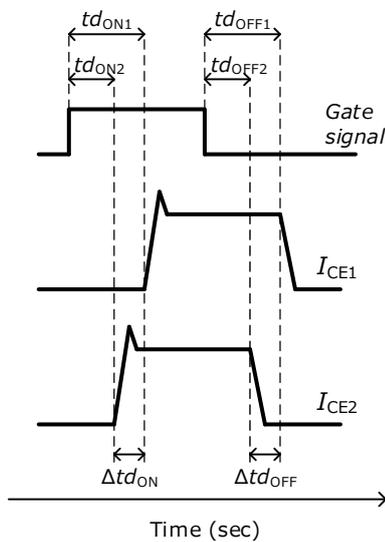
(a) センス電流情報を共有するタイプ



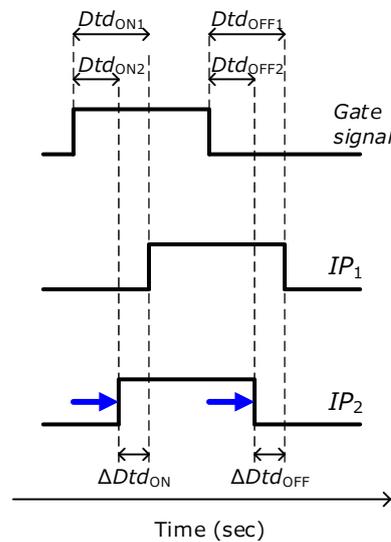
(b) 遅延時間情報を共有するタイプ

図 3.15 遅延時間差を検出するための基本構成

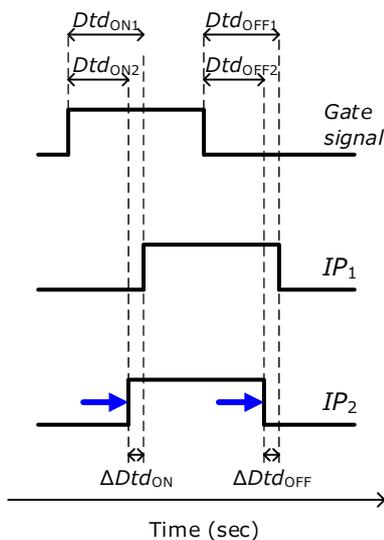
電流値の絶対値の精度は不要であるため、試作した GDIC も R_{SENSE} を内蔵し GDIC 内で V_s に変換する。その後、電流パルス信号生成回路にて V_s 信号から電流パルス信号が生成され、Time/digital 変換回路(時間をデジタル値に変換する回路)にて t_{dON} と t_{dOFF} の検出およびデジタル値 (Dtd_{ON} , Dtd_{OFF}) への変換が行われる。 Dtd_{ON} および Dtd_{OFF} は、電流不均一抑制制御回路へ入力され、更に制御回路間で共有される。各制御回路では、共有された Dtd_{ON} および Dtd_{OFF} から ΔDtd_{ON} および ΔDtd_{OFF} が算出され、算出された ΔDtd_{ON} および ΔDtd_{OFF} が減少するような $R_{OUT_dynamic}$ 制御信号が生成される。最終的に $\Delta Dtd_{ON} = \Delta Dtd_{OFF} = 0$ となるまで、この制御が継続される。GDIC による遅延時間制御と電流不均一抑制の様子を図 3.17 の(a)~(e)に示す。



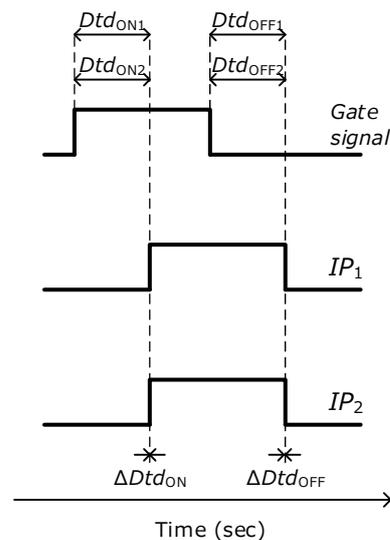
(a) 制御前(電流波形)



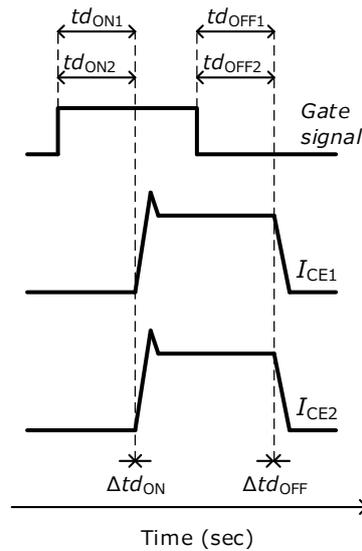
(b) 制御前(電流パルス)



(c) 制御途中(電流パルス)



(d) 制御後(電流パルス)



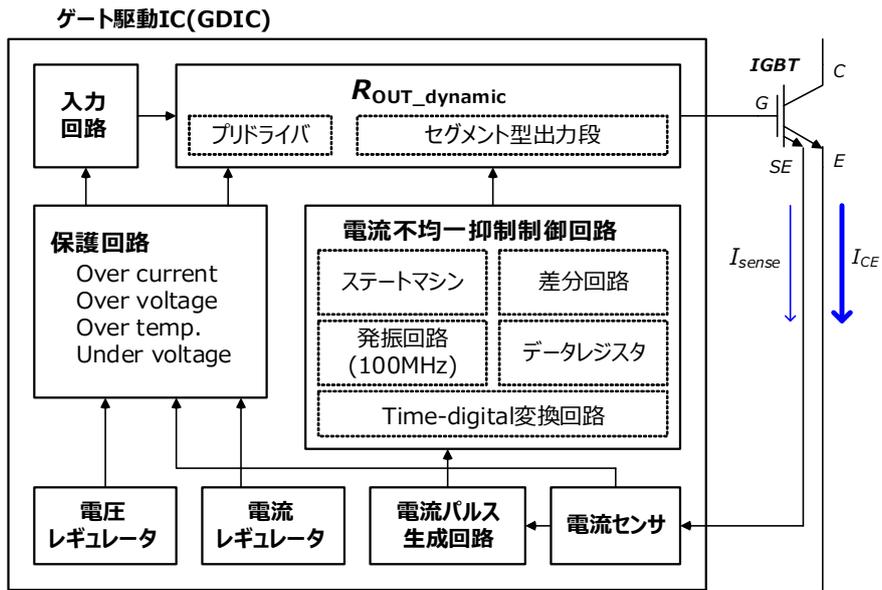
(e) 制御後(電流波形)

図 3.17 GDIC による遅延時間制御と電流不均一抑制の様子

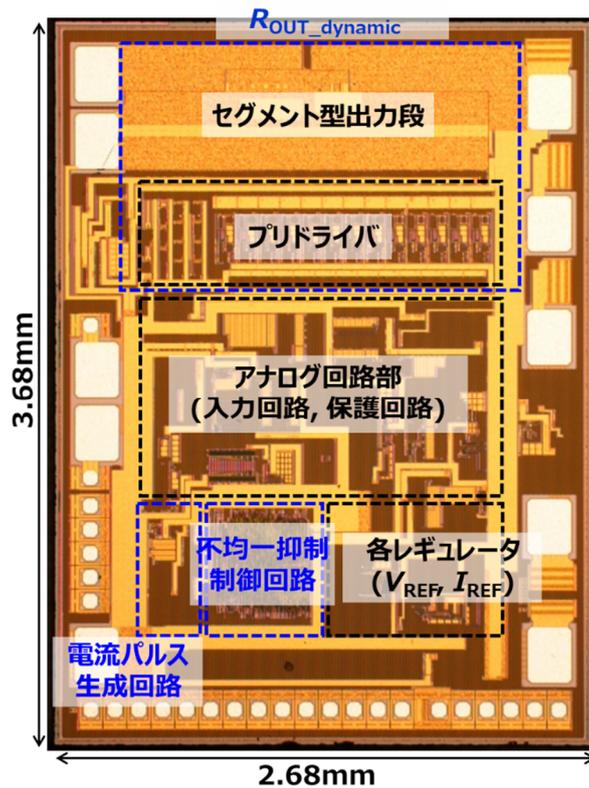
(2) 閉ループ遅延時間制御機能を集積したゲート駆動 IC の試作

図 3.18 に、試作したゲート駆動 IC (GDIC) の構成図とチップ写真を示す。図 3.18 (a) に示すように、試作した GDIC は“入力回路”、“ $R_{OUT_dynamic}$ ”、“電流不均一抑制制御回路”、“保護回路”、“電圧・電流レギュレータ”、“電流パルス生成回路”および“電流センサ”で構成されている。また、 $R_{OUT_dynamic}$ はプリドライバとセグメント型出力段で構成され、電流不均一抑制制御回路は、Time/digital 変換回路、発振回路、データレジスタ、差分回路およびステートマシンで構成されている。保護回路は、過電圧・過電流・加熱・電圧低下等の保護機能を有している。電流不均一抑制のための遅延時間制御機能だけでなく、ゲート駆動 IC として必要となる機能を全て実装した構成となっている。試作は、XFAB 社の 0.35 μm HV CMOS プロセスを用いて実施しており、チップサイズは、3.68 mm \times 2.68 mm である。

試作した GDIC は、図 3.19 に示す評価環境にて動作検証を実施した。図 3.19 (a) は、これまでの動作検証と同様に並列接続した IGBT 素子を用いてチョッパ回路を構成し、スイッチング特性の評価が可能な測定回路であり、図 3.19 (b) は測定で用いた自作の PCB ボードである。試作した GDIC は、セラミックス PKG に搭載し測定用プリント回路基板に実装している。また、各 IGBT のゲート信号は CPLD (Altera Max II CPLD) でそれぞれ生成しており、遅延時間差を強制的に外部から与える事が可能となっている。用いた IGBT 素子は、富士電機製の第 7 世代 (X シリーズ) の素子で、電圧定格は 600 V、電流定格は 90 A である。負荷には、300 μH のインダクタンスを接続している。各種電圧波形は、オシロスコープ (Agilent Technologies MSO 5054B) でプロービングしている。また、 $R_{OUT_dynamic}$ の出力抵抗は、テクトロニクス社製のカーブトレーサー (Tektronix 370A programmable curve tracer) を用いて実施している。

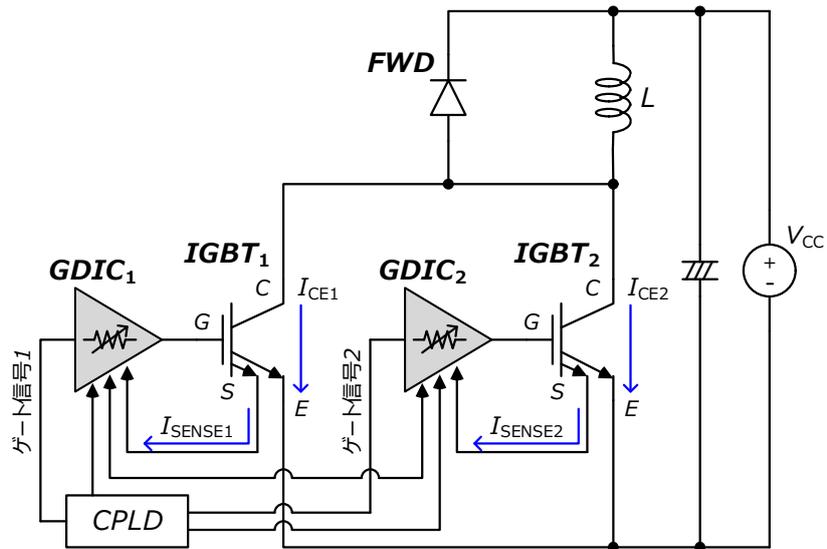


(a) 試作したゲート駆動 IC(GDIC)の構成図

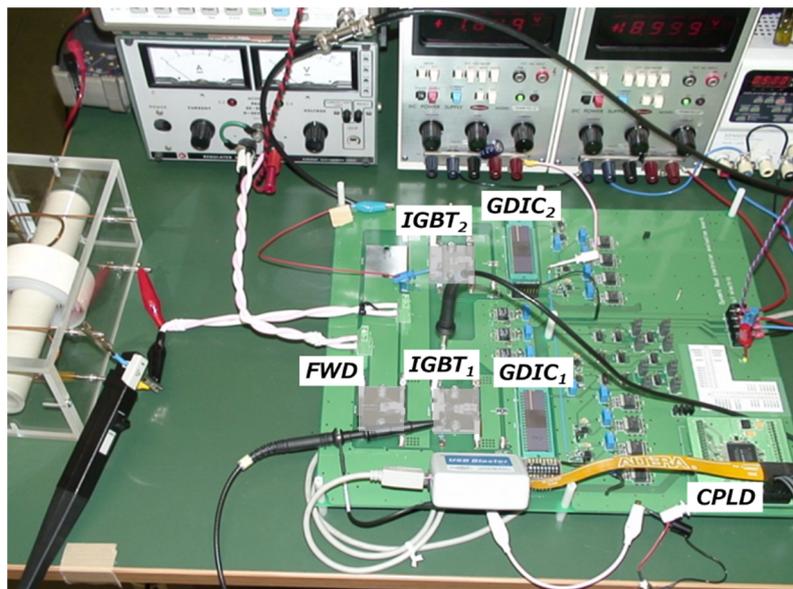


(b) 試作したゲート駆動 IC(GDIC)のチップ写真

図 3.18 試作したゲート駆動 IC(GDIC)の構成図とチップ写真



(a) 試作したゲート駆動 IC (GDIC) の動作検証回路の構成図



(b) 動作検証回路および評価用プリント回路基板

図 3.19 試作したゲート駆動 IC (GDIC) の評価回路とプリント回路基板

(3) 試作したゲート駆動 IC の動作検証

本項では、試作したゲート駆動 IC を構成しているブロック内、特に電流不均一抑制のための遅延時間制御機能の実現に関連した以下のブロックについて、動作および検証結果を説明する。

- ① $R_{OUT_dynamic}$
- ② 電流センスおよび電流パルス生成回路
- ③ 電流不均一抑制制御回路

① $R_{OUT_dynamic}$

図 3.20 に、試作した $R_{OUT_dynamic}$ の構成図を示す。本試作においては、 $R_{OUT_dynamic}$ で制御可能な遅延時間を $1.6 \mu\text{sec}$ としており、ハイサイド側の R_{OUT} は $2.5 \Omega \sim 70 \Omega$ の範囲で可変な設計とし、ローサイドの R_{OUT} は $1 \Omega \sim 20 \Omega$ の範囲で可変な設計としている。遅延時間の制御幅 $1.6 \mu\text{sec}$ は、駆動する IGBT の遅延時間ばらつきの仕様値およびプレ評価等により決定している。また、遅延時間の最小制御幅は、 $0.01 \mu\text{sec}$ 程度としており、7bit の R_{OUT} 制御信号 (C_{bitHS} , C_{bitLS}) にて R_{OUT} を制御する設計とした。

図 3.20 に示すように、ハイサイドはイネーブル信号によりオン/オフ切り替えが可能なプリドライバ ($Pre-driver_{HS}$) と Pch MOSFET で構成されたセグメント出力段を 13 段配置した構成であり、ローサイドはイネーブル信号によりオン/オフ切り替えが可能なプリドライバ ($Pre-driver_{LS}$) と Nch MOSFET で構成されたセグメント出力段を同じく 13 段配置した構成となっている。各セグメント出力段の R_{OUT} は、MOSFET のチャネル幅 (W_{Pn} , W_{Nn}) で調整している。7bit の R_{OUT} 制御信号 ($C_{bitHS}<7>$, $C_{bitLS}<7>$) を、デコーダーで 13bit のイネーブル信号 ($En_{HS1} \sim En_{HS13}$, $En_{LS1} \sim En_{LS13}$) にデコードし、 $R_{OUT_dynamic}$ の R_{OUT} が C_{bit} に対して線形に変化するように、各セグメント出力段の R_{OUT} を決めている。

図 3.21 に、試作した $R_{OUT_dynamic}$ の R_{OUT} の C_{bit} 依存性を示す。(a)がハイサイドの R_{OUT} を、(b)はローサイドの R_{OUT} を示しており、それぞれ設計値と実測値を示している。図 3.21 (a)に示すように、ハイサイドの R_{OUT} は、 C_{bit} を 0 から 127 まで変化させる事により 2.5Ω から 70Ω に変化する設計となっているのに対し、実測値は 4Ω から 81Ω の変化となっている。また、ローサイドの R_{OUT} は、 C_{bit} を 0 から 127 まで変化させる事により 1.1Ω から 20Ω に変化する設計となっているのに対し、実測値は 1.7Ω から 29Ω の変化となっており、ハイサイドとローサイドのいずれの R_{OUT} においても設計値よりも実測値の方が高抵抗となっている。この要因としては、チップレイアウト上の配線抵抗やセラミック PKG の寄生抵抗分の影響が考えられるが、特にチップレイアウト上の配線抵抗の影響が大きいと推定されるため、配線抵抗を見込んだ設計が求められると考えられる。また、ハイサイド R_{OUT} の C_{bit} 依存性は、ローサイド R_{OUT} の C_{bit} 依存性よりも線形性の低下が見られる。本設計では、ハイサイドとローサイドで同じセグメント段数としているが、ハイサイド側は抵抗の可変幅が $\sim 70 \Omega$ と広いため、各セグメント出力段間の R_{OUT} 差がローサイドよりも大きい設計となってしまう。そのため、出力段の組合せを変えると大きく R_{OUT} が変動してしまい、その結果線形性の低下を引き起こしている。従って、線形性の改善のためには、可変とする抵抗幅に応じて最適なセグメント

出力段の段数とする必要がある。試作した GDIC による遅延時間制御の効果検証においては、ハイサイドの線形性低下の影響を受けない動作条件にて実施する。

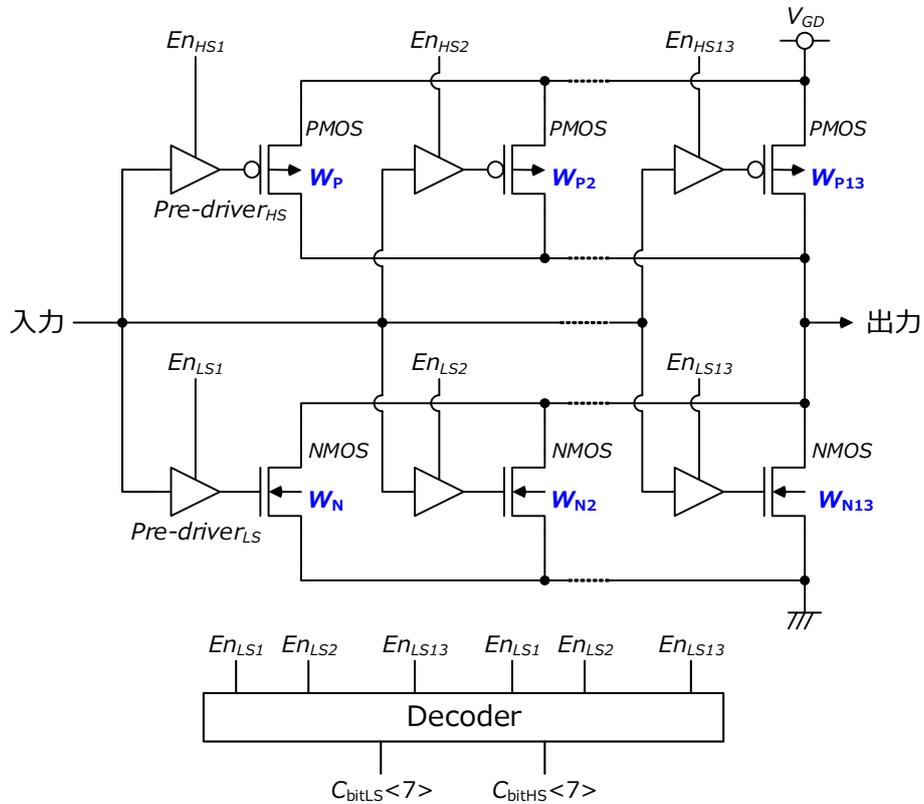


図 3.20 試作した $R_{OUT_dynamic}$ の構成図

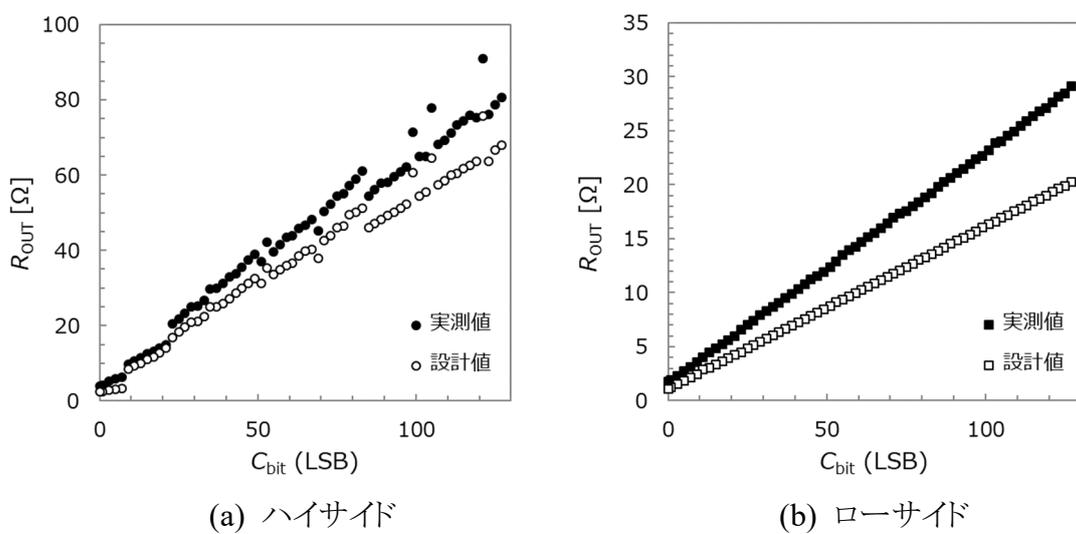


図 3.21 試作した $R_{OUT_dynamic}$ の R_{OUT} の C_{bit} 依存性

②電流センスおよび電流パルス生成回路

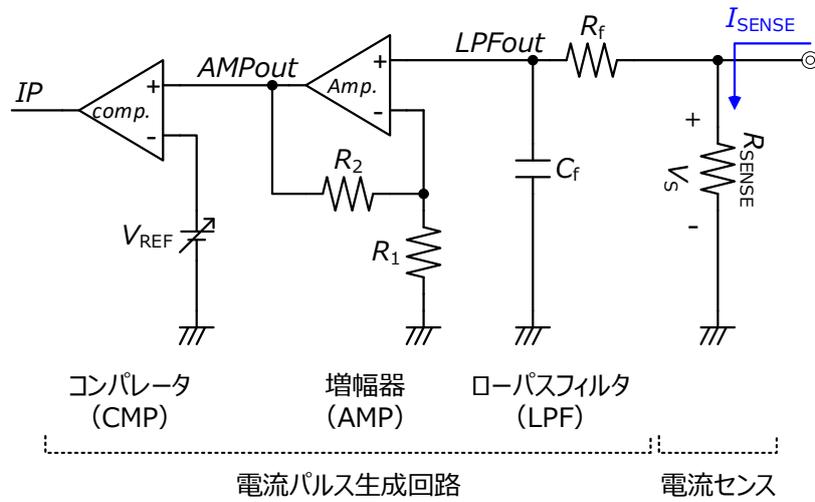
図 3.16 に、電流センスおよび電流パルス信号生成回路とタイミングチャートを示す。3.3 (1)の遅延時間制御の概要で述べたように、センス IGBT を用いた電流センス方法を採用しており、図 3.16 (a)に示すように、センス IGBT で検出した I_{SENSE} を R_{SENSE} によって V_s に変換し、変換した V_s 波形を電流パルス生成回路へ入力している。 R_{SENSE} の設計値は、最大 I_{SENSE} (100 mA を想定)においても、 V_s 波形の最大値が電源電圧 (3.3 V)を超えないようにするため、30 Ω とした。

図 3.16 (b)のタイミングチャートに示すように、 V_s 波形にはスイッチングノイズ等のノイズ成分が重畳されており、ノイズ成分が電流パルス信号の誤生成の要因となるため、電流パルス生成回路初段のローパスフィルタ (LPF) によって高周波成分の除去が行われる。LPF は、CR のローパスフィルタとしており、カットオフ周波数 (f_c) は R_f により調整可能である。一般的に、IGBT モジュールの寄生成分で構成される共振回路の共振周波数は数十 MHz であり、スイッチング時のノイズの周波数も数十 MHz となるため、本設計における f_c のデフォルト値は 1 MHz としている。

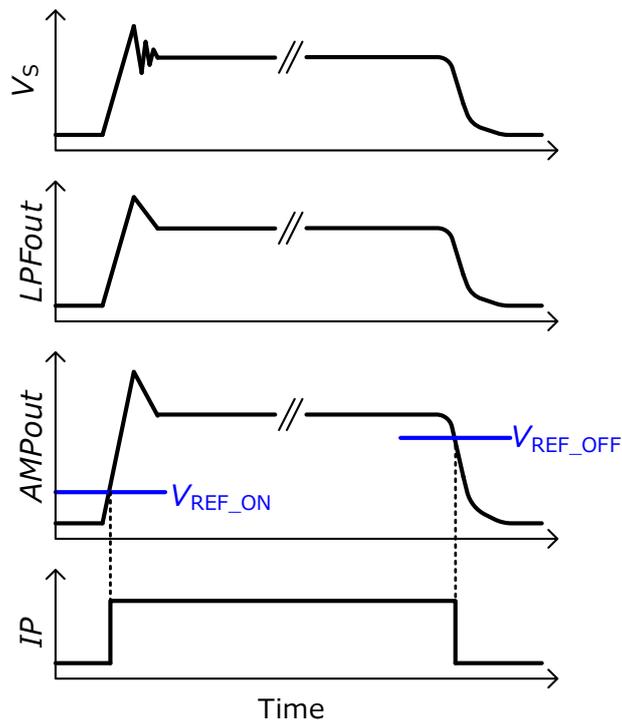
低出力電流動作時においては、 I_{SENSE} 値の低下に伴い V_s の信号レベルも低下する。 V_s 信号レベルの低下 (S/N 比の低下) により、電流パルスの生成が困難となる事が懸念されるため、LPF の次段に増幅器 (AMP) を挿入し、信号レベルの増幅を行う。LPF 出力 (LPF_{out}) は、非反転増幅器により増幅される構成となっている。AMP における増幅率の初期値は $\times 1$ であるが、 R_1 と R_2 の組合せによって増幅率が外部から調整可能な構成としている。

増幅された信号は、次段のコンパレータ (CMP) によってリファレンス電圧 (V_{REF_ON} , V_{REF_OFF}) と比較され、電流パルス信号に変換される。図 3.16 (b)に示すように、 V_{REF_ON} を限りなく GND 電圧レベルに近づけ、 V_{REF_OFF} を限りなく IGBT のオン期間における AMP_{out} レベルに近づける事で、より電流波形に応じた電流パルス信号の生成が可能となる。しかし、ノイズによる僅かな AMP_{out} 波形の変動により、パルス信号が反転してしまう等の誤動作の可能性がある。そのため、パルス信号生成回路の誤動作を防止するために、 V_{REF_ON} を GND 電圧レベルよりも十分高く設定し、 V_{REF_OFF} を AMP_{out} レベルよりも十分低く設定する事が望ましい。しかし、その場合には電流波形に対してパルス信号の立ち上がり・立ち下がりのタイミングに遅れが生じてしまい、電流不均一抑制への悪影響が考えられる。本研究の遅延時間制御においては、並列接続された IGBT 間のタイミング差を“ゼロ”にする事が重要であり、各 IGBT において同じ V_{REF_ON} および V_{REF_OFF} レベルで電流パルス信号が生成され、電流パルス信号生成に伴う遅れ時間が全ての IGBT において同じであれば、電流不均一の抑制へは全く影響が無いと考えられる。それ故、本試作においては、 $V_{REF_ON} = V_{REF_OFF} = V_{REF}$ として、電流パルス信号生成回路を設計しており、 $AMP_{out} > V_{REF}$ で IP は“High”レベルとなり、 $AMP_{out} < V_{REF}$ で IP は“Low”レベルに反転する事で、IP が生成される。

図 3.19 に示した測定回路にて、電流センスおよび電流パルス生成回路の評価を行った。評価結果を、図 3.23～図 3.25 に示す。



(a) 電流パルス信号生成回路

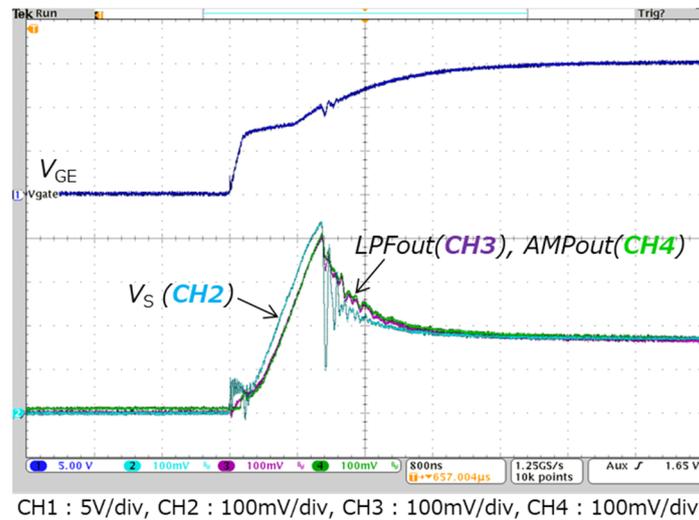


(b) 電流パルス生成回路のタイミングチャート

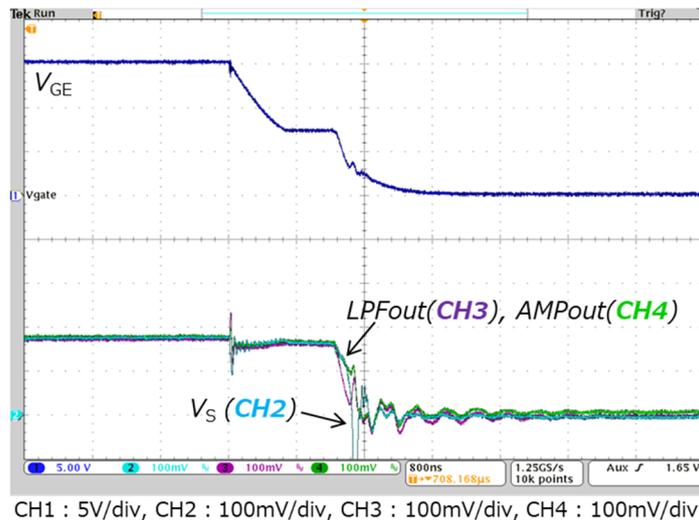
図 3.22 電流センサおよび電流パルス生成回路およびタイミングチャート

図 3.23 に、ターンオンおよびターンオフ時における V_s 波形、 LPF_{out} 波形および AMP_{out} 波形の実測結果を示す。図 3.19 に示した測定回路を用いて、シングル IGBT にてスイッチング動作を実施した結果である。LPF の f_c は 1MHz とし、AMP の増幅率は $\times 1$ としている。

ターンオン時とターンオフ時共に、 V_s 波形に観測される高周波成分が LPF_{out} 波形では観測されておらず、 $f_c = 1 \text{ MHz}$ の LPF により除去されている事が確認できる。また、観測される LPF_{out} 波形は、増幅率 $\times 1$ の AMP_{out} 波形とほぼ同じ波形となっている事から、AMP も正常に動作している事が分る。



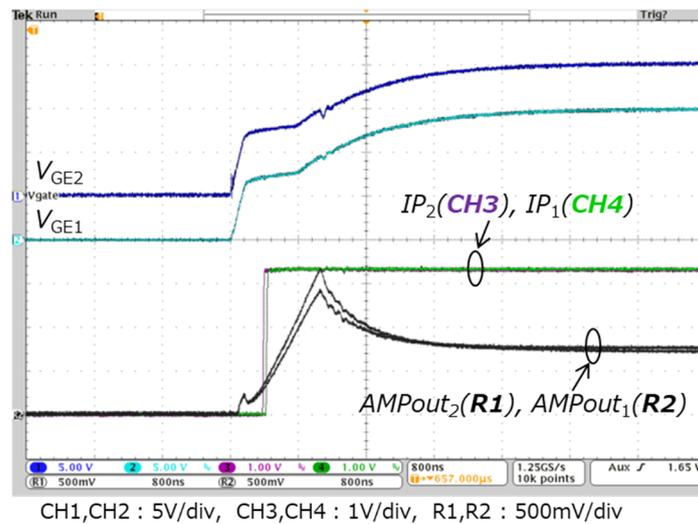
(a) ターンオン時



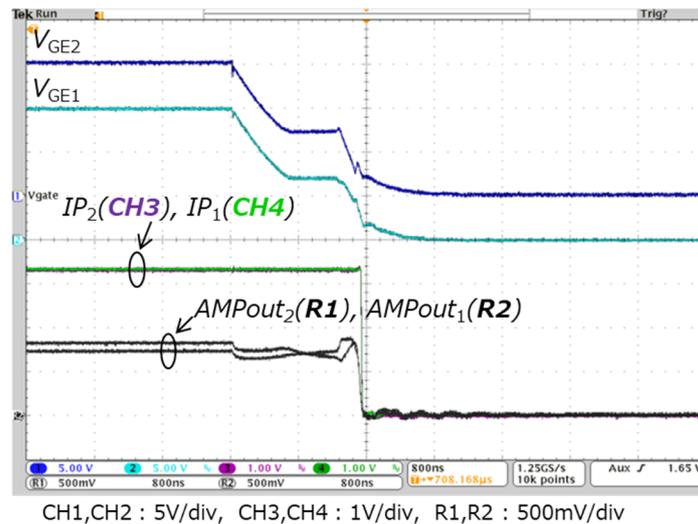
(b) ターンオフ時

図 3.23 測定した V_s 波形、 LPF_{out} 波形および AMP_{out} 波形

図 3.24 に、並列接続した IGBT にてスイッチング動作を行った時の、各 GDIC における $AMPout$ 波形および IP 波形を示す。並列接続した IGBT 間の遅延時間差を“ゼロ”とした状態にてスイッチングを行っている。図に示すように、ターンオン時には $AMPout_1$ および $AMPout_2$ が増加し始めたタイミング(= I_{CE} が流れ始めたタイミング)にて IP が立ち上がり、ターンオフ時には $AMPout_1$ および $AMPout_2$ が減少し始めたタイミング(= I_{CE} が減少し始めたタイミング)にて IP が立ち下がっており、誤パルス等が生成される事無く I_{CE} 波形に対応した電流パルスが生成されている事が分る。また、 $IGBT_1$ と $IGBT_2$ 間に遅延時間差が無い為、 IP_1 と IP_2 の立ち上がり・立ち下がりエッジにも時間差が観測されおらず、設計通りに電流パルスが生成されていると言える。



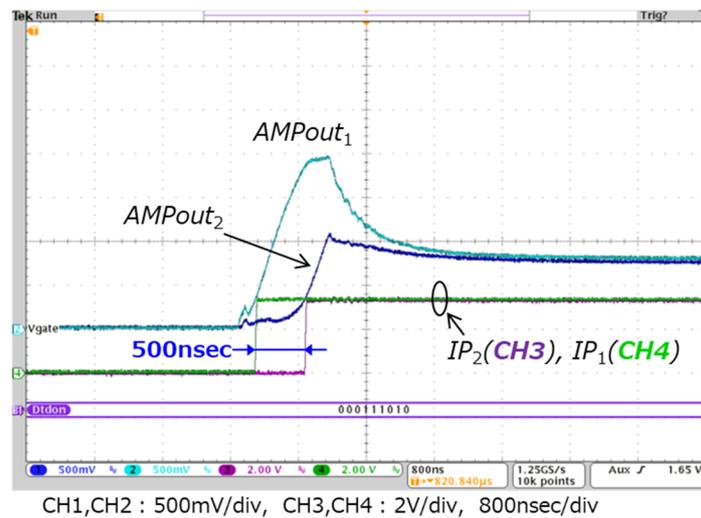
(a) ターンオン時



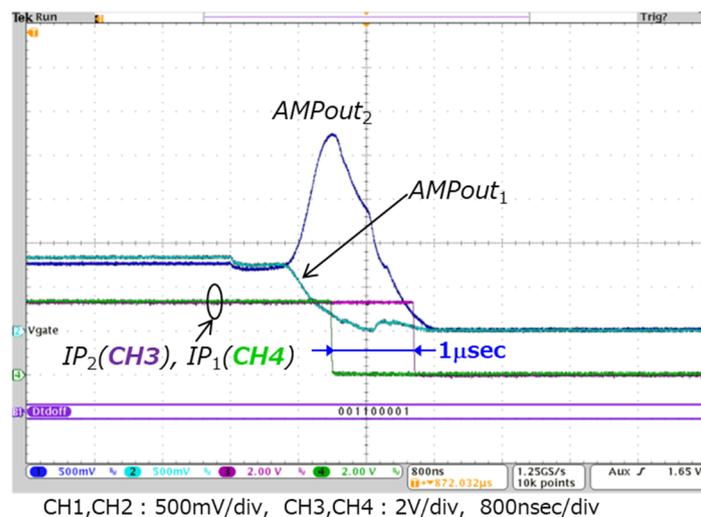
(b) ターンオフ時

図 3.24 IGBT の並列接続時の各 $AMPout$ 波形および IP 波形(遅延時間差無し)

図 3.25 に、並列接続した IGBT にてスイッチング動作を行った時の、各 GDIC における AMP_{out} 波形および IP 波形を示す。並列接続した IGBT 間の遅延時間差を、 $\Delta t_{dON}=500\text{ nsec}$ および $\Delta t_{dOFF}=1.0\text{ }\mu\text{sec}$ とした状態にてスイッチング動作を行っている。ターンオン時は、図 3.25 (a)に示すように $\Delta t_{dON}=500\text{ nsec}$ ($t_{dON1} < t_{dON2}$) により、 $IGBT_1$ が先にオン状態となり、 I_{CE1} が先に流れ始める。それ故、 AMP_{out1} は AMP_{out2} よりも先に増加し始め、 IP_1 は AMP_{out1} の増加のタイミングにて”Low”から”High”に変化している。その後、 $IGBT_1$ のオン状態から 500 nsec 後に $IGBT_2$ もオン状態となるため、 I_{CE2} も流れ始め AMP_{out2} が増加し始める。その結果、 IP_2 は AMP_{out2} の増加のタ



(a) ターンオン時 ($\Delta t_{dON}=500\text{ nsec}$, $t_{dON1} < t_{dON2}$)



(b) ターンオフ時 ($\Delta t_{dOFF}=1.0\text{ }\mu\text{sec}$, $t_{dOFF1} < t_{dOFF2}$)

図 3.25 IGBT の並列接続時の各 AMP_{out} 波形および IP 波形 (遅延時間差有り)

タイミングで”Low”から”High”に変化している。この時、 IP_1 と IP_2 の立ち上がりエッジの時間差はおよそ 500 nsec であり、遅延時間差に応じた IP が生成されている事が確認できる。

一方、ターンオフ時は、図 3.25 (b)に示すように $\Delta t_{dOFF} = 1 \mu\text{sec}$ ($t_{dOFF1} < t_{dOFF2}$) により、 $IGBT_1$ が先にオフ状態となり、 I_{CE1} が先に減少し始める。それ故、 AMP_{out1} は AMP_{out2} よりも先に減少し始め、 AMP_{out1} の減少のタイミングにて IP_1 は”High”から”Low”へと変化している。その後、 $IGBT_1$ のオフ状態から 1 μsec 後に $IGBT_2$ もオフ状態となるため、 I_{CE2} も減少し始め AMP_{out2} も減少し始める。その結果、 IP_2 は AMP_{out2} の減少のタイミングで”High”から”Low”へと変化する。 IP_1 と IP_2 の立ち下がりエッジの時間差はおよそ 1 μsec であり、ターンオン時と同様に遅延時間差に応じた IP が生成されている事が確認できる。

以上のように、センス IGBT で検出した I_{SENSE} を R_{SENSE} で電圧波形 V_s に変換し、変換した V_s 波形を用いてゲート駆動 IC 内に集積した電流パルス生成回路にて電流パルスを生成する事で、各 IGBT において I_{CE} が流れ始めるタイミングおよび減少し始めるタイミングを、電流パルスの立ち上がりエッジおよび立ち下がりエッジとして検出する事が可能となる事が確認された。また、各 IGBT におけるエッジのタイミングの時間差が遅延時間差と一致する事も確認され、電流パルスを用いる事で遅延時間制御に必要な ΔDtd_{ON} および ΔDtd_{OFF} の算出も可能であると考えられる。次項では、電流不均一抑制制御回路について述べる。

③電流不均一抑制制御回路

図 3.16 および図 3.18 に示すように、電流不均一抑制制御回路では電流パルス生成回路で生成された電流パルスから、デジタル変換された t_{dON} 信号および t_{dOFF} 信号 (Dtd_{ON} , Dtd_{OFF}) を抽出する。図 3.26 に、 Dtd_{ON} , Dtd_{OFF} を抽出する Time/digital 変換回路およびタイミングチャートを示す。図 3.26 は、 IP から Dtd_{ON} を抽出する回路構成を示しているが、 Dtd_{OFF} を抽出する回路構成も Dtd_{ON} を抽出する回路構成と同じ構成で良く、ゲート信号と IP をインバータ回路にて反転した信号とすれば良い。

図に示すように、Time/digital 変換回路はリセット端子にゲート信号が入力され、クロック端子に 100 MHz のクロック信号が入力されたバイナリーアップカウンタと、 IP の立ち上がりエッジでカウンタ出力を格納するデータレジスタで構成される。従って、バイナリーアップカウンタは、ゲート信号の立ち上がりからカウント動作を開始し、10nsec 刻みでカウンタ出力が増加する。カウンタ出力は、 IP の立ち上がりエッジのタイミングすなわち I_{CE} の流れ始めのタイミングでデータレジスタに格納されるため、格納されたデータが Dtd_{ON} としてデータレジスタから出力される。その後、ゲート信号が立ち下がるとカウンタはリセットされ、カウンタ出力は”ゼロ”となる。再びゲート信号が立ち上がると、ゲート信号の立ち上がりからカウント動作が再開され、 IP の立ち上がりエッジのタイミングで再びデータレジスタに格納され、格納されたデータが新しい Dtd_{ON} として更新さ出力される。以上のように、スイッチング毎に t_{dON} が抽出され、デジタル値 Dtd_{ON} として出力される事が分る。

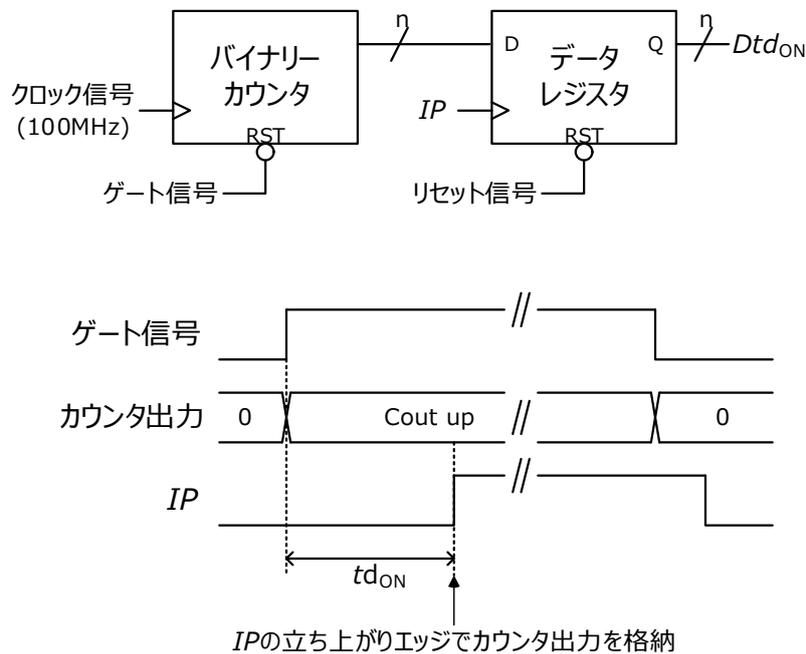


図 3.26 Time/digital 変換回路およびタイミングチャート

Time/digital 変換回路から出力された Dtd_{ON} および Dtd_{OFF} は、電流不均一抑制制御回路に入力される。電流不均一抑制制御回路では、入力された Dtd_{ON} および Dtd_{OFF} を保持すると同時に、並列接続された別の IGBT の遅延時間制御を行う電流不均一抑制制御回路へ Dtd_{ON} および Dtd_{OFF} を出力する。図 3.16 に示すように、並列接続された別の IGBT の遅延時間制御を行う電流不均一抑制制御回路においても、同様に Dtd_{ON} および Dtd_{OFF} の出力を行うため、それぞれの制御回路がお互いの Dtd_{ON} および Dtd_{OFF} を保持する事となる。

電流不均一抑制制御回路では、保持した Dtd_{ON} および Dtd_{OFF} (図 3.16 中の Dtd_{ON1} , Dtd_{ON2} , Dtd_{OFF1} および Dtd_{OFF2}) から、図 3.27 に示す符号付減算回路を用いて遅延時間差信号 (ΔDtd_{ON} , ΔDtd_{OFF}) を生成する。符号付減算回路では、入力端子 A に入力されたバイナリデータ ($In_dataA[n:0]$) と、入力端子 B に入力されたバイナリデータ ($In_dataB[n:0]$) の減算 (A-B) を実行し、減算結果 ($Out_data[m:0]$) を出力する回路である。出力される減算結果のフォーマットは、図 3.27 に示すように最上位ビット (MSB : Most Significant Bit) に符号を表す Sign ビットを割り付け、MSB 以降のビットは絶対値を表す Magnitude ビットとなる。 $In_dataA - In_dataB$ を実行した結果において、Sign ビットが "0" の場合は符号が + である事を意味するため、 $In_dataA > In_dataB$ である事が分る。一方、Sign ビットが "1" の場合は符号が - であるため、 $In_dataA < In_dataB$ である事が分る。以上のように、符号付減算回路を用いて Dtd_{ON1} と Dtd_{ON2} の減算を実行する事により、 ΔDtd_{ON} だけでなく Dtd_{ON1} と Dtd_{ON2} でどちらが

大きいか、すなわち並列接続された IGBT のどちらが先にターンオンするのも把握する事が可能となる。ターンオフについても同様に、 Dtd_{OFF1} と Dtd_{OFF2} の減算を実行する事で、どちらが先にターンオフするかを把握するための符号情報と ΔDtd_{OFF} を算出する。

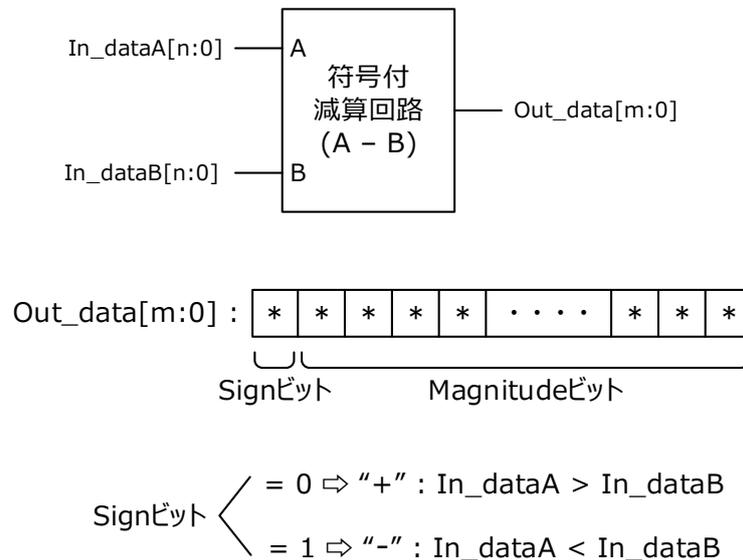


図 3.27 符号付差分回路 (Signed Subtractor)

図 3.17 に示すように、提案する遅延時間制御では、先にターンオンもしくはターンオフする IGBT の td_{ON} もしくは td_{OFF} を R_{OUT} により増加させ、電流不均一の抑制を実現するものであるため、実現にはどちらの IGBT が先にターンオンもしくはターンオフするかを制御回路自身が把握する必要がある。それ故、符号付減算回路での減算は、閉ループ遅延時間制御の実現において非常に重要な要素となる。

符号付減算回路から出力されたバイナリーデータ (Sign ビットと Magnitude ビット) は、次段のステートマシンに入力される。ステートマシンは、有限な数の状態 (ステート) の間を行き来するタイプの論理回路で、同時に複数の状態を取ることはできず、任意の時点で必ずある 1 つの状態を取る。そして外部イベントに応じてトリガー信号を受けると、ある状態から別の状態に遷移する。設計したステートマシンにおいては、入力されたバイナリーデータをトリガー信号とし、 $R_{OUT_dynamic}$ の R_{OUT} を設定する 7bit の R_{OUT} 制御信号 ($C_{bitHS}<7>$, $C_{bitLS}<7>$) を算出するための複数の状態を遷移し、遅延時間差が最小となる R_{OUT} 制御信号を生成する。図 3.28 に、設計したステートマシンの状態遷移図を示す。図には、ターンオン期間用のステートマシンを示しているが、同様のステートマシンをターンオフ期間用として構成し、ターンオン期間とターンオフ期間を個別に制御する構成となる。図に示すように、ステートマシンは 7 つのステートで構成される。表 3.1 に、ステートおよびステートにおける処理内容を示す。

制御回路がリセット状態 ($RST_{con} = "0"$) においては、ステートは“STANDBY”となりステートマシンはスタンバイ状態となる。“STANDBY”ステートでは、 R_{OUT} 制御信号 (C_{bit}) が初期値 ($C_{bit-init}$) に設定される。リセット状態が解除される ($RST_{con} = "1"$) と、減算回路出力の Sign ビット ($\Delta Dtd_{ON}[8]$, $\Delta Dtd_{OFF}[8]$) に応じて、“ACTIVATE”もしくは“DEACTIVATE”のどちらかのステートへ遷移する。前述したように、Sign ビットは並列接続された IGBT のどちらが先にターンオンもしくはターンオフするかを示すデータであるため、Sign ビットに応じてステートマシンを有効とするか無効とするかを選択する。本設計では、GDIC 内で生成された Dtd_{ON} もしくは Dtd_{OFF} を減算回路の入力端子 A に、他の GDIC にて生成され共有された Dtd_{ON} もしくは Dtd_{OFF} を減算回路の入力端子 B にそれぞれ入力し減算 (A-B) を行うため、Sign ビット = “1” は本 GDIC に接続された IGBT の方が先にターンオンもしくはターンオフする事を意味し、当該 IGBT が遅延時間制御の対象となるため、ステートは“ACTIVATE”へ遷移しステートマシンが有効となる。一方、Sign ビット = “0” は、他の GDIC に接続された IGBT の方が先にターンオンもしくはターンオフする事を意味する。それ故、本 GDIC に接続された IGBT は遅延時間制御の対象とならず、ステートは“DEACTIVATE”へ遷移しステートマシンは無効となる。図 3.16 に示した構成を例に説明すると、 $GDIC_1$ では Dtd_{ON1} および Dtd_{OFF1} を入力端子 A に、 Dtd_{ON2} および Dtd_{OFF2} を入力端子 B に接続する構成となるため、 $\Delta Dtd_{ON}[8]$ もしくは $\Delta Dtd_{OFF}[8]$ が “1” の場合は、 $GDIC_1$ に接続された $IGBT_1$ の方が先にターンオンもしくはターンオフする事を意味し、 $IGBT_1$ の遅延時間が制御対象となる。従って、 $GDIC_1$ の制御回路が有効状態となる。一方、 $\Delta Dtd_{ON}[8]$ もしくは $\Delta Dtd_{OFF}[8]$ が “0” の場合は、 $GDIC_2$ に接続された $IGBT_2$ の方が先にターンオンもしくはターンオフする事を意味しており、 $IGBT_1$ の遅延時間は制御対象とはならないため、 $GDIC_1$ の制御回路は無効状態となる。無効状態となったステートマシンにおいても、“DEACTIVATE”ステートへ遷移した後に Sign ビットが “1” に変化した場合には、ステートが“ACTIVATE”へと遷移し有効状態となる。

有効状態となったステートマシンでは、符号付減算回路から出力される遅延時間差信号に応じて遷移するステートを選択し、電流不均一が仕様範囲内まで抑制される遅延時間差を実現する C_{bit} の生成を行う。ステートが“ACTIVATE”となったステートマシンでは、予め設定された目標遅延時間差データ (ΔDtd_{ONref} , ΔDtd_{OFFref}) とスイッチング時の電流波形から抽出し減算回路で算出した遅延時間差データ (減算回路出力の Magnitude ビット: $\Delta Dtd_{ON}[n-1:0]$, $\Delta Dtd_{OFF}[n-1:0]$) との比較が行われる。比較の結果、 $\Delta Dtd_{ON}[n-1:0]1 \leq \Delta Dtd_{ONref}$ もしくは $\Delta Dtd_{OFF}[n-1:0]1 \leq \Delta Dtd_{OFFref}$ の場合は、スイッチング時の遅延時間差が目標遅延時間差内であるため、ステートは“STEADY”へ遷移する。“STEADY”ステートでは、 C_{bit} の保持が行われる。これに対し、 $\Delta Dtd_{ON}[n-1:0]1 > \Delta Dtd_{ONref}$ もしくは $\Delta Dtd_{OFF}[n-1:0]1 > \Delta Dtd_{OFFref}$ の場合は、スイッチング時の遅延時間差が目標遅延時間差よりも大きく、電流不均一の抑制も不十分な状態となるため、ステートは“INCREMENT”へ遷移する。“INCREMENT”ステートでは、 $C_{bit} + 1$ が実行され、1 LSB 増加した C_{bit} が $R_{OUT_dynamic}$ へ出力される。図 3.21 に示すように、 $R_{OUT_dynamic}$ の R_{OUT} は C_{bit} の増加に伴い増加するため、 C_{bit} に 1 LSB を加算する事で遅延時間差が減少する。“INCREMENT”ステートでは、 $C_{bit} + 1$ がスイッチング毎に実

行されるため、スイッチング毎に遅延時間差が減少し、 $\Delta Dtd_{ON}[n-1:0]1 \leq \Delta Dtd_{ONref}$ もしくは $\Delta Dtd_{OFF}[n-1:0]1 \leq \Delta Dtd_{OFFref}$ となると、ステートは“INCREMENT”から“STEADY”へ遷移する。ステートが“STEADY”へ遷移した後も、動作条件や動作温度が変動し、再び $\Delta Dtd_{ON}[n-1:0]1 > \Delta Dtd_{ONref}$ もしくは $\Delta Dtd_{OFF}[n-1:0]1 > \Delta Dtd_{OFFref}$ となった場合は、再びステートは“INCREMENT”へ遷移し $C_{bit} + 1$ が実行される。また動作条件や動作温度の変動の結果、並列接続した IGBT 間の遅延時間の大小関係が反転し、減算回路出力の Sign ビットが変化する事が想定される。その場合は、ステートを“DEACTIVATE”へ遷移するのではなく、“DECREMENT”へ遷移させ $C_{bit} - 1$ を実行させる。これにより、並列接続された IGBT の遅延時間が増加し続ける動作モードを回避する事が可能となる。“DECREMENT”ステートへ遷移し、 $C_{bit} - 1$ を実行した結果 $\Delta Dtd_{ON}[n-1:0]1 \leq \Delta Dtd_{ONref}$ もしくは $\Delta Dtd_{OFF}[n-1:0]1 \leq \Delta Dtd_{OFFref}$ となると、ステートは“DECREMENT”から“STEADY”へ遷移する。 C_{bit} が最大値もしくは最小値となると、それ以上の制御が正常に実行できないため、ステートを“ERROR”へ遷移させエラー信号の出力を行う。

ステートマシンは、以上のような閉ループでの御動作を行う事で、電流不均一が仕様範囲内まで抑制される遅延時間差を実現する C_{bit} の生成を行う。また、動作条件や動作温度の変動に伴い遅延時間差が増大し、その結果電流不均一が増大した場合も、 C_{bit} の再生成を行い、増大した電流不均一の抑制を行う。

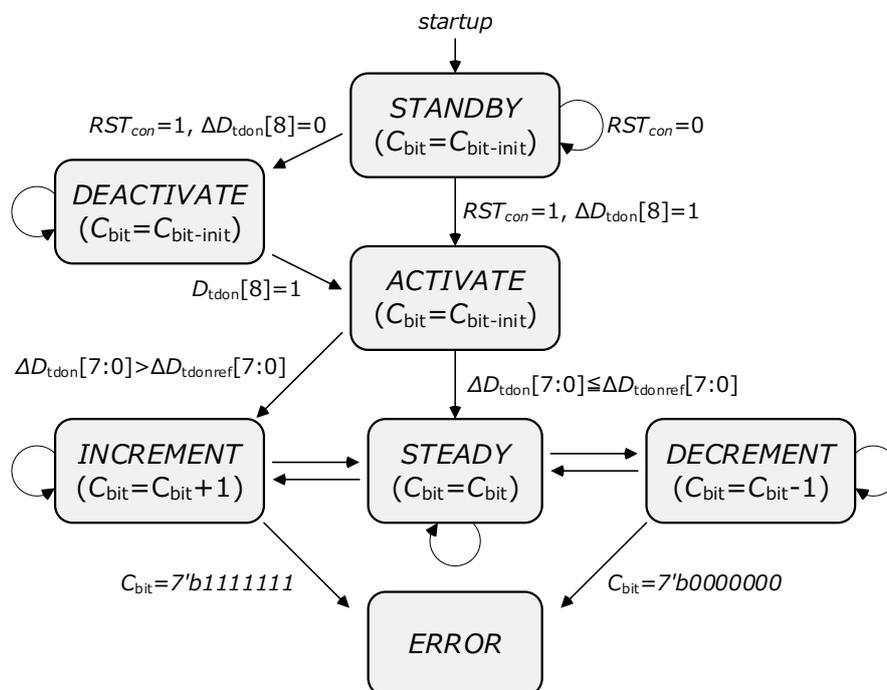


図 3.28 ステートマシンの状態遷移図(ターンオン期間用)

表 3.1 ステートの種類およびステートにおける処理

ステート	処理
STAND BY	R_{OUT} 制御信号(C_{bit})を初期値($C_{bit-init}$)に設定
ACTIVATE	ステートマシンを有効とする。 $C_{bit-init}$ を維持
DEACTIVATE	ステートマシンを無効とする。 $C_{bit-init}$ を維持
INCREMENT	C_{bit} に1LSBを加算する。 $C_{bit}=C_{bit}+1$
DECREMENT	C_{bit} から1LSBを減算する。 $C_{bit}=C_{bit}-1$
STEADY	C_{bit} を保持
ERROR	エラー信号を出力

電流不均一抑制制御回路の動作検証を行うため、図 3.19 に示した PCB ボードに、試作した GDIC ($GDIC_1$, $GDIC_2$) を接続し、マルチパルス動作測定を実施した。これまでと同様に、各 GDIC に入力するゲート信号は CPLD で生成し、2つのゲート信号間には強制的に時間差を与えている。これにより、 $IGBT_1$ と $IGBT_2$ 間に遅延時間差が生じ、電流不均一が発生する。与えた遅延時間差は、電流パルス生成回路の測定時と同様に $\Delta t_{dON}=500 \text{ nsec}$ ($t_{dON1} < t_{dON2}$) および $\Delta t_{dOFF}=1.0 \text{ }\mu\text{sec}$ ($t_{dOFF1} < t_{dOFF2}$) とした。

図 3.29 に、ターンオン時に $\Delta t_{dON}=500 \text{ nsec}$ を与え、ターンオン期間用の制御回路を動作させた時の、マルチパルス・スイッチング波形を示す。図 3.29 (a)には、 $GDIC_1$ および $GDIC_2$ から出力された AMPout 波形 ($AMPout_1$, $AMPout_2$) と IP 波形 (IP_1 , IP_2) をそれぞれ示している。また、図内の上部には $GDIC_1$ に内蔵されたステートマシンにおけるステートを表すバイナリーコードと、下部には同じく $GDIC_1$ に内蔵された減算回路から出力された Magnitude ビットを 16 進数で表示した値をそれぞれ示している。ステートに対応したバイナリーコードは、表 3.2 に示した通りである。

ターンオン時の目標遅延時間差 ($\Delta D t_{dONref}$) は 10 LSB としており、16 進数で表した Magnitude ビットが 10 LSB 以下となると”STEADY”ステートとなる設定とした。試作した GDIC は、クロック用の発振回路も内蔵しており、設計値 100 MHz に対して実測値は 70 MHz であったため、10 LSB は 150 nsec に相当する遅延時間差である。試作した GDIC は、動作検証のために IC 内部の信号を外部へ取り出しているため、ノイズの影響を受けやすい環境である事と、発熱を抑えるために”STEADY”ステートに入るまでのパルス数を極力少なくする必要がある事から、ターンオンにおいてもターンオフにおいても目標遅延時間差を比較的大きな値に設定しているが、閉ループ遅延時間制御の動作検証としては大きな影響は無いと考えている。

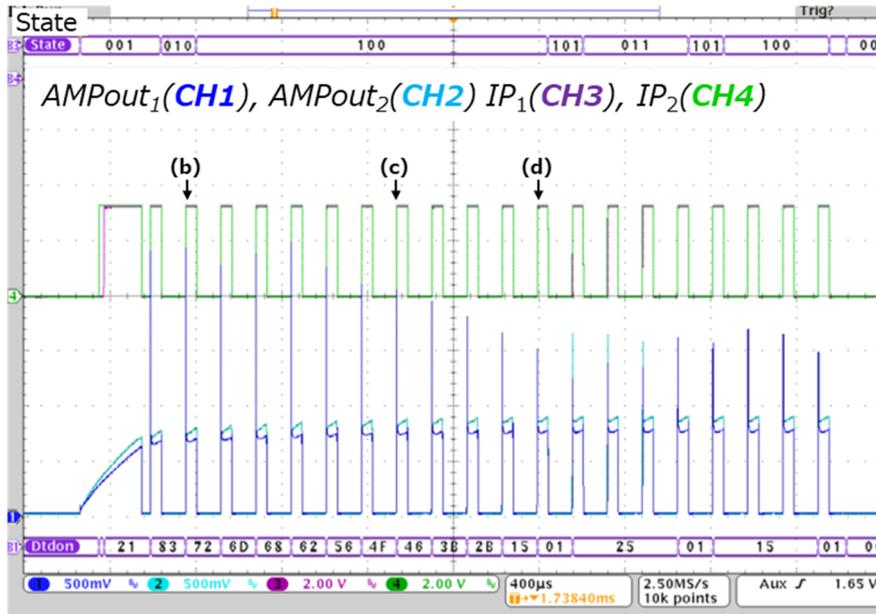
表 3.2 ステートおよび対応したバイナリーコード

バイナリーコード	ステート
000	Standby
001	Deactivate
010	Activate
011	Decrement
100	Increment
101	Steady

制御回路のリセット状態が解除されゲート信号が各 $GDIC$ へ入力されると、 $IGBT_1$ および $IGBT_2$ がスイッチング動作を開始し I_{CE1} と I_{CE2} が流れ始める。図 3.29 (a)に示すように、 I_{CE1} と I_{CE2} が流れ始めると AMP_{out1} および AMP_{out2} が増加し始め、 IP_1 と IP_2 が生成される。最初のスイッチング動作においては、 $GDIC_1$ の R_{SENSE} と $GDIC_2$ の R_{SENSE} との抵抗差や、AMP 回路の増幅率誤差等により、 AMP_{out1} の dV/dt が AMP_{out2} の dV/dt よりも小さくなる事で、電流パルスから抽出した遅延時間が $td_{ON1} > td_{ON2}$ となってしまう、 $GDIC_1$ 内ステートマシンのステートは“DEACTIVATE”(001)となっている。しかしながら、次のスイッチングからは、設定された遅延時間差 $td_{ON1} < td_{ON2}$ と認識され、“DEACTIVATE”ステートから“ACTIVATE”ステート(010)へ遷移が行われている。“ACTIVATE”ステートへ遷移した事により $GDIC_1$ のステートマシンは有効となり、更に $GDIC_1$ の減算回路で算出された遅延時間差は $\Delta Dtd_{ON} = 83$ と $\Delta Dtd_{ON} > \Delta Dtd_{ONref}$ であるため、次のスイッチングでステートは“INCREMENT”(100)へ遷移している。“INCREMENT”ステートでは $C_{bit} + 1$ が実行され、 $R_{OUT_dynamic1}$ の R_{OUT} が増加するため、 $IGBT_1$ の td_{ON} が増加し ΔDtd_{ON} が減少する(図 3.29 (a)では、 $\Delta Dtd_{ON} = 83 \rightarrow 72$)。 $\Delta Dtd_{ON} > \Delta Dtd_{ONref}$ の間は、ステートは“INCREMENT”を維持するため、 $R_{OUT_dynamic1}$ の R_{OUT} の増加に伴い ΔDtd_{ON} が減少していき、 $\Delta Dtd_{ON} \leq \Delta Dtd_{ONref}$ となるとステートは“INCREMENT”から“STEADY”へと遷移している。図 3.29 (a)では、 $\Delta Dtd_{ON} \leq \Delta Dtd_{ONref}$ となり“STEADY”ステートへ遷移した後、再びステートが“DECREMENT”(011)へと遷移している。測定では、ステートが“STEADY”に遷移した後もスイッチング動作が継続されており、出力電流は増加し続けチップ温度も上昇する。この動作条件や動作温度の変動により、 td_{ON1} と td_{ON2} の関係が $td_{ON1} < td_{ON2}$ から $td_{ON1} > td_{ON2}$ へと反転し、ステートが“DECREMENT”へ遷移したと推定される。“DECREMENT”ステートで $C_{bit} - 1$ が実行され、再び $\Delta Dtd_{ON} \leq \Delta Dtd_{ONref}$ となるとステートは“DECREMENT”から再び“STEADY”へと遷移している。その後もステートは“INCREMENT”もしくは“DECREMENT”へ遷移するが、必ず“STEADY”へと遷移しており、閉ループ遅延時間制御が正しく実行(外部環境の変化による影響を検出し制御回路へフィードバック)されている事が分る。

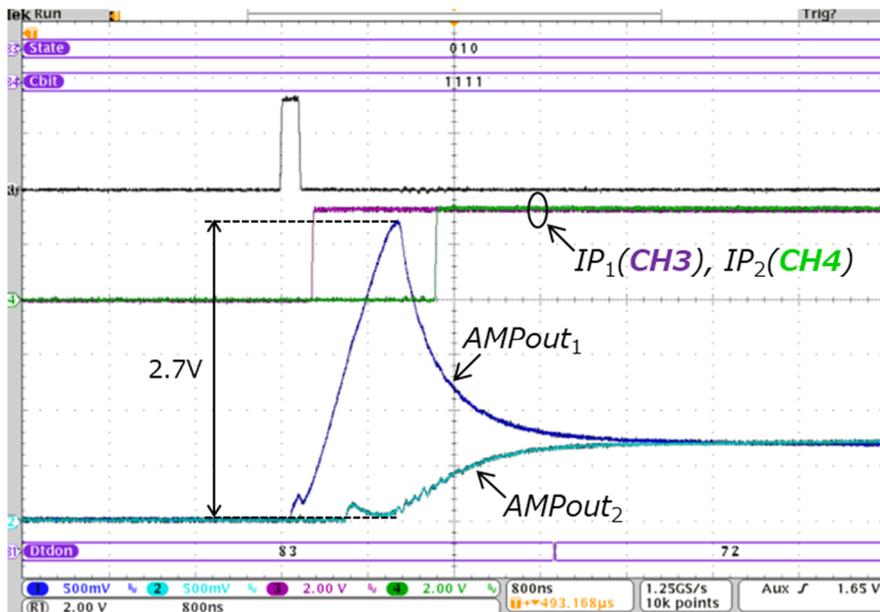
図 3.29 (b)~(d)は、図 3.29 (a)内で示した(b), (c), (d)における各波形を拡大して示した図である。図 3.29 (b)は、制御開始前の状態であるが、 $\Delta t_{dON} = 500nsec$ ($td_{ON1} <$

td_{ON2})により大きな電流不均一が発生している。図 3.29 (c)は、“INCREMENT”ステートが維持されている時の波形であるが、 $C_{bit} + 1$ の実行により ΔDtd_{ON} が減少するため、電流不均一も減少している。 $\Delta Dtd_{ON} \leq \Delta Dtd_{ONref}$ となり“STEADY”ステートとなると、図 3.29 (d)に示すように電流不均一は大幅に抑制される。図内に示すように、本測定では AMPout 波形で求めたターンオン時の電流不均一が 2.7 V から 0.25 V まで抑制されており、91 %の電流不均一の抑制に相当する事が確認された。



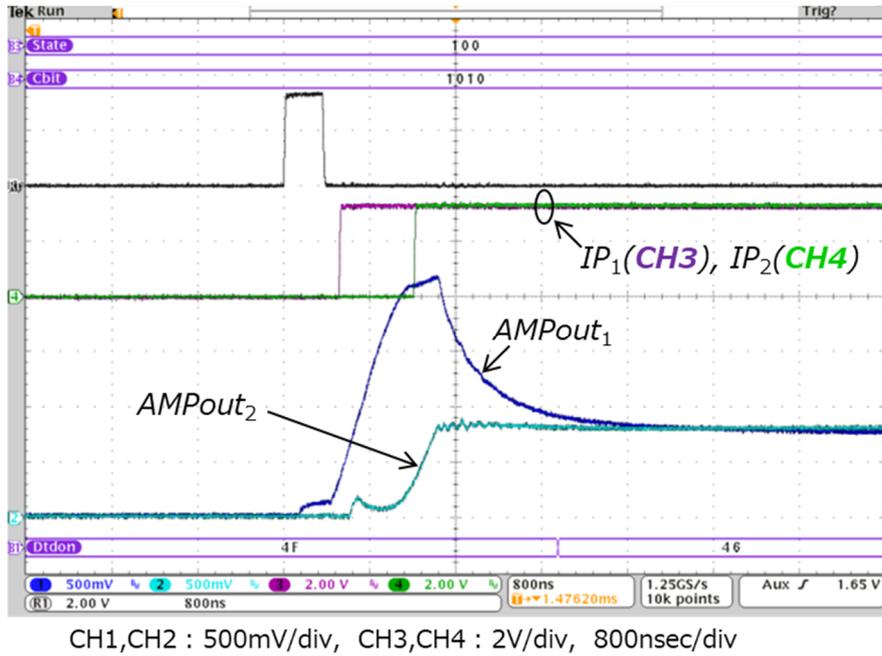
CH1,CH2 : 500mV/div, CH3,CH4 : 2V/div, 400µsec/div

(a) マルチパルス・スイッチング波形 ($\Delta td_{ON}=500$ nsec, $td_{ON1} < td_{ON2}$)

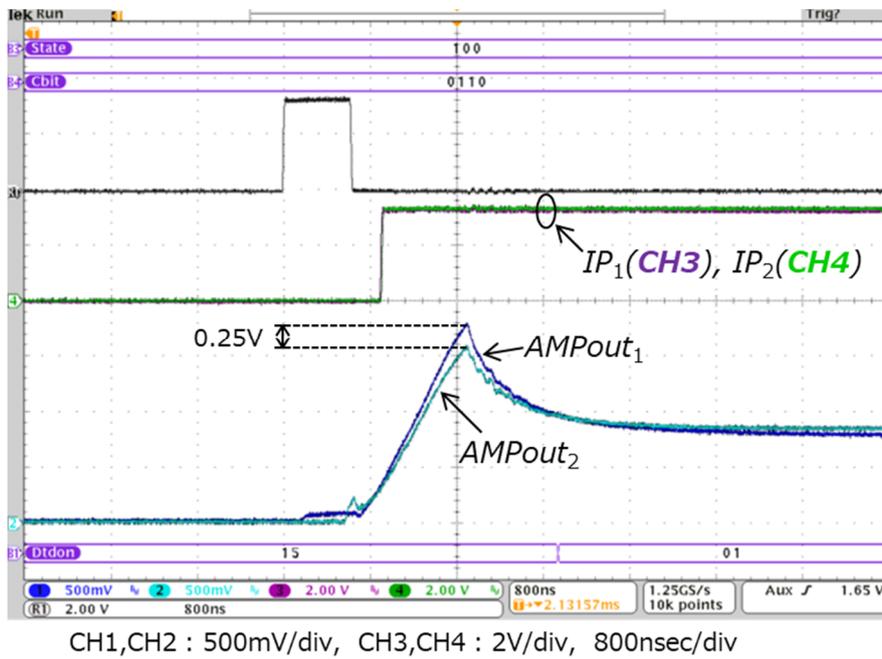


CH1,CH2 : 500mV/div, CH3,CH4 : 2V/div, 800nsec/div

(b) 遅延時間制御前の電流不均一の様子



(c) 遅延時間制御途中の電流不均一の様子



(d) 遅延時間制御後の電流不均一の様子

図 3.29 試作した GDIC を適用したチョッパ回路のマルチパルス・スイッチング波形 (ターンオン時)

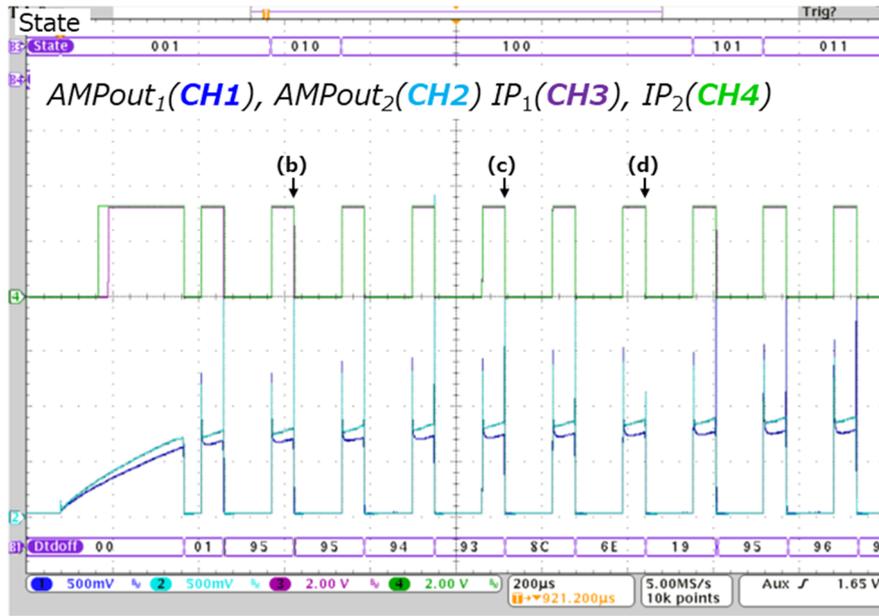
図 3.30 に、ターンオフ時に $\Delta t_{dOFF}=1\mu\text{sec}$ を与え、ターンオフ期間用の制御回路を動作させた時の、マルチパルス・スイッチング波形を示す。図 3.29 のターンオン時の測定結果と同様に、図 3.30 (a)には $GDIC_1$ および $GDIC_2$ から出力された AMPout 波形 ($AMPout_1, AMPout_2$) と IP 波形 (IP_1, IP_2) をそれぞれ示している。また、図内の上部には $GDIC_1$ に内蔵されたステートマシンにおけるステートを表すバイナリーコードと、下部には同じく $GDIC_1$ に内蔵された減算回路から出力された Magnitude ビットを 16 進数で表示した値をそれぞれ示している。

ターンオフ時の測定においては、目標遅延時間差 (ΔDtd_{OFFref}) は 20 LSB としており、16 進数で表した Magnitude ビットが 20 LSB 以下となると“STEADY”ステートとなる設定とした。ターンオフ時の電流集中は、ターンオン時よりも大きくなるため、電流集中する IGBT のチップ温度の上昇はより大きくなるため、ターンオン時よりも少ないスイッチング回数で“STEADY”ステートとなるように、目標遅延時間差 (ΔDtd_{OFFref}) を更に大きな値とした。ターンオン時と同様に、閉ループ遅延時間制御の動作検証としては大きな影響は無いと考えている。

ターンオフ時においても、ターンオン時と同様に最初のスイッチング動作においては“DEACTIVATE”(001)となっており、次のスイッチングにおいて“ACTIVATE”ステート(010)へ遷移している。“ACTIVATE”ステートへ遷移した事により $GDIC_1$ のステートマシンが有効となり、遅延時間差が $\Delta Dtd_{OFF} = 95$ と $\Delta Dtd_{OFF} > \Delta Dtd_{OFFref}$ であるため、次のスイッチングで“INCREMENT”(100)ステートへ遷移している。“INCREMENT”ステートでは $C_{bit} + 1$ が実行され、 $R_{OUT_dynamic1}$ の R_{OUT} が増加するため、 $IGBT_1$ の t_{dOFF} が増加し ΔDtd_{OFF} が減少する。 $\Delta Dtd_{OFF} > \Delta Dtd_{OFFref}$ の間は、ステートは“INCREMENT”を維持するため、 $R_{OUT_dynamic1}$ の R_{OUT} の増加に伴い ΔDtd_{OFF} が減少していき、 $\Delta Dtd_{OFF} \leq \Delta Dtd_{OFFref}$ となるとステートは“INCREMENT”から“STEADY”へと遷移している。ターンオフ時の動作においても、“STEADY”ステートへ遷移した後に再びステートが“DECREMENT”(011)へと遷移している。ターンオン時の測定と同様に、ステートが“STEADY”に遷移した後もスイッチング動作が継続されており、出力電流およびチップ温度も上昇を続け、この動作条件や動作温度の変動により、 t_{dOFF1} と t_{dOFF2} の関係が $t_{dOFF1} < t_{dOFF2}$ から $t_{dOFF1} > t_{dOFF2}$ へと反転し、ステートが“DECREMENT”へ遷移したと推定される。ターンオン時の動作と同様に、“DECREMENT”ステートにおいては $C_{bit} - 1$ が実行され、再び $\Delta Dtd_{OFF} \leq \Delta Dtd_{OFFref}$ となると、ステートは“DECREMENT”から再び“STEADY”へと遷移しており、ターンオフ時においても閉ループ遅延時間制御が正しく実行(外部環境の変化による影響を検出し制御回路へフィードバック)されている事が分る。

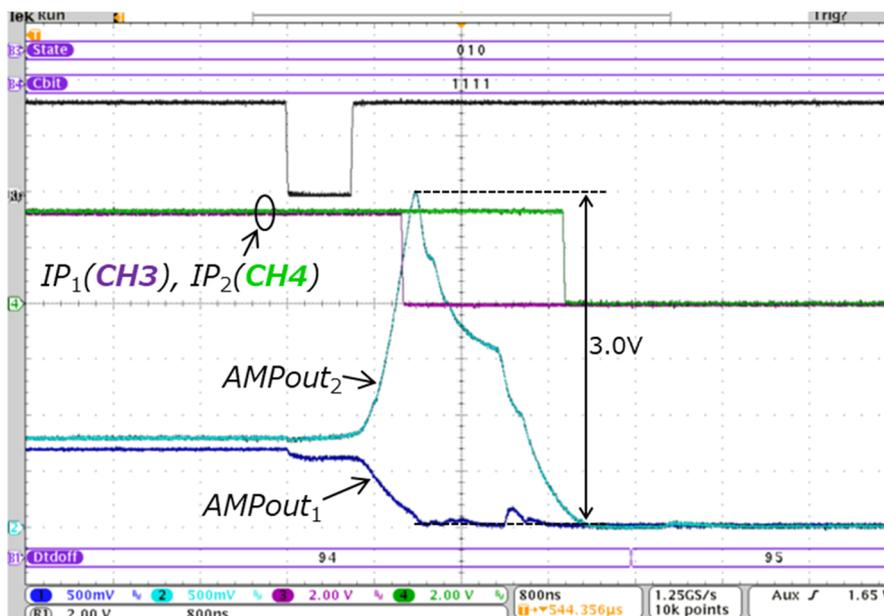
図 3.30 (b)~(d)は、図 3.30 (a)内で示した(b), (c), (d)における各波形を拡大して示した図である。図 3.30 (b)は、制御開始前の状態であるが、 $\Delta t_{dOFF} = 1 \mu\text{sec}$ ($t_{dOFF1} < t_{dOFF2}$)により大きな電流不均一が発生している。図 3.29 (c)は、“INCREMENT”ステートが維持されている時の波形であるが、 $C_{bit} + 1$ の実行により ΔDtd_{OFF} が減少するため、電流不均一も減少している。 $\Delta Dtd_{ON} \leq \Delta Dtd_{ONref}$ となり“STEADY”ステートとなると、図 3.29 (d)に示すように電流不均一は大幅に抑制される。図内に示すように、AMPout 波形で求めたターンオフ時の電流不均一が 3.0 V から 0.9 V まで抑制されており、

70%の電流不均一の抑制に相当する事が確認された。ターンオン時の電流不均一抑制率が91%であった事と比較すると、ターンオフ時の抑制率は70%と20%程度低くなっている。この理由は、ターンオフ時における目標遅延時間差(ΔDtd_{OFFref})を ΔDtd_{ONref} の倍の20 LSBに設定した事であり、 ΔDtd_{OFFref} を低く設定する事で抑制率は増加させる事が可能となる。



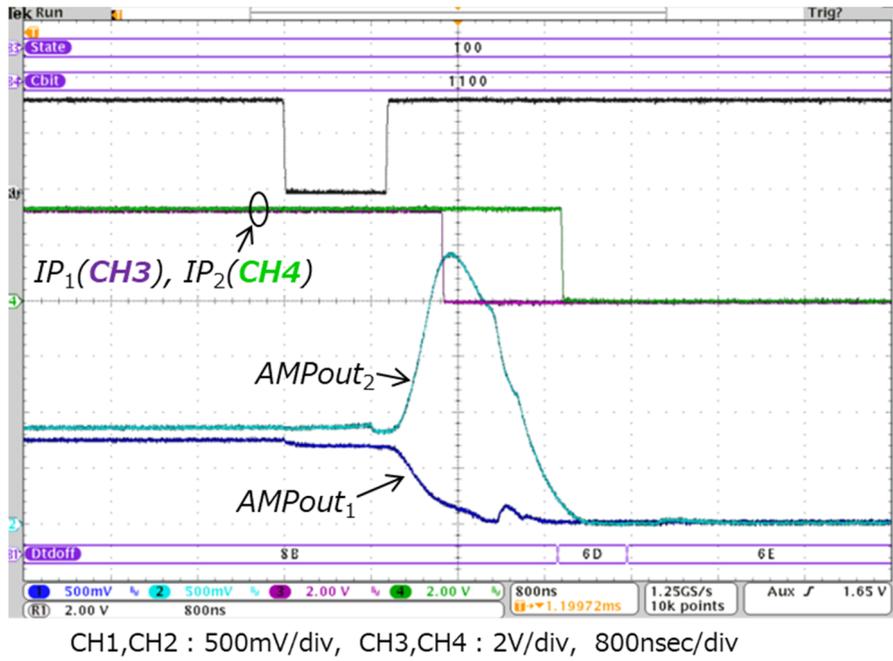
CH1,CH2 : 500mV/div, CH3,CH4 : 2V/div, 200µsec/div

(a) マルチパルス・スイッチング波形 ($\Delta t_{dOFF} = 1 \mu\text{sec}$, $t_{dOFF1} < t_{dOFF2}$)

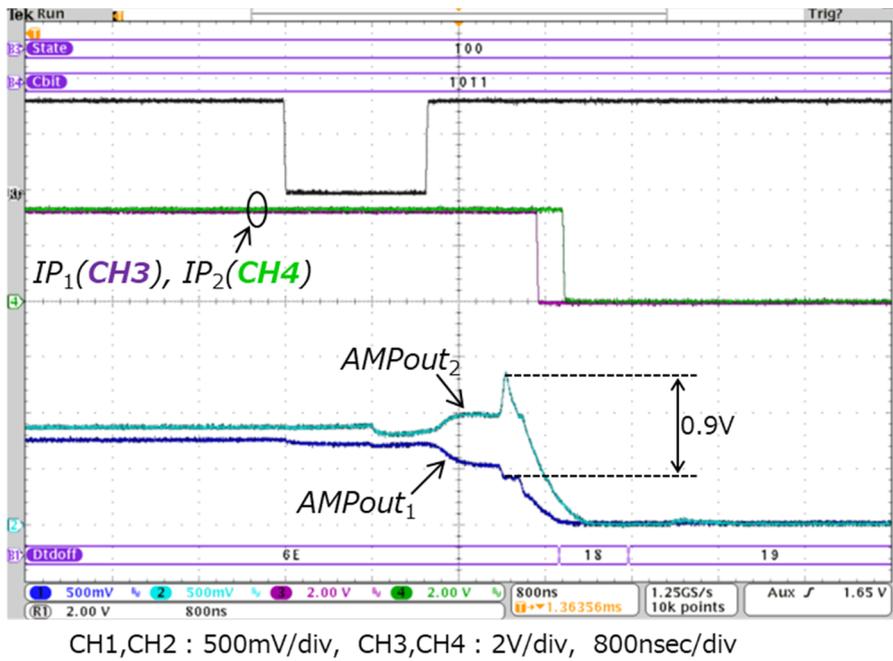


CH1,CH2 : 500mV/div, CH3,CH4 : 2V/div, 800nsec/div

(b) 遅延時間制御前の電流不均一の様子



(c) 遅延時間制御途中の電流不均一の様子



(d) 遅延時間制御後の電流不均一の様子

図 3.30 試作した GDIC を適用したチョップ回路のマルチパルス・スイッチング波形 (ターンオフ時)

以上のように、提案した $R_{OUT_dynamic}$ と閉ループ遅延時間制御を適用したゲート駆動 IC (GDIC) を用いる事により、並列接続された IGBT 間の遅延時間差に起因する電流不均一を大幅に抑制できる事を確認した。GDIC では、閉ループ遅延時間制御回路自身が、センス IGBT によりセンスした電流情報からメイン IGBT の t_{dON} および t_{dOFF} を抽出し、抽出した t_{dON} および t_{dOFF} から ΔDtd_{ON} および ΔDtd_{OFF} を算出し、算出した ΔDtd_{ON} および ΔDtd_{OFF} が最小となるように $R_{OUT_dynamic}$ の R_{OUT} を制御する。 ΔDtd_{ON} および ΔDtd_{OFF} が最小となる事で電流不均一も最小となるため、電流不均一の抑制が可能となる。また、ステートマシンが一旦”STEADY”ステートへ遷移しても、動作条件や動作温度等の外部環境が変化し、 ΔDtd_{ON} および ΔDtd_{OFF} が増大したとしても、閉ループ遅延時間制御回路が ΔDtd_{ON} および ΔDtd_{OFF} の増大を検出し、再び最小となるように $R_{OUT_dynamic}$ の R_{OUT} を切り替えており、所望の制御が実施されている事が分る。

実際のアプリケーションにおいては、パワーモジュールに実装された構成にて適用される事が想定されるため、次項では IPM (Intelligent Power Modules) に GDIC を実装し、パワーモジュールの形状にて動作検証を実施した。

3.4 試作した GDIC を搭載した IGBT モジュールでの動作検証

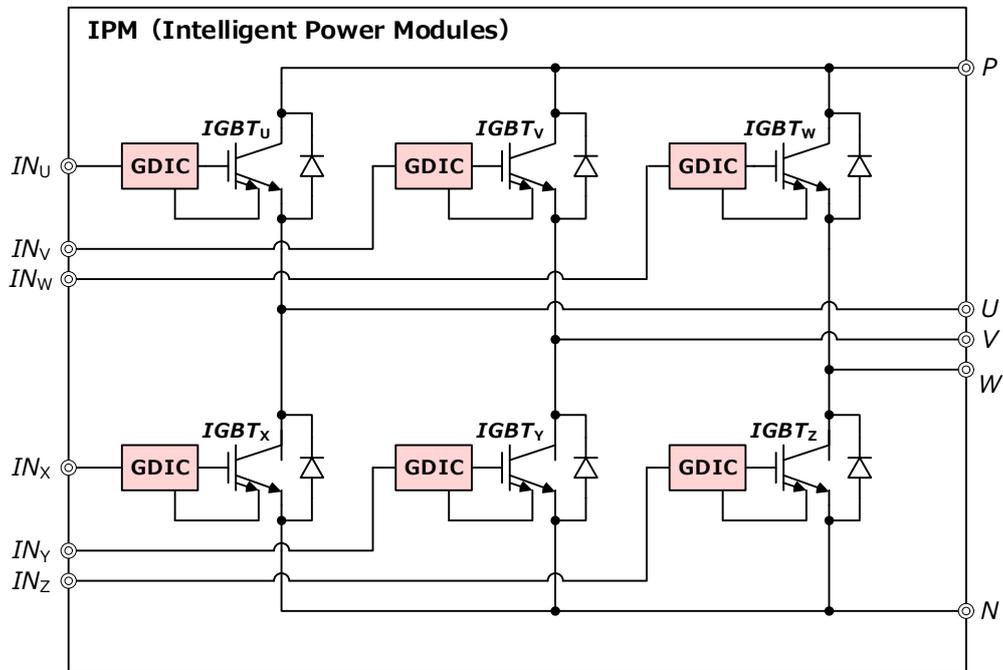
3.3 項では、専用の簡易パッケージに搭載した IGBT チップおよび FWD チップを用い、それら簡易パッケージを直接 PCB ボードに実装しチョッパ回路を構成した評価回路にて GDIC の動作検証を行ってきた。また、並列接続された IGBT 間の電流不均一は、GDIC に入力するゲート信号に CPLD を用いて外部から強制的に時間差を与える事で IGBT 間の遅延時間差を生成し、電流不均一を発生させていた。しかしながら、実際のアプリケーションにおいては、パワーモジュールに実装された構成にて適用され、遅延時間差も適用されたパッケージや素子の特性差などで決まるため、実際のパワーモジュールに GDIC を実装し、閉ループ遅延時間制御の効果の検証を行った。

(1) 試作した GDIC の IPM (Intelligent Power Modules) への搭載

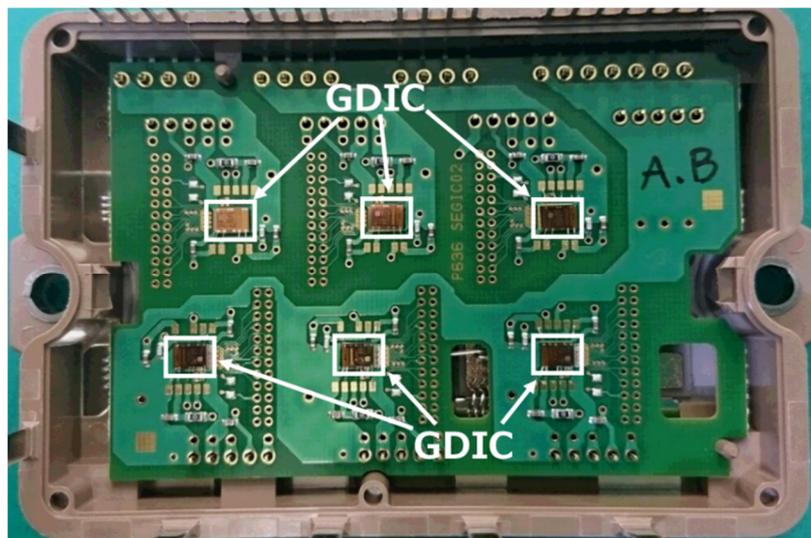
GDIC のパワーモジュールへの実装については、富士電機製の IPM (Intelligent Power Modules) を用いて実施した。IPM は、ドライブ回路と保護回路の両方を内蔵した制御 IC が搭載されたインテリジェント型 IGBT モジュールであり、DCB (Direct Copper Bonding) 基板上に実装された IGBT チップおよび FWD チップと、制御 IC が実装された PCB が1つのパッケージ内に封止された IGBT モジュールである。従って、現状の制御 IC が搭載された PCB と、試作した GDIC が実装された PCB とを入れ替える事により、比較的容易に IPM への搭載が可能となる。

図 3.30 に、GDIC を搭載した構成図および IPM の写真をそれぞれ示す。図 3.30 (a) に示すように、IPM はモジュール内部で三相ブリッジ回路 (U 相、V 相、W 相) を構

成しており、P, N 端子に主電源を接続し、U, V, W 端子に三相出力線を接続すれば、主回路が構成される。U 相の上下アームで 2 個の IGBT ($IGBT_U$, $IGBT_x$)、V 相の上下アームで 2 個の IGBT ($IGBT_V$, $IGBT_y$)、W 相の上下アームで 2 個の IGBT ($IGBT_W$,



(a) IPM 内部の構成図



(b) GDIC を搭載した IPM 内部の写真

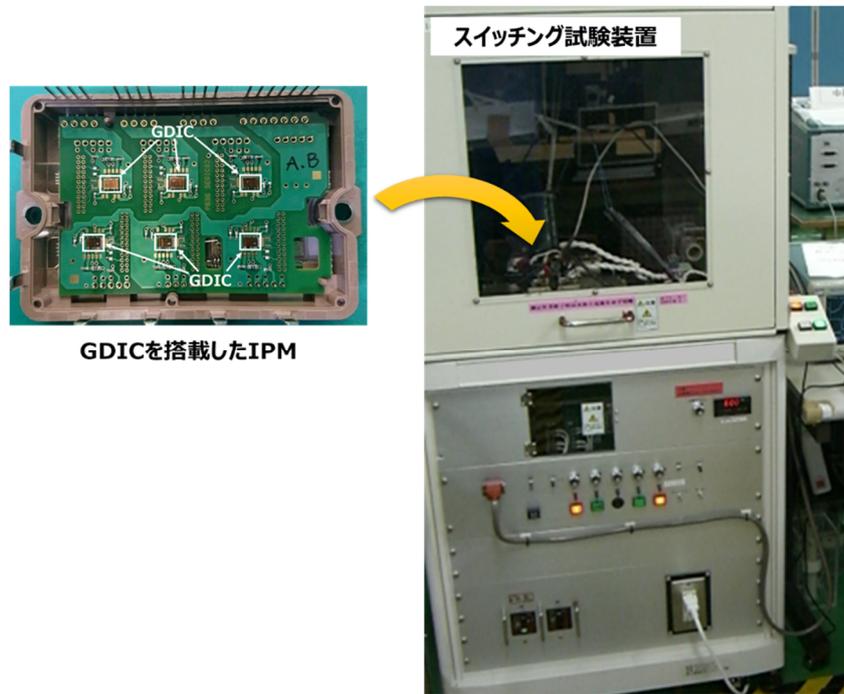
図 3.30 試作した GDIC を搭載した IPM

IGBT_Z)と、合計で 6 個の IGBT および FWD チップを搭載している。用いた IGBT 素子および FWD 素子は、富士電機製の第 7 世代(X シリーズ)素子で、電圧定格が 600 V で電流定格が 50 A の素子である。各 IGBT チップに対して、個別に GDIC を接続した構成であり、IGBT と同様に計 6 個の GDIC を搭載している。図 3.30 (b)に示すように、試作した GDIC を 6 個実装した PCB をモジュール内に組み込み、IPM への搭載を実現している。IGBT チップと FWD チップを搭載した DCB は、GDIC を搭載した PCB の下に配置されており、PCB の上下に配置した接続ピンにて接続されている。

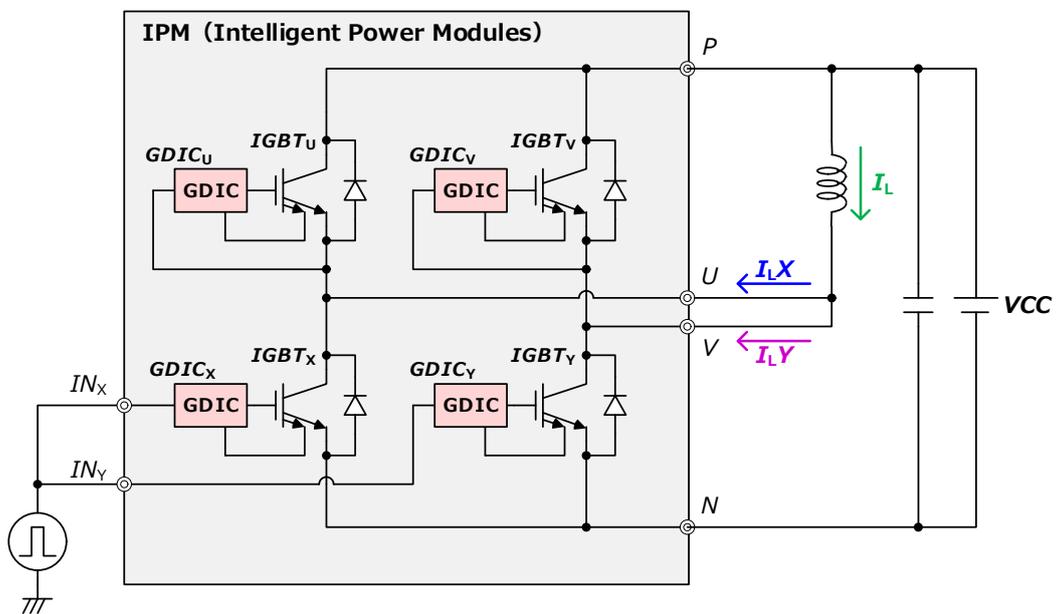
(2) 試作した GDIC を搭載した IPM での電流不均一抑制効果の検証

試作した GDIC を搭載した IPM にて、電流不均一抑制のための閉ループ遅延時間制御の検証を行った。図 3.31 に、試作した GDIC を搭載した IPM の評価に用いた評価環境を示す。スイッチング試験装置に図 3.30 で示した IPM を接続し、入力端子にマルチパルス印加する事で連続スイッチング動作を行い、並列接続された IGBT 間の電流不均一を測定した。各種電圧波形は、オシロスコープ (Agilent Technologies MSO 5054B) でプロービングしており、電流波形は電流プローブ (テクトロニクス製: P6021A) を用いて測定している。

IGBT の並列接続に関しては、使用したスイッチング試験装置が並列接続されたモジュールでの測定に対応していないため、IPM 内の三相ブリッジ回路の U 相と V 相を用いて実現した。図 3.31 (b)に、IPM 内の U 相と V 相を用いて構成した、チョッパ回路 (IGBT を並列接続) の配線図を示す。IPM の U 相出力端子と V 相出力端子を外部で接続する事で、上アームの IGBT_U と IGBT_V が並列接続となり、また、下アームの IGBT_X と IGBT_Y が並列接続となる。更に、上アームの IGBT_U と IGBT_V をオフ状態とし、並列接続された下アームの IGBT_X と IGBT_Y をスイッチング動作させる事により、チョッパ回路として動作する。従って、上アームの IGBT_U と IGBT_V に接続された GDIC (GDIC_U, GDIC_V) の入力端子は、それぞれ IGBT_U と IGBT_V のエミッタに接続し、下アームの IGBT_X と IGBT_Y に接続された GDIC (GDIC_X, GDIC_Y) の入力端子には、パルスジェネレータを接続している。外部で接続した U 相出力端子と V 相出力端子と電源 VCC が接続された P 端子間に負荷としてインダクタンスを接続し、スイッチング時の負荷電流 (I_L) と U 相出力端子および V 相出力端子に流れ込む電流 (I_{LX} , I_{LY}) をそれぞれ測定した。本測定では、下アームの IGBT_X と IGBT_Y に接続された GDIC_U および GDIC_V に入力するゲート信号は同一のパルス波形としており、外部から強制的に時間差を与えたりはしていない。また、ノイズによる誤動作を抑えるために、VCC=100 V にて動作検証を行った。簡易パッケージを直接プリント回路基板に実装し構成したチョッパ回路での評価時と同様に、試作した GDIC は動作検証のために IC 内部の信号を外部へ取り出しているため、ノイズの影響を受けやすい事が要因である。GDIC を製品に適用し、実際のアプリケーションで使用する段階においては、内部信号を外部へ取り出すための配線や端子は取り除かれるため、高電源電圧でのスイッチングにおいてもノイズの影響を大幅に低減する事は可能と思われる。



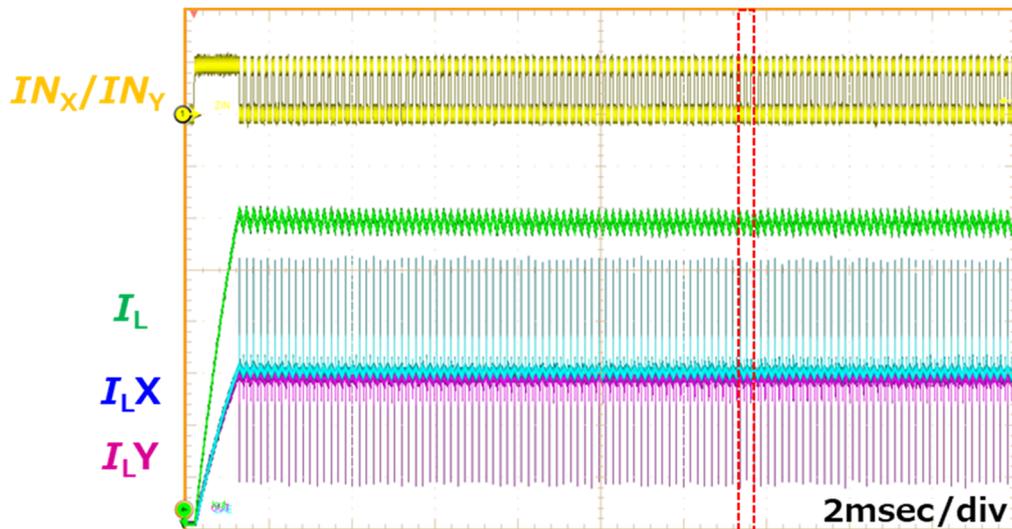
(a) 評価装置(スイッチング試験機)



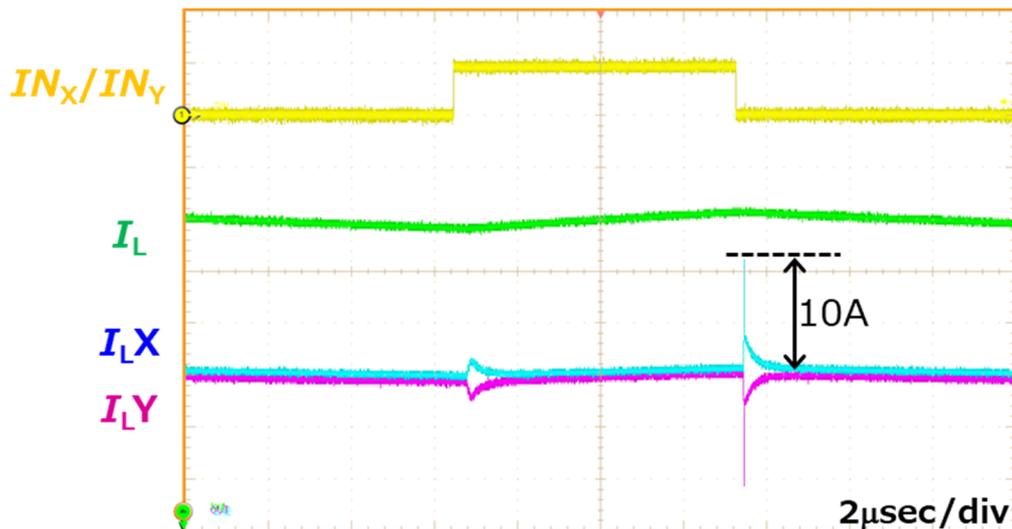
(b) 評価装置の構成および IPM との配線図

図 3.31 試作した GDIC を搭載した IPM の評価環境

図 3.32 に、試作した GDIC を搭載した IPM にて実現した、並列接続された IGBT で構成されたチョッパ回路におけるスイッチング波形を示す。図 3.32 は、GDIC に内蔵された閉ループ遅延時間制御回路を無効とし、電流不均一抑制を行わなかった場合のスイッチング波形である。GDIC_U および GDIC_V の入力端子 (IN_X, IN_Y) に、周波数 6 kHz のパルス波形を入力している。入力したパルス波形のデューティ比は、負荷電流 (I_L) が 30 A を維持するように調整している。



(a) IPM で構成したチョッパ回路のスイッチング波形(制御無し)



(b) (a)内の赤点線の部分を拡大した波形

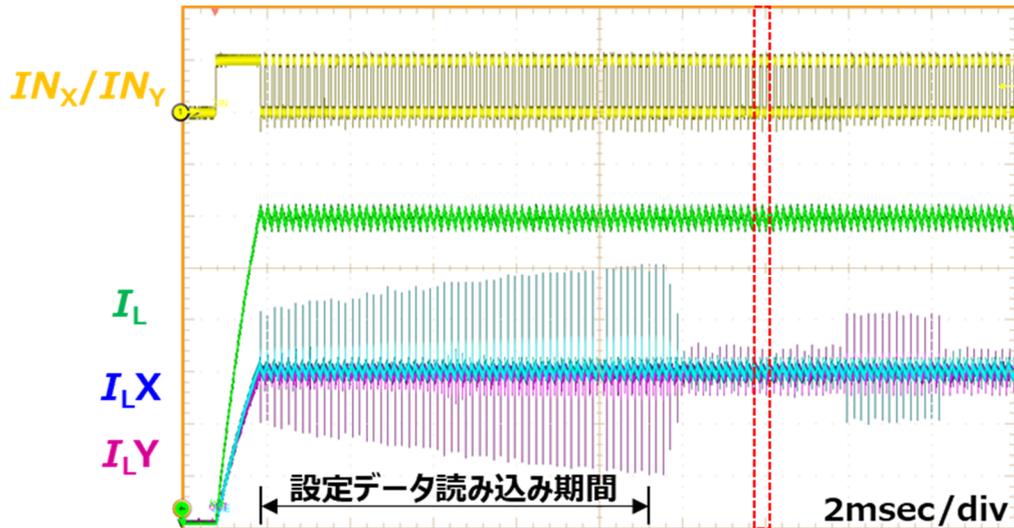
図 3.32 試作した GDIC を搭載した IPM で構成したチョッパ回路のスイッチング波形(閉ループ遅延時間制御無し)

図 3.32 (b)は、図 3.32 (a)内に示した赤点線の領域を拡大した図である。図に示すように、 $GDIC_U$ および $GDIC_V$ には同一のゲートパルス波形が入力されている。しかしながら、ターンオン時およびターンオフ時の両方の過渡期間に $IGBT_X$ への電流集中が発生し、電流不均一が観測されている。特にターンオフ時の $IGBT_X$ への電流集中は大きく、10 A 程度の電流不均一となっている。この電流不均一は、IPM 内の配線や DCB 基板レイアウトの非対象および IGBT の特性差に起因して生じた遅延時間差により生じていると思われる。図 3.32 (a)からも分かるように、この電流不均一は、毎スイッチング周期で発生しており、ターンオフの度に大きな電流が $IGBT_X$ に流れている。

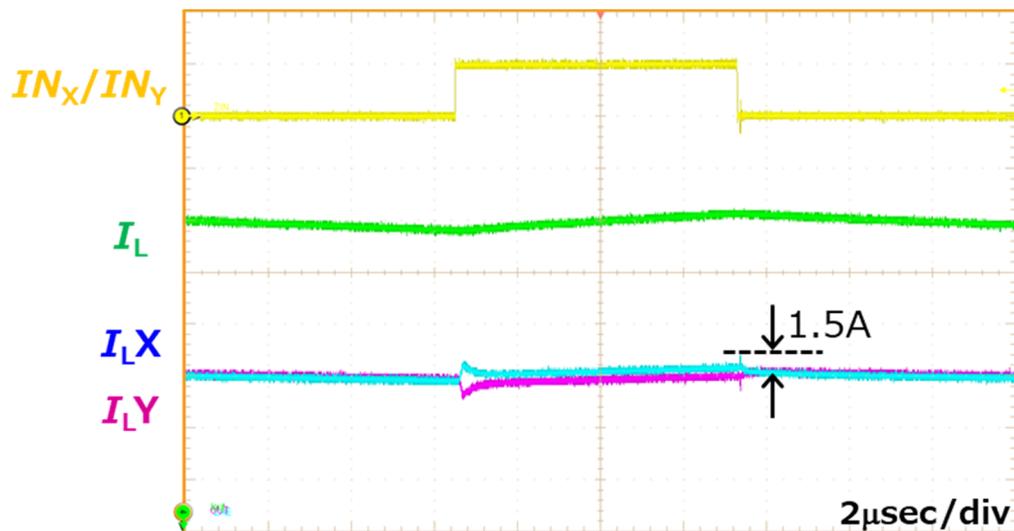
本測定では、仮に並列接続された IGBT のどちらかがオープンの状態になったとしても、電流定格を大きく上回る電流がもう一方の IGBT に流れる事がないように、 $I_L=30$ A となるようにパルス波形のデューティ比を調整している。そのため、定常時には $IGBT_X$ および $IGBT_Y$ にはそれぞれ 15 A 程度の電流が分担される設定となっている。図 3.32 (a)では若干の差はあるが、定常時には設定通りの $I_{LX} = I_{LY} = 15$ A となっているのが確認できる。しかしながら、ターンオフ時には $I_{LX} = 25$ A となっており、 $IGBT_X$ には定常時の約 1.7 倍の電流がターンオフ時に流れ、この電流集中はスイッチングの度に発生する事となる。ターンオフ時に定常時の 1.7 倍の電流が流れても IGBT が電流定格内で動作するためには、動作電流範囲を電流定格の 0.6 倍までデレーティングする必要がある。序論でも述べたように、デレーティングは非常に大きなロスコストの要因となるため、電流不均一の抑制が必要となる。

そこで、閉ループ遅延時間制御回路を有効とし、図 3.32 のスイッチング波形を取得した測定と同じ測定を実施した。結果を、図 3.33 に示す。図 3.32 と同様に、図 3.33 (b)は図 3.33 (a)内に示した赤点線の領域を拡大した図である。制御回路のリセット状態を解除した状態で GDIC の入力端子 (IN_X , IN_Y) に周波数 6kHz の連続パルスを入力し、スイッチング動作時の負荷電流 (I_L) と U 相出力端子および V 相出力端子に流れ込む電流 (I_{LX} , I_{LY}) をそれぞれ測定した。図 3.32 (a)では、最初のスイッチング動作のターンオフ時から大きな電流不均一が観測され、2 回目のスイッチング以降も同程度の電流不均一が継続して観測されている。これに対し図 3.33 (a)では、最初のスイッチング動作のターンオフ時から電流不均一は観測されるものの、スイッチングの度に電流不均一が増加している。今回試作した GDIC は、不揮発性のメモリを集積していないため、リセット解除後は必ずデータレジスタへ設定データ ($R_{OUT_dynamic}$ の初期 R_{OUT} 設定データ、カットオフ周波数設定データ、基準電圧設定データ、AMP の増幅率設定データ等) を書き込まなければならない、その期間制御回路は制御動作を行わず、更に設定データの設定が完了するまでは $R_{OUT_dynamic}$ の R_{OUT} が変動するため、電流不均一も変動してしまう。しかし、設定データの読み込み期間が完了し、閉ループ遅延時間制御回路が制御動作を開始すると、制御回路自らが遅延時間差を検出し、更に遅延時間差が最小になるように R_{OUT} を制御するため、電流不均一がスイッチング毎に減少していく。図 3.33 (a)の測定結果から、閉ループ遅延時間制御回路により電流不均一が抑制されている事がわかる。図 3.33 (b)に示すように、閉ループ遅延時間制御回路により、図 3.32 (b)で観測された 10 A の電流不均一が 1.5 A まで抑制されているのが分かる。図 3.33 (a)では、1.5 A まで抑制された後に再び不均一の発生

が観測されているが、その電流不均一も再び抑制されており、閉ループ遅延時間制御回路が正常に機能している事が確認できる。



(a) IPM で構成したチョッパ回路のスイッチング波形(制御有り)



(b) (a)内の赤点線の部分を拡大した波形

図 3.33 試作した GDIC を搭載した IPM で構成したチョッパ回路のスイッチング波形(閉ループ遅延時間制御有り)

以上のように、試作した GDIC を搭載した IPM にて、電流不均一抑制のための閉ループ遅延時間制御機能の検証を行った。IGBT の並列接続は、IPM の U 相出力端子と V 相出力端子を外部で接続する事で実現し、構成したチョッパ回路に連続パルス波形を入力しスイッチング動作を行った。構成したチョッパ回路では、各 GDIC に入力したパルス波形間に時間差を与えていないにも関わらず、過渡期間に電流不均一の発生が確認されており、IPM 内の配線や DCB 基板レイアウトの非対象および IGBT の特性差によって生じた遅延時間差が要因と思われる。GDIC の閉ループ遅延時間制御回路を有効にする事で、観測された電流不均一は大幅に抑制されており、制御回路自身が遅延時間差を検出し、遅延時間差が最小となるように自ら $R_{OUT_dynamic}$ の R_{OUT} を制御する事で、電流不均一が抑制される事が確認された。電流不均一が抑制された後も、遅延時間差の増大に伴う電流不均一の増大が検出されると、再び制御回路自身が $R_{OUT_dynamic}$ の R_{OUT} を制御する事で、電流不均一が抑制される事も確認された。この事から、IPM に搭載した GDIC においても、提案した閉ループ遅延時間制御機能が、IGBT 間の遅延時間差に起因する電流不均一の抑制および動作条件や動作温度等の外部環境が変化による電流不均一の増大や発生の抑制に効果的である事が示された。

3.5 まとめ

$R_{G_dynamic}$ に変わる IGBT の遅延時間制御手法として、ゲート駆動 IC の出力段の出力抵抗 (R_{OUT}) をスイッチング期間内に変化させる $R_{OUT_dynamic}$ を提案した。 $R_{OUT_dynamic}$ は、セグメント型出力段技術をベースに構成した可変出力抵抗であり、複数のセグメント出力段の出力抵抗を利用し、使用するセグメント出力段の組み合わせを変える事で抵抗値を制御する。従って、構成するセグメント出力段の数を増やす事で、より多くの抵抗値の実現が可能となり、 R_{OUT} の多値化が容易となる。また、セグメント出力段を MOS-FET で構成する事で、その W/L 比で抵抗値が容易に調整でき、CMOS プロセスにて IC 化も容易となる。本章では、 $R_{OUT_dynamic}$ の試作を行い、実機にて $R_{OUT_dynamic}$ による遅延時間制御効果の検証を行い、 $R_{G_dynamic}$ と同様にスイッチング損失の増加および di_{CE}/dt の低下による電流不均一を発生させる事なく、遅延時間差による電流不均一が抑制できる事を確認した。

また、電流不均一抑制のための閉ループ遅延時間制御手法を提案し、提案した閉ループ遅延時間制御回路を集積したゲート駆動 IC (GDIC) の試作も行った。試作した GDIC では、センス IGBT にてセンスした電流情報から電流パルス波形を生成し、生成した電流パルス波形を用いて遅延時間 (t_{dON} , t_{dOFF}) および遅延時間差 (Δt_{dON} , Δt_{dOFF}) を算出し、算出した Δt_{dON} および Δt_{dOFF} がゼロとなるように $R_{OUT_dynamic}$ の R_{OUT} を制御する。序論で述べたように、過渡期間に発生する電流不均一は、並列接続された IGBT 間の Δt_{dON} および Δt_{dOFF} が主要因であるため、 Δt_{dON} および Δt_{dOFF} をゼロとする事で電流不均一は抑制可能であり、試作した GDIC による閉ループ遅延時間制御により過渡期間の電流不均一が大幅に抑制できる事を確認した。また、動作

条件や動作温度などの外部環境の変化によって遅延時間差が増大し、それに伴い電流不均一が増大した場合においても、閉ループ遅延時間制御回路が増大した遅延時間差を検出し、 R_{OUT} を再調整する事で増大した電流不均一を抑制する動作も確認する事ができた。実際のアプリケーションにおいては、動作条件や動作温度などが動作中に変化し、それに伴い t_{dON} および t_{dOFF} が変動するため、 Δt_{dON} および Δt_{dOFF} も同様に変動し、電流不均一も影響を受ける。提案した閉ループ遅延時間制御回路は、スイッチング毎に Δt_{dON} および Δt_{dOFF} の算出を行うため、外部環境の変化に伴う Δt_{dON} および Δt_{dOFF} の変動が発生した場合には、変動を検出し電流不均一増大を抑制する事が可能となり、実際のアプリケーションへの適用に大きく貢献し得る技術であると言える。

試作した GDIC を、実際の IGBT モジュール (IPM を使用) に搭載し、GDIC を搭載したモジュールにて電流不均一抑制効果の検証も行った。試作した GDIC を搭載した IPM においても、閉ループ遅延時間制御により過渡期間の電流不均一が大幅に抑制できる事を確認した。

参考文献

- [26] M. Sasaki, H. Nishio, A. Shorten and W.T. Ng, “Current balancing control for parallel connected IGBTs using programmable gate driver output resistance”, International Symposium on Power Semiconductor Devices and ICs, 2013, pp. 65-68
- [27] A. A. Fomani and W.T. Ng, “A segmented gate driver with adjustable driving capability for efficiency optimization”, International Power Electronics Conference (IPEC), 2010, pp.1646-1650

第 4 章

結論

本研究では、パワー半導体素子やパワー半導体モジュールを並列接続して使用する場合に問題となる、素子間もしくはモジュール間の電流不均一、特にターンオンおよびターンオフ等の過渡時に発生する電流不均一を抑制するための IGBT の駆動技術の確立を目的とし、IGBT を駆動する際にゲート抵抗をターンオン期間およびターンオフ期間内でダイナミックに変化させる事で電流不均一を抑制する手法を提案し、ディスクリート部品で構成したテストボードにて実機検証を行い、その効果を示した。また、上記電流不均一抑制手法をゲート駆動 IC に集積するための集積化手法の検証を行い、実際に電流不均一抑制機能を集積したゲート駆動 IC の試作を行い、試作した IC を実装した IGBT モジュールを用いた電流不均一抑制効果の検証も行った。

以下に本研究の成果を要約し、本論文の結論とする。

第 2 章では、遅延時間差の直接的な要因となる IGBT 間におけるターンオン遅延時間およびターンオフ遅延時間の違いを補正する手法に主眼を置き、IGBT のスイッチング特性について言及し遅延時間差を制御する手法の検証を行った。IGBT のスイッチング特性はゲート容量の充放電に依存するため、ゲート抵抗による遅延時間の制御も可能となるが、その背反としてスイッチング損失の増大や di_{CE}/dt の低下に伴う遅延時間差とは異なる要因の電流不均一の発生がある事を実機により確認し、スイッチング損失の増大や di_{CE}/dt の低下に伴う電流不均一を発生させる事なく遅延時間のみを変化させるゲート抵抗制御の必要性を明確にした。

IGBT のスイッチングにおいては、遅延時間が決まる期間とスイッチング損失および di_{CE}/dt が決まる期間が異なる事に注目し、期間毎にゲート抵抗を調整するダイナミック可変ゲート抵抗 ($R_{G_dynamic}$) および $R_{G_dynamic}$ 用いた電流不均一抑制技術を提案し、その検証を行った。検証の結果、ターンオン時においては IGBT のゲート電圧が増加し始めてから I_{CE} が上昇し始めるまでの期間、ターンオフ時においてはゲート電圧が減少し始めてから I_{CE} が減少し始めるまでの期間のみゲート抵抗を変化させ、その他の期間は初期に設定した抵抗値とする事で、スイッチング損失の増大や di_{CE}/dt の低下に伴う電流不均一を発生させる事なく遅延時間のみを変化させる事が可能である事を実機により確認し、更に過渡時の電流不均一の抑制も可能であることを確認した。本研究の検証では、70 %程度の電流不均一の抑制が確認され、当該技術が過渡時の電流不均一の抑制に有効であることを示す事ができた。

第 3 章では、第 2 章で原理検証を行ったダイナミック可変ゲート抵抗技術の IC 化手法および実アプリケーションへの適用に不可欠となる電流不均一のための閉ループによるフィードバック制御手法の検証を行った。その中で、ダイナミック可変ゲート抵抗技術の IC 化手法として、セグメント型出力段技術をベースに構成した可変出力抵抗を提案した。本可変抵抗をゲート駆動 IC の出力段に適用する事で、ゲート駆動 IC の出力抵抗をターンオン期間およびターンオフ期間内でダイナミックに変化させる事が可能となり、 $R_{G_dynamic}$ と同様な遅延時間制御が可能となる。セグメント型出力段技術をベースに構成した可変出力抵抗を適用した出力段のみの IC を試作し、試作した IC による検証において、 $R_{G_dynamic}$ と同様な遅延時間制御および過渡時の電流不均

一抑制効果が確認された。本技術により、 $R_{G_dynamic}$ のゲート駆動 IC への集積が可能となる。

閉ループによるフィードバック制御手法については、ステートマシンで構成した制御回路へフィードバックする電流情報として、電流センサで検出した電流波形を電流パルス波形に変換し、電流パルス波形からデジタル値化されたターンオン遅延時間情報とターンオフ遅延時間情報とする事で、制御回路への取り込みが容易になる事を確認した。

また、第 3 章ではセグメント型出力段技術をベースに構成した可変出力抵抗と、電流パルス波形に変換しターンオン遅延時間情報とターンオフ遅延時間情報を抽出する手法を用いて構成した電流不均一抑制機能の両方を集積したゲート駆動 IC の試作を行い、実機での検証も実施した。検証の結果、ゲート駆動 IC 自らが並列接続された IGBT 間の遅延時間差を検出し、検出した遅延時間差を予め設定された遅延時間差以下となるように、ターンオンもしくはターンオフ期間内の出力抵抗を調整する動作が確認され、その結果過渡時の電流不均一も抑制され、ターンオン時で 91 %、ターンオフ時で 70 % の電流不均一の抑制が確認できた。これにより、動作条件や動作温度等の外部環境変化に伴う遅延時間差の変動に対しても補正が可能となるため、実アプリケーションへの適用に大きく貢献すると考えられる。また、試作したゲート駆動 IC が実装された IGBT モジュールの試作も行い、IGBT モジュールの形態にて電流不均一効果の検証を実施し、同様の効果を確認している。しかしながら、本研究にて試作したゲート駆動 IC は、内部回路の動作確認を可能とするため内部信号を外部へ取り出しており、スイッチングノイズ等のノイズに影響を受けやすい IC となっているため、IGBT モジュールの実機評価においては、印加電圧を定格電圧よりも下げた状態での評価となっているため、ノイズ対策を実施し定格電圧での実機検証が今後の課題となる。

再生エネルギーや電気自動車等の分野における大容量化への要求は、今後も増大していくと推定され、それに伴い大容量化が求められるパワーエレクトロニクス機器の重要度も高まると予想され、パワー半導体素子やパワー半導体モジュールを並列接続して使用する領域も広範囲となると予想される。本研究にて得られた電流不均一抑制技術や電流不均一のためのフィードバック制御、および IC への集積に関する知見をベースに新製品の開発に取り組み、脱炭素社会の実現に大きく貢献していきたい。

発表論文一覧

学術論文

1. Masahiro Sasaki, Koji Yano “Turn On/Off Delay Time Control for Current Balancing in Parallel Connected IGBTs without Increasing Switching Loss” IEEJ Transactions on Electrical and Electronic Engineering 11/1 2022, pp. 187 - 188
2. Masahiro Sasaki, Kazumi Takagiwa, Koji Yano “Gate Driver ICs with Closed-Loop Current Balancing Control for Parallel Connected IGBTs” IEEJ Journal of Industry Applications 11/6 2022, pp. 822 – 832

国際学会発表

1. Masahiro Sasaki, Haruhiko Nishio, Wai Tung Ng “Dynamic gate resistance control for current balancing in parallel connected IGBTs” Applied Power Electronics Conference and Exposition, 2013 pp. 244 - 249
2. Masahiro Sasaki, Haruhiko Nishio, Andrew Shorten, Wai Tung Ng “Current balancing control for parallel connected IGBTs using programmable gate driver output resistance” International Symposium on Power Semiconductor Devices and ICs, 2013 pp. 65 - 68

国内学会発表

1. 佐々木雅浩、西尾春彦、Wai Tung Ng “出力抵抗可変ゲートドライバを用いた並列接続 IGBT における電流バランス制御” 電気学会 電子デバイス/半導体電力変換合同研究会 EDD-13-078, 2013

謝辞

本論文の作成にあたりご指導、ご鞭撻を頂きました多くの方々に感謝致します。特に、国立大学法人山梨大学大学院 矢野浩司教授には、ご親切なご教示およびご指導を賜りましたことに心より感謝致します、また、本論文の作成にあたりご指導、ご高配を賜りました国立大学法人山梨大学大学院 大木真教授、村中司准教授、白木一郎准教授、小野島紀夫准教授に深く感謝の意を表します。

本研究を遂行するにあたりご指導、ご支援を頂きました富士電機株式会社 半導体事業本部 開発統括部長 大西泰彦博士、デバイス開発部長 椎木崇様、パワーデバイス課長 小野澤勇一博士、トロント大学 Ng 教授に深く感謝致します。

また、本研究の機会を与えて頂くと共に、推進にあたり多大なるご支援を頂きました富士電機株式会社 半導体事業本部 藤平龍彦博士、回路・PIC 課長 澄田仁志博士に深く感謝致します。

試作 IC の設計・評価などでご支援頂いた、富士電機株式会社 半導体事業本部 高際和美様に深く感謝致します。また、電流不均一抑制手法に関するディスカッションや様々な実機評価などでご支援頂いた、西尾春彦様、川島鉄也様、小宮山典宏様、桜井洋輔様に深く感謝致します。

最後に、本研究の遂行を温かく見守り、全面的に支えてくれた家族に心から感謝致します。