

逆阻止型 IGBT の結晶欠陥解析と  
電気的特性に関する研究

山梨大学大学院  
医学工学総合教育部  
博士課程学位論文

2021 年 3 月

脇本 博樹

# 目次

第 1 章	序論	
1.1	はじめに	1
1.2	パワーエレクトロニクスとパワー半導体デバイス	1
1.3	パワー半導体デバイスに必要とされる電気特性	2
1.4	RB-IGBT の特徴	6
1.5	本研究の目的と論文構成	8
第 2 章	アドバンスド T-type NPC3 レベル電力変換用 RB-IGBT の開発	
2.1	AT-NPC 電力変換回路	11
2.2	IGBT セル構造と動作原理	13
2.3	RB-IGBT の構造	17
2.4	RB-IGBT の製造プロセス	18
2.4.1	p 型分離領域形成技術	20
2.4.2	キャリアライフタイム制御	24
2.4.3	コレクタ構造	27
2.5	漏れ電流低減による高性能化	31
第 3 章	漏れ電流発生メカニズムと構成成分	
3.1	漏れ電流発生メカニズム	35
3.2	発生漏れ電流	36
3.3	拡散漏れ電流	37
3.4	漏れ電流の温度依存性	38
第 4 章	半導体バンドギャップ内の深い準位の解析	
4.1	DLTS 解析手法	42
4.2	DLTS 解析条件	51

4.3	パワーデバイスにおいて形成される結晶欠陥	54
第5章	DLTSによるRB-IGBTの欠陥準位解析	
5.1	従来RB-IGBTサンプル概要	56
5.2	従来RB-IGBTのDLTS解析結果	58
5.3	p <sup>+</sup> コレクタ活性化改善手法	69
5.4	p <sup>+</sup> コレクタ活性化手法改善品のDLTS結果	74
第6章	RB-IGBTの漏れ電流の解析	
6.1	深いトラップ準位の漏れ電流への影響	80
6.2	温度依存性の解析	80
6.3	漏れ電流の実測値と計算値の比較	83
第7章	まとめと今後の課題	92
研究業績		95
謝辞		97

# 第 1 章 序論

## 1.1 はじめに

パワー半導体デバイスはエネルギー供給などの電力変換装置にはなくてはならない部品であり、その用途は拡大を続けている。近年では、省エネルギー化、高効率化、パリ協定などによる CO<sub>2</sub> 排出量抑制などの世界的なニーズを背景に、再生可能エネルギーをはじめ、ハイブリッド自動車 (HEV) や電気自動車 (EV) など電動化車両の普及が進んでおり、これらを支えるパワーエレクトロニクス(パワエレ)技術のキーデバイスとして、絶縁ゲート型バイポーラトランジスタ(Insulated Gate Bipolar Transistor : IGBT)[1]や金属/酸化膜/半導体電界効果トランジスタ (Metal/Oxide/Semiconductor Field Effect Transistor : MOSFET) に代表されるパワー半導体デバイスは大きな役割を果たしている。産業機器向けでは、太陽光発電や風力発電などの再生可能エネルギー分野や、インターネットデータセンター(IDC)などの無停電電源装置 (UPS) の分野などで成長が見込まれている。これらの需要の高まりにより、パワエレ機器、ならびに、パワー半導体デバイスの世界市場規模は、ますます拡大していくと予想される。

今後、更なる利用拡大を目指すためには、パワエレ機器のさらなる高効率化が必要になる。最も効果的なアプローチとして、従来は 2 レベルが主流であった電力変換のマルチレベル化とパワー半導体デバイスの技術革新が挙げられる。

本論文では、近年、高効率、低ノイズな電力変換装置として注目されている、アドバンスド T タイプ中性点クランプ型(Advanced T-type Neutral Point Clamped、以降 AT-NPC と表記) 3 レベル電力変換装置[2, 3]への適用するための逆阻止型 IGBT(Reverse Blocking IGBT、以降 RB-IGBT と表記)[4, 5, 6]に関して述べる。

## 1.2 パワーエレクトロニクスとパワー半導体デバイス

パワー半導体デバイスは、電流を高速で ON/OFF することにより、電圧、周波数を変える、直流を交流、交流を直流に変えるなどの電力変換に使用される。 モータを

低速から高速まで精度良く回す、太陽電池で発電した電気を無駄なく送電網に送る等、様々な家電製品、電気器具に安定した電源を供給する場面でパワー半導体デバイスは必須になっている。

パワーエレクトロニクスによる電力変換とスイッチングに用いられるパワー半導体デバイスの概要を説明する。

図 1-1 に各種パワー半導体デバイスの適用分野を出力容量と動作周波数の関係として示す。MOSFET はデバイスの定格電圧、電流は小さいが、1 種類のキャリアでスイッチングを行うユニポーラデバイスであるためにスイッチング時間が短く、高周波向けのデバイスである。サイリスタは定格電圧・電流が高く、鉄道車両のモータ駆動や送変電などの電力制御などに用いられる。その中間に位置するのが IGBT であり、電圧駆動であるために制御しやすく、また、バイポーラデバイスであるために大きな電流をスイッチングできるなどの利点があり、汎用インバータや電気・ハイブリッド自動車のモータ制御、無停電電源(UPS)、太陽光発電に用いられるパワーコンディショニングシステム(PCS)など、その応用製品は幅広い。さらなる技術向上による出力容量増大や動作周波数の高周波化により、その応用範囲はますます広がってきている。

### 1.3 パワー半導体デバイスに必要とされる電気特性

パワー半導体デバイスを用いて電力変換するために必要とされる電気特性として、図 1-2 のように、①ON 状態、②ターンオフ、③OFF 状態、④ターンオンと 4 つに分けて説明する。

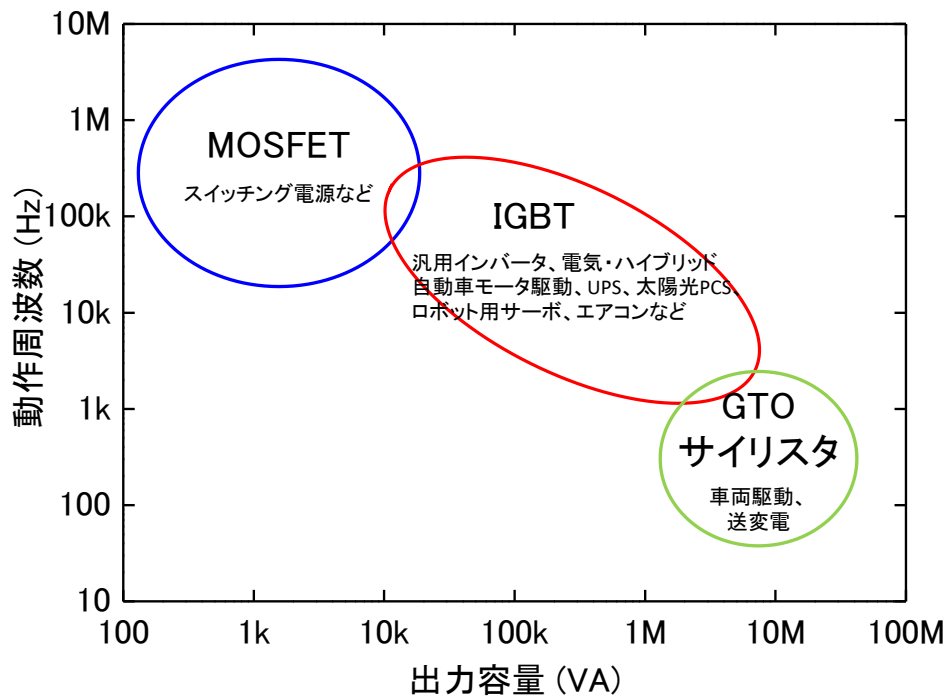


図 1-1 各種パワー半導体デバイスの適用分野

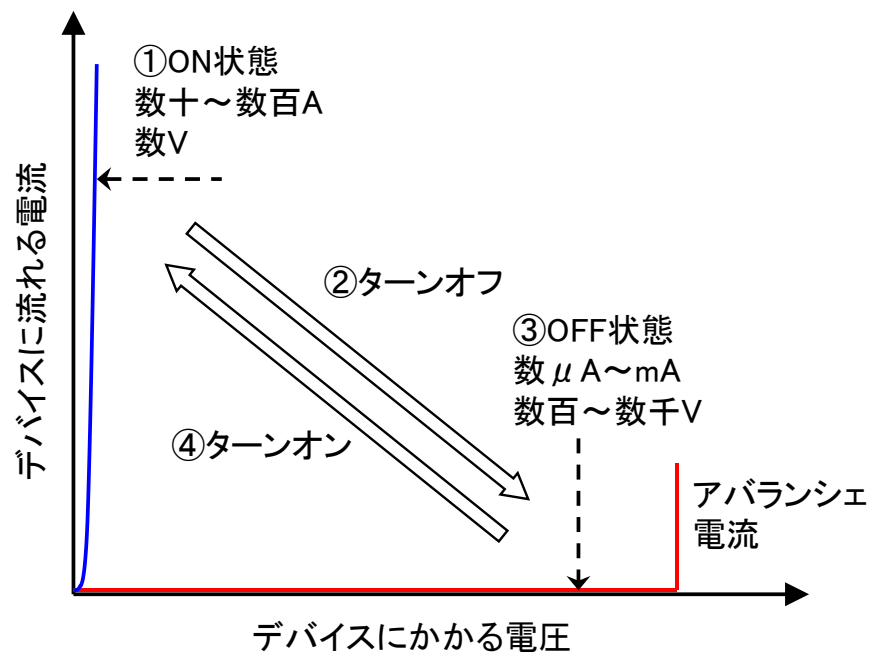


図 1-2 パワー半導体デバイスの ON/OFF 状態での電気特性

### ①ON 状態

数十から数百 A の大電流を流すモードである。MOS ゲートタイプのパワー半導体デバイスでは、MOS ゲートに ON 信号を与えてチャネルを開いた状態にする。この時のデバイスの両端電圧(ON 電圧)は数 V 程度である。ON 電圧が低いほど発生する損失(導通損失)は小さく、望ましい特性であるが、IGBT 等のバイポーラデバイスでは一般的に ON 電圧が低いほど、②に述べるターンオフ損失が増大するため、適用されるパワーエレクトロニクス製品の動作条件に応じて特性を最適化する必要がある。

### ②ターンオフ

MOS ゲートに OFF 信号を与えて、上記 ON 状態から電流をほぼ 0A にする過渡状態である。この期間の損失（ターンオフ損失）は、電流と電圧の時間積分値になる。適用されるパワーエレクトロニクス製品がインダクタンス負荷の場合は、**図 1-3** に示すようにインダクタンスと電流の時間変化率の積で決まるサージ電圧が発生する。このサージ電圧のピーク値が定格電圧に収まるようにデバイスを設計する必要がある。

また、デバイスのゲート端子とゲート制御回路の間に挿入するゲート抵抗( $R_g$ )によって、ターンオフ速度を制御することが可能である。 $R_g$  が小さい場合は、ターンオフ速度を早くできるため、ターンオフ損失を小さくすることができる。一方で、サージ電圧が大きくなる、電力変換装置として使用した場合に電磁ノイズが大きくなるなどのデメリットもある。

バイポーラデバイスでは、デバイス中の少数キャリアに由来するテール電流が発生し、ターンオフ損失に大きな影響を与える。

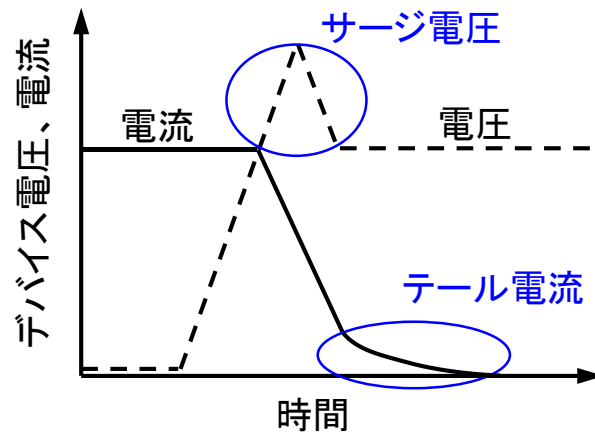


図 1-3 ターンオフ波形

### ③OFF 状態

MOS ゲートに OFF 信号を与え続けて、電流がほぼ 0、デバイス両端には数百～数千 V の電圧がかかった状態である。ただし、電流は完全に 0A にはならず、デバイス内部で発生するキャリアにより、微量な漏れ電流が流れている。室温では数 $\mu\text{A}$  以下であるが、高温では数 mA から数十 mA の漏れ電流が流れることがある。漏れ電流は電氣的なエネルギー損失にはほとんど寄与しないが、高温での漏れ電流が大きいと自己発熱でデバイスの温度が上昇し、さらに漏れ電流が増加することにより熱暴走する可能性があり、デバイスの動作温度を制約する場合もあるため、小さく抑える必要がある。

実際にデバイスをスイッチングさせる際の動作電圧に関し、前述のサージ電圧の発生等も考慮してデバイスの定格電圧の半分程度で使用する人が多い。一般的に、アバランシェ降伏で決まるデバイスの耐圧は、定格電圧よりもさらに数百 V 程度大きくなるように設計する。

### ④ターンオン

MOS ゲートに ON 信号を与えて、OFF 状態から大電流を流すまでの過渡状態である。この過渡期間で発生する電氣的エネルギー損失をターンオン損失と呼ぶ。この特



性は、MOS ゲート構造に大きく依存する。また、ターンオフと同様、 $R_g$  でターンオン速度を調整することが可能である。

上記の①～④を高速で繰り返すことにより、小さいエネルギー損失で電力変換を行い、かつ、ノイズの少ないパワーエレクトロニクス製品の実現につながる。

## 1.4 RB-IGBT の特徴

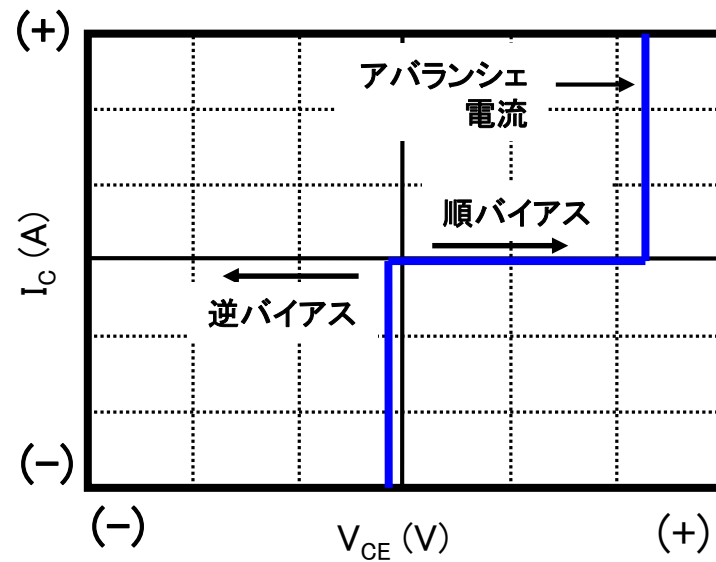
図 1-4 に OFF 状態での耐圧波形を示す。(a)は通常の IGBT、(b)は RB-IGBT である。

通常の IGBT では、MOS ゲートが閉じた状態では、エミッタに対してコレクタを正電圧にバイアスした時(順バイアスと呼ぶ)のみ高い電圧を OFF 状態に保持できる。所定の電圧以上が印加されるとエミッタ側の p-n 接合がアバランシェ降伏を起こし、急激にアバランシェ電流が流れる。一方、エミッタに対してコレクタに負電圧を印加した場合（逆バイアスと呼ぶ）は、高い電圧を保持できず、数 V 程度で電流が流れてしまう。

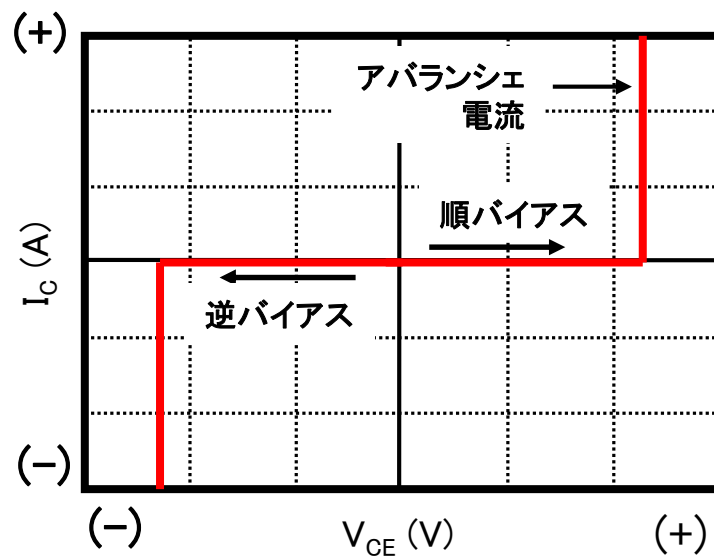
(b)RB-IGBT では、順バイアスだけでなく、逆バイアスを印加した場合でも高い電圧阻止能力を有することが最大の特徴である。そのため、RB-IGBT は AT-NPC 電力変換装置などの順・逆双方の耐圧が必要となる部分に適用され、低損失な電力変換装置が可能になる。

現行の RB-IGBT はシリコン半導体で作製している。近年は、SiC や GaN 等のワイドバンドギャップ半導体がパワー半導体デバイス分野で注目されている。現状では、これらのワイドバンドギャップ半導体は、基板やデバイス製造コストがシリコンよりも圧倒的に高い。また、逆阻止型の IGBT もしくは MOSFET を実現するには、MOS ゲート構造の反対面(デバイス製造上、基本的には研磨された面になる)、および、チップ側壁(こちらも機械的に切断された面になる)に漏れ電流が小さく、深いジャンクションを有する p/n 接合、もしくはショットキー接合が必須であるが、ワイドバンド

ギャップ半導体に関して言えば、現段階では技術的な難易度が高く、シリコン RB-IGBT が少なくとも数年は優位性を保つと考えられる。



(a) IGBTの耐圧特性



(b) RB-IGBTの耐圧特性

図 1-4 OFF 状態での耐圧波形

## 1.5 本研究の目的と論文構成

従来の RB-IGBT は、逆バイアスを印加した時の漏れ電流が大きい問題があり、デバイスの動作温度が制限される問題があった。漏れ電流が大きい原因はシリコン半導体中の結晶欠陥に由来すると考えられる。

本研究では、

- ・半導体物性の観点から漏れ電流の発生メカニズムを明らかにする
- ・結晶欠陥によるバンドギャップ中の深いエネルギー準位の解析手法を確立する
- ・RB-IGBT において、深いエネルギー準位を持つトラップ準位の分布を明らかにする
- ・漏れ電流の計算値と実測値と比較し、従来の RB-IGBT で漏れ電流が大きい原因を明らかにする

・漏れ電流を低減するための改善手法を適用し、RB-IGBT の漏れ電流を低減することを目的とし、実験ならびに理論的考察を行い、その結果をまとめたものである。本論文は全 7 章からなり、その構成は以下の通りである。

第 1 章は序論であり、パワーエレクトロニクスとパワー半導体デバイスの概要と、パワー半導体デバイスに必要とされる電気特性に関して説明したうえで、従来の IGBT に対して、本研究の対象である RB-IGBT の特徴に関して述べる。

第 2 章では、通常の IGBT と共通であるセル構造と動作原理、および、通常の IGBT が主に適用される電力変換回路に関して説明したうえで、RB-IGBT が主に適用されるアドバンスド T-type NPC(AT-NPC) 3 レベル電力変換回路に関して説明する。また、RB-IGBT の構造と、キーとなる製造プロセスに関して説明したうえで、次世代の高性能 RB-IGBT 作製のための特性改善の流れを示す。

第 3 章では、次世代高性能 RB-IGBT を作製する上で課題となっている漏れ電流に関し、漏れ電流の発生メカニズムと漏れ電流の構成成分、温度依存性に関し、半導体物性の観点から説明する。

第 4 章では、発生電流に大きな影響を及ぼす、結晶欠陥によってできるバンドギャップ中の深いエネルギー準位を解析するための Deep Level Transient Spectroscopy (DLTS) 法[7-9]の原理と RB-IGBT にて行った解析手法に関して説明する。

第 5 章では、従来の RB-IGBT と、漏れ電流を低減する目的で作製した改善品に関し、DLTS 法によるデータから、結晶欠陥によってできたバンドギャップ中の深いエネルギー準位の解析結果に関して述べる。

第 6 章では、計算により得られた温度依存性と漏れ電流の逆バイアス依存性に関し、実測値と DLTS 法による深い準位密度の解析結果を考慮して理論式から求めた漏れ電流の計算値とを比較、考察を行う。

最終章の第 7 章では本研究で得られた成果について総括し、今後の課題に関して述べる。

## 参考文献

- [1] B. J. Baliga, “Power Semiconductor Devices”, pp. 426-502, PWS Publishing Company, 1996.
- [2] M. Yatsu, K. Fujii, S. Takizawa, Y. Yamakata, K. Komatsu, H. Nakazawa and Y. Okuma, ”A Study of High Efficiency UPS Using Advanced 3-Level Topology “, PCIM Europe 2010 Proceedings, pp.550-555.
- [3] K. Komatsu, S. Okita, H. Nakazawa, S. Igarashi, T. Fujihira, “Advanced Neutral Point-Clamped (ANPC) IGBT module for industrial application”, PCIM China 2010 Proceedings, pp. 170-174.
- [4] M. Takei, T. Naito, K. Ueno, “The Reverse Blocking IGBT for Matrix Converter with Ultra Thin Wafer Technology”, ISPSD ‘03 proceedings, p.156-159, 2003
- [5] H. Wakimoto, M. Ogino, D. H. Lu, S. Takizawa, H. Nakazawa, M. Yatsu., “600V reverse blocking IGBTs with low on-state voltage”, Proc. PCIM Europe 2011, pp. 317-322.
- [6] 中澤 治雄, 脇本 博樹, 荻野 正明, “アドバンスト NPC 変換器用 RB-IGBT”, 富士時報, Vol. 84, No.5, p.304-307, 2011
- [7] 松本俊, “DLTS 法の原理と測定方法” 応用物理学会結晶工学分科会第 11 回講習会 予稿, pp. 21-30, 1984.
- [8] 上村洋一, “シリコン結晶欠陥の基礎物性とその評価法”, pp. 37-52, リアライズ社, 1997.
- [9] 技術の伝承プロジェクト編集委員会 編, “シリコン結晶技術”, pp.401-421, 日本学術振興会第 145 委員会

## 第2章 アドバンスド T-type NPC 3 レベル電力変換用 RB-IGBT の開発

### 2.1 AT-NPC 電力変換回路

現在、モータ制御などの電力変換において主流となっているのは、交流電力から一度直流電力に変換し、再度、所望の周波数の交流電力する方法である。交流電力から直流電力へ変換する回路部分を整流器（コンバータとも呼ぶ）、直流電力から交流電力へ変換する部分をインバータと称する。近年は、従来主流であった 2 レベル電力変換回路[1]に対し、3 レベル変換回路が注目されている。

2 レベルと 3 レベルインバータの回路と出力電圧の比較を図 2-1 に示す。回路図は、それぞれの 1 相分の回路を抜き出している。2 レベルインバータの変換器出力部の電圧波形が、ゼロ点を中心とした $\pm E_d$  の PWM（パルス幅変調）パルスとなるのに対し、3 レベルインバータは、ゼロ点を中心とした $\pm E_d/2$  と $\pm E_d$  との PWM パルスとなる。3 レベルインバータの出力波形がより正弦波に近くなり、ノイズが小さくなることから、出力波形を正弦波化するための LC フィルタを小型化することができる利点がある。また、スイッチ動作当たりの電圧変動幅が 2 レベルインバータの半分となるため、スイッチデバイスに発生するスイッチング損失を削減できる。これらの特徴を持つ 3 レベルインバータは、システムの小型化や高効率化を実現する有効な方式である。

3 レベル変換回路には、ダイオードクランプ型[2]と AT-NPC 型がある。ダイオードクランプ型は、電流が流れるルートに 2 デバイスが入るため導通損失が大きくなり、また、必要とされる半導体デバイスの数も多くなる。

これらの欠点を克服するために提案されたのが、ゼロ点を中間スイッチで接続した AT-NPC 回路である。AT-NPC では、電流が流れるルートが 1 デバイスで済むため、導通損失を小さくできる。

図 2-2 に中間スイッチの構成例を示す。

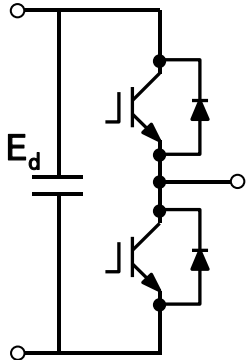
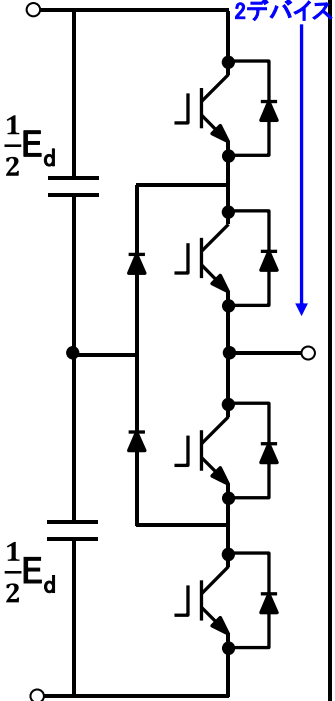
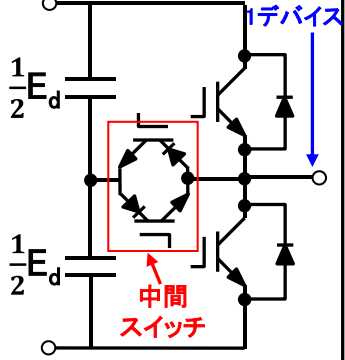
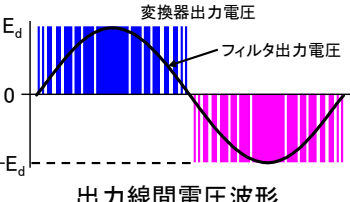
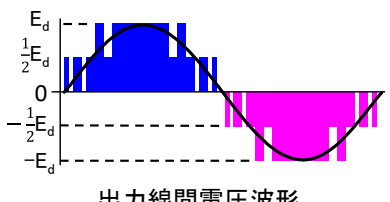
2レベル変換	3レベル変換	
	ダイオードクランプ型NPC	AT-NPC
		
		

図 2-1 2 レベルと 3 レベルインバータの比較

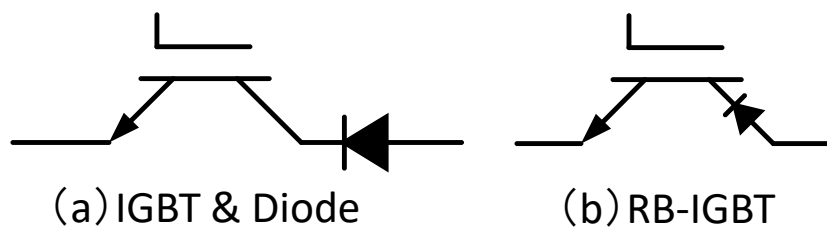


図 2-2 中間スイッチの構成例

電力変換時には、中間スイッチに印加される電圧はエミッタ側とコレクタ側の極性が入れ替わる。そのため、中間スイッチには、図 1-4 (b) で示したような、順・逆双方向の耐圧特性が必要とされる。通常の IGBT は逆耐圧を持たないために、逆耐圧用にダイオードを逆直列に接続する(図 2-2(a))必要がある。その結果、電流が流れる場合には 2 デバイスを通過することになり、中間スイッチ部分の導通損失は大きい。この部分に RB-IGBT を適用することにより、中間スイッチも電流パスは 1 デバイスで済むため、大幅な導通損失の低減が実現できる。

## 2.2 IGBT セル構造と動作原理

電力変換装置に使用されるパワー半導体デバイスとして、現在主流となっている IGBT の構造と動作原理に関して説明する。ON 状態で電流が流れる領域を活性領域と呼び、この部分に IGBT のセル構造が形成されている。RB-IGBT における活性領域の IGBT セルは、通常の IGBT のセル構造と同じである。

図 2-3 にゲート構造が異なる (a) プレーナーゲート、(b) トレンチゲートの IGBT の断面概略図を示す。MOSFET のドレイン側が、p 型に置き換わった構造になっている。(a) プレーナーゲートでは、チップ表面にゲート酸化膜とゲート電極(通常は poly-Si)が形成される。一方、(b) トレンチゲートでは、ウェハ内に溝(トレンチ)を掘って、その側壁にゲート酸化膜と、溝内部にゲート電極を形成する。プレーナーゲートはチップ表面にゲート構造を作るために微細化が困難であるが、トレンチゲートではゲート構造がウェハ内部に向かって形成されるために微細化しやすく、電気的特性の改善が可能である。

n-ドリフト層の比抵抗は、目標とする耐圧による。一般的には、耐圧が高くなるほど、比抵抗を高くする必要がある。図 2-3 では、IGBT の OFF 状態で、エミッタ側 p-n 接合から広がる空乏層がコレクタ層まで到達しないノンパンチスルー(NPT)型としているが、近年では、n-ドリフト層よりも不純物濃度の濃い Field Stop 層 (FS 層と呼



ぶ) をコレクタ p 層に隣接するように形成し、n-ドリフト厚さを薄くして特性を改善する構造[3]が多くなっている。

ON 状態では、エミッタに対するゲート電圧( $V_{GE}$ )を MOS ゲートのしきい値( $V_{th}$ )以上の電圧 (IGBT では、一般的に  $V_{GE}=+15V$ ) にすることにより、数十から数百 A の大きな電流が数 V という小さい電圧(ON 電圧)で流れる。ON 電圧は、IGBT の場合  $V_{CE(sat)}$  と表記する。

$V_{GE}=0$  もしくは  $-15V$  にすると、MOS ゲートが OFF して電流が流れなくなり、アプリケーションに応じた数百～数千 V の電圧がエミッタ-コレクタ間に印加され、電圧阻止状態 (OFF 状態) になる。

図 2-4 を用いて、IGBT の動作原理を説明する。図中ではゲートはトレンチ構造としているが、プレーナゲート型でも動作原理は同じである。

(a)ON 状態では、エミッタに対するゲート電圧( $V_{GE}$ )を MOS ゲートのしきい値( $V_{th}$ )以上の電圧 (一般的には、先に述べたように  $V_{GE}=+15V$ ) にすることにより、p ベースのゲート酸化膜に隣接する部分に n 型の蓄積層(チャネル)が形成される。コレクタが正にバイアスされているため、チャネルを通じて電子が n-ドリフトに注入される。一方、コレクタ側に p-n 接合は順バイアスが印加されるので、正孔が注入される。その結果、n<sup>-</sup>ドリフトには過剰なキャリアが蓄積(伝導度変調)され、ON 状態での抵抗成分が小さくなる。このように、IGBT はバイポーラ動作するために、電流通流状態での  $V_{CE(sat)}$  を低くすることが可能である。

(b)OFF 状態では、 $V_{GE}$  をしきい値電圧以下(一般的には、 $V_{GE}=0V$  or  $-15V$ )に切り替えることにより、MOS ゲートのチャネルが消失して、エミッタ側の p-n 接合が逆バイアスされ、電子の注入がなくなる。コレクタ側からの正孔注入もなくなるため、エミッタ側の p-n 接合から空乏層が徐々に広がって、エミッタ - コレクタ間にかかる電圧が大きくなっていく。それに伴い空乏層中の電子はコレクタ側へ、正孔はエミッタ側へ掃き出され、その間も電流が流れ続ける。所定の OFF 電圧に到達すると空乏層の進展がストップし、掃き出されるキャリアによる電流もなくなって電流が減少

するが、中性領域には少数キャリアが残留する。中性領域のキャリアは再結合によって消滅するが、その間、徐々に電流が減少する(図 1-3 中のテール電流)。テール電流の大きさは、n 型では少数キャリアとなる正孔のライフタイムに大きく依存し、ライフタイムが長いほどテール電流は大きくなる。ライフタイム調整のためには、電子線照射や、局所的なライフタイム制御が可能になるプロトンやヘリウムなどが使用される。

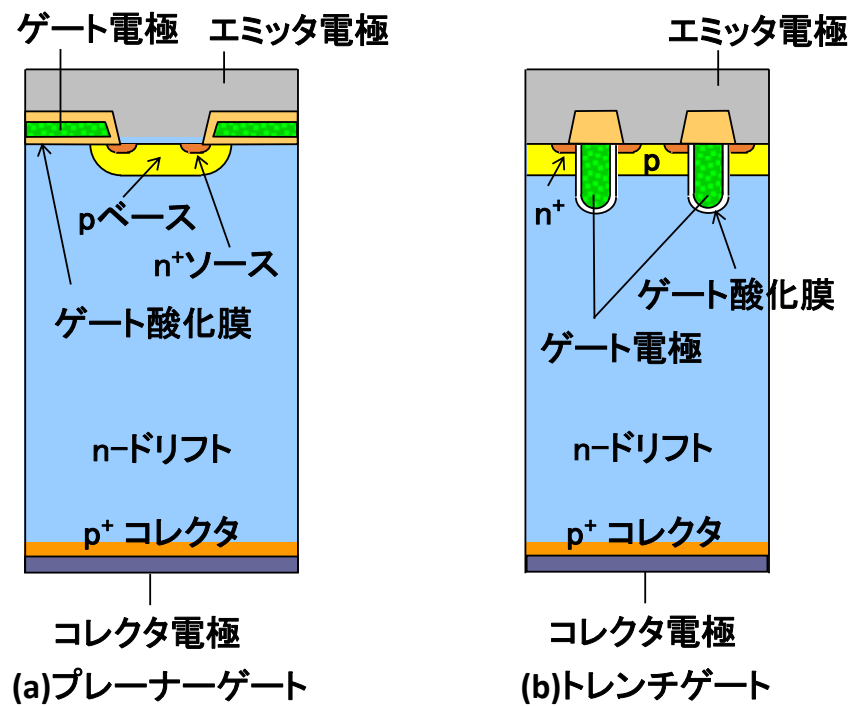


図 2-3 IGBT 断面概略図

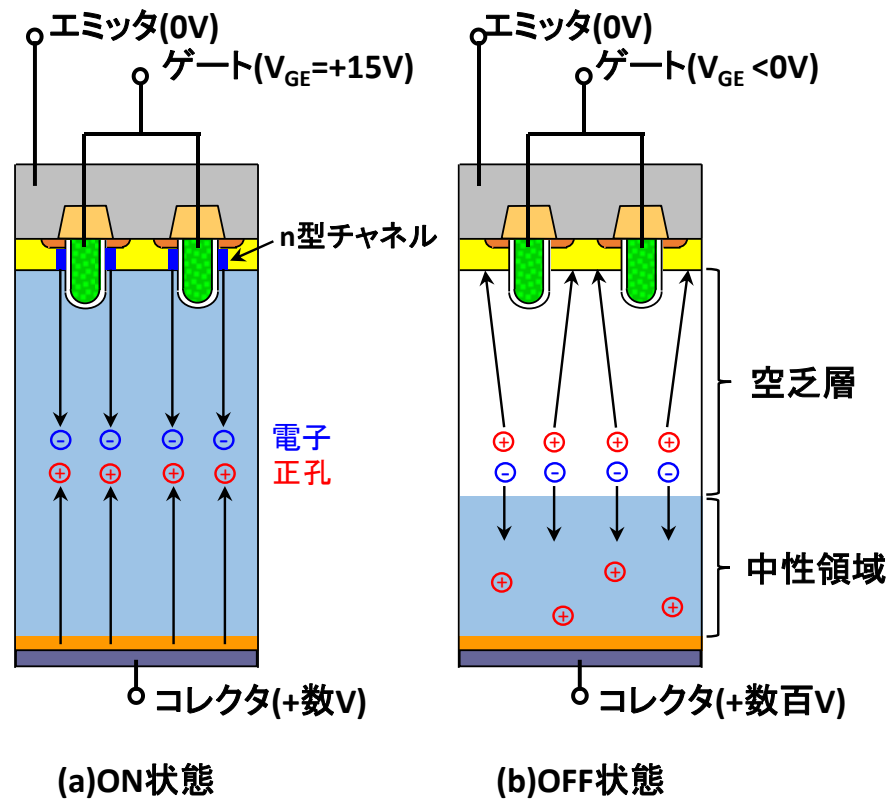


図 2-4 IGBT の動作原理

## 2.3 RB-IGBT の構造

図 2-5 に RB-IGBT のチップ外周部分の断面構造を示す。最も特徴的な点が、チップ端を覆うように表面側から裏面側に到達する深い p 型分離領域が形成されていることである。この p 型分離領域は、最終的にチップ端となる部分に高温長時間の熱拡散により p 型不純物を導入することにより形成される。

逆バイアスモード(エミッタに対し、コレクタに負電圧)では、 $p^+$ コレクタ/ $n^-$ ドリフトからなる  $p-n$  接合に逆バイアスがかかるとともに、p 型分離領域/ $n^-$ ドリフトからなる接合からも空乏層が広がる。p 型分離領域は比較的濃い不純物濃度となっているため、p 型分離領域内へは空乏層はほとんど広がらず、チップ端には電界がかからない。そのため、この部分でキャリアは発生しない。順耐圧だけでなく、逆耐圧を保持するために適切な耐圧構造を採用することにより、逆耐圧用の付加的なダイオードがなくても、1 デバイスで順・逆バイアス双方の電圧阻止能力を実現できる。

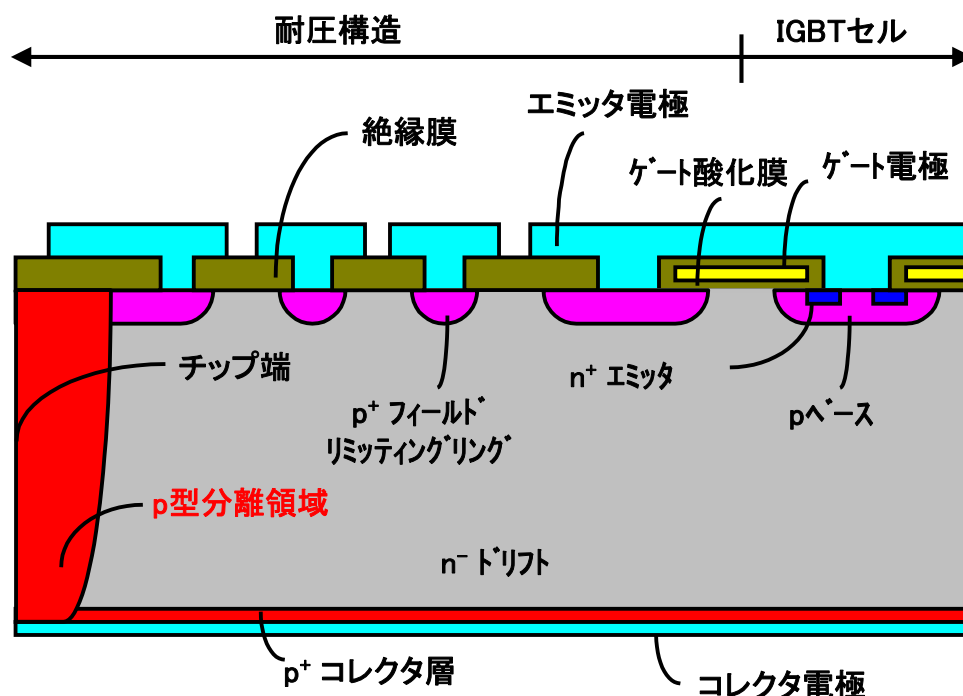


図 2-5 RB-IGBT のチップ外周部断面構造

## 2.4 RB-IGBT の製造プロセス

RB-IGBT 製造工程フローの概略を図 2-6 で説明する。

初めに、最終的にダイシング（ダイヤモンドカッター等でチップに分割する工程）する切断領域に p 型不純物を高温・長時間の熱拡散することにより、p 型分離領域を形成する。詳細に関しては、次項で述べる。その後は通常の IGBT 製造工程と同様に、表面側の MOS 構造と耐圧構造を作り込む。この段階で、Al を基材とした薄膜でエミッタ電極も形成している。

表面側工程が完了した後、電気的特性の調整のために電子線照射 (Electron Irradiation)[4]を行う。パワー半導体デバイスにおいては、電子線照射等のライフタイムキラーを適用し、バイポーラデバイスのキャリアライフタイム調整により電気特性を調整することは、一般的に使用されている手法である。電子線照射後は、最適なライフタイムに調整するために 400 °C 以下の熱処理を加えることが一般的である。

次に、シリコンウェハを裏面側から所望の厚さに研削する。シリコン厚さは、作製するデバイスの耐圧によって決まる。必要とされるデバイス耐圧が高いほど、Si 厚さは厚くする必要がある。研削前の Si ウェハ厚さは 500 $\mu\text{m}$  程度が一般的であるが、例えば定格電圧が 1200V であれば、200 $\mu\text{m}$  以下まで薄くする。初めは機械的に研磨するが、研磨面に研磨キズが残るため、所望の厚さよりも若干厚い状態まで機械的に研磨し、シリコン中にダメージが残らない化学的エッチングにより所望の厚さにする。

その後、研削した裏面側に p 型不純物をイオン注入し、所定の熱処理を加えて活性化を行い、 $p^+$ コレクタ層を形成する。最後に、コレクタ電極を蒸着法、もしくは、スパッタ法により形成する。ウェハプロセスの完了後、p 型分離領域内に削りしろが収まるようにダイヤモンドカッター等でダイシングし、RB-IGBT チップが完成する。

次に、RB-IGBT の製造においてキーとなる工程に関して 2.4.1～2.4.3 項で説明する。

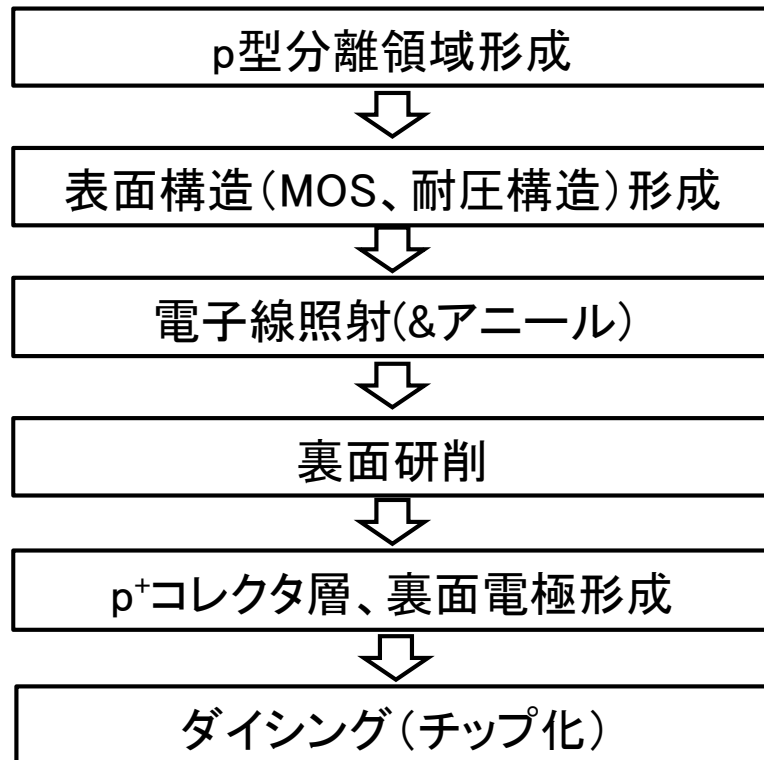


図 2-6 RB-IGBT 製造工程フロー

## 2.4.1 p 型分離領域形成技術

先に述べたように、通常の IGBT と比較して、RB-IGBT で最も特徴的な点が、p 型分離領域である。p 型不純物を高温・長時間の熱拡散により形成する。熱拡散する深さは、必要とされる耐圧クラスによる。耐圧が高いほど、厚い n<sup>-</sup>ドリフト領域が必要とされるため、p 型分離領域の拡散深さも深くする必要がある。p-n 接合に印加する逆バイアスを  $V_R$ 、その時に p-n 接合から、n<sup>-</sup>ドリフト側に伸びる空乏層幅を  $W$  としたとき、

$$W = \sqrt{\frac{2\varepsilon_s(V_R + V_{bi})}{qN_D}}, \quad (2-1)$$

$\varepsilon_s$  : 半導体の誘電率

$V_{bi}$  : 内蔵電位

$q$  : 電子の素電荷量

$N_D$  : n<sup>-</sup>領域のドナー密度

で表される。[5] この式から、空乏層幅  $W$  は逆バイアス  $V_R$  の 1/2 乗に比例することがわかる。

図 2-7 に n<sup>-</sup>ドリフトの比抵抗を 30~70 Ωcm で変えた場合に、式(2-1)から計算した、 $V_R$  と  $W$  の相関グラフを示す。比抵抗からドナー密度への換算は、[6]のウェブサイトを用いた

例えば、30Ωcm の n 型シリコン基板を用いて、600V 耐圧のデバイスを作製する場合、 $V_R=600V$  では、 $W=74\mu m$  になるため、少なくともそれ以上の深さの p 型分離領域が必要となる。耐圧を高くしたい場合は、p-n 接合の臨界電界強度に到達しないように比抵抗を高くする必要がある。例えば 60Ωcm で 1200V 耐圧のデバイスを作製する場合は、 $W=149\mu m$  となる。このように耐圧が高くなるほど、必要な分離領域深さが深くなり、拡散に要する時間も長くなる。一般的なシリコンパワーデバイスでは、不純物拡散層は 10μm 以下であるので、このように深い p 型分離拡散層を形成するに

は、通常のシリコン半導体プロセスで用いられる拡散条件よりも高温、長時間の拡散が必要とされる。このような過酷な拡散条件の下では、様々な微小析出物が発生し[7, 8]、電気的特性の不具合を起こす可能性がある。現時点では、RB-IGBT は定格電圧 600V と 1200V 品が製品化されているが、これらの機種は拡散条件の改善により、良好な良品率を維持している。

しかしながら、今後、さらに 1700V 品以上の高い定格電圧の RB-IGBT を製造する場合、p 型分離領域をさらに深く拡散する必要があるため、

- ・拡散時間がさらに長くなり、微小析出物の影響が無視できない。
- ・デバイスとしては無効な領域である、p 型分離領域の横方向拡散幅が大きくなる。
- ・拡散工程のスループットが低下する。

等の懸念点がある。

そのため、高温長時間拡散を最小限に抑えることができる、新たな分離領域形成技術が提案されている。図 2-8 (a) は従来の p 型不純物の熱拡散のみで p 型分離領域を形成するタイプである。(b) に示すように表面側からの長時間拡散を利用せずに、裏面側からシリコン基板表面までエッチングにより逆 V 字溝を形成しイオン注入とレーザーアニールによる活性化によってのみ、p 型分離領域を形成する逆 V 字溝方式 [9, 10] と、図 2-8 (c) に示す長時間拡散と逆 V 字溝方式を組み合わせたハイブリッド方式 [11] も考案されている。



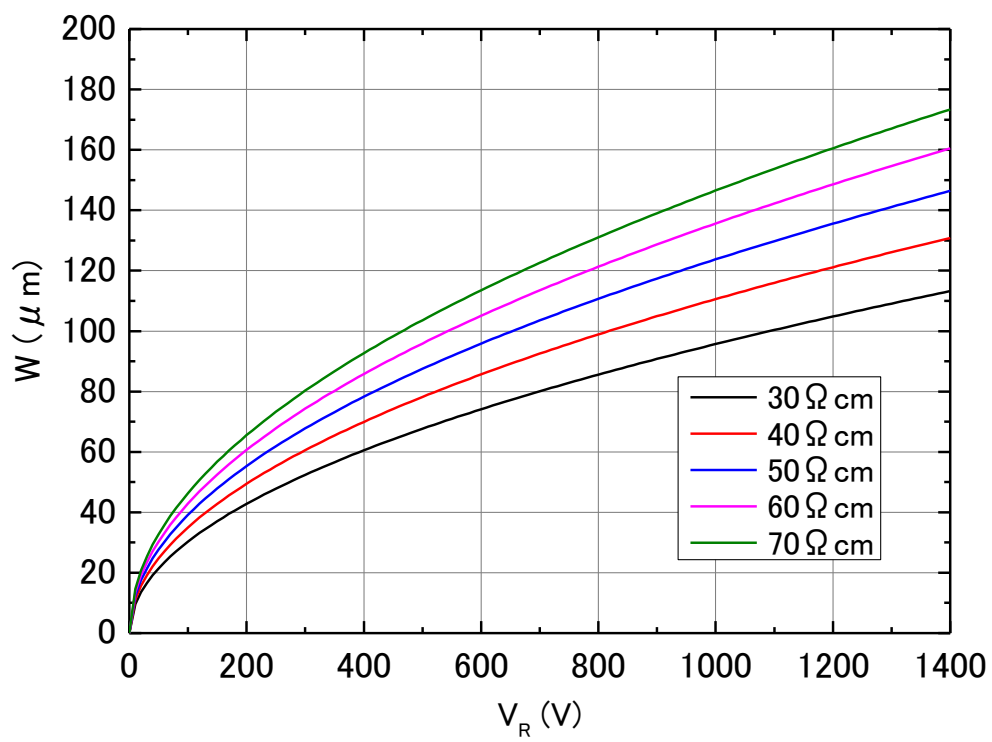


図 2-7  $p^+ / n^-$  接合に逆バイアス( $V_R$ )を印加した場合の空乏層幅( $W$ )

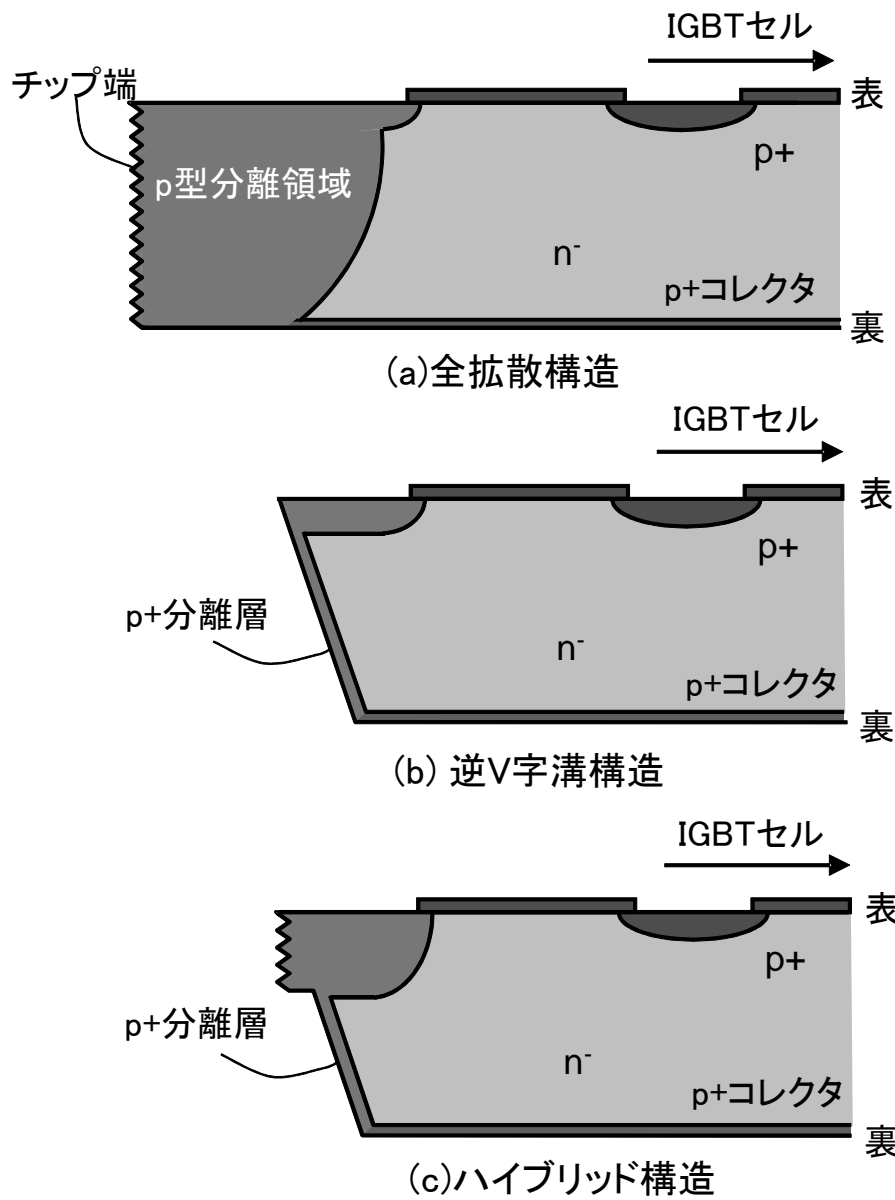


図 2-8 分離領域の形状

## 2.4.2 キャリアライフタイム制御

IGBT 等のバイポーラデバイスでは、 $V_{CE(sat)}$ と  $E_{off}$  の特性を最適化するために、 $n^-$ ドリフトのキャリアライフタイムをライフタイムキラーにより制御することがある。

図 2-9 に、IGBT においてライフタイムを変えた場合の  $V_{CE(sat)}$ と  $E_{off}$  の特性推移を示す。

1-3 項で述べたように、IGBT では、ON 状態では過剰なキャリアが  $n^-$ ドリフトに蓄積し、伝導度変調を起こしている。ターンオフ時にはこの蓄積したキャリアを掃き出す必要があり、その際のエネルギーが  $E_{off}$  である。

キャリアライフタイムが長い場合、ON 状態において  $n^-$ ドリフト内の過剰キャリアがさらに増えるために  $V_{CE(sat)}$ が低くなる。一方、掃き出すキャリア量が多くなる上に、中性領域に残留する正孔が増えることにより、テール電流(図 1-3 参照)が大きくなるために  $E_{off}$  は高くなり、図 2-9 中で特性が左上に移動する。逆に、キャリアライフタイムが短くなると、 $n^-$ ドリフト内の過剰キャリアが減って、 $V_{CE(sat)}$ が高くなるかわりに、 $E_{off}$  は小さくなる。このように、ライフタイムを調整した場合は  $V_{CE(sat)}$ と  $E_{off}$  はトレードオフ関係になっている。

インバータとして使用する場合、キャリア周波数により、最適な IGBT の特性が異なる。キャリア周波数が高い場合は、単位時間にスイッチングする回数が多く、ON 状態になる比率(Duty)が小さいために、多少  $V_{CE(sat)}$ が高くても  $E_{off}$  が小さい方がインバータ動作時の総合的な損失は小さくなる。キャリア周波数が低い場合は、スイッチングする回数が少なく、ON 状態の比率が高くなるため、 $E_{off}$  は若干犠牲にしても、 $V_{CE(sat)}$ が低い方が望ましい。

RB-IGBT は、通常の IGBT と異なり、裏面の  $p^+$ コレクタ層と  $n^-$ ドリフトからなるダイオードが逆回復(Reverse Recovery)[4]するモードが存在し、この特性にもライフタイムが大きく影響する。図 2-10 にダイオードの逆回復波形を示す。エミッタに対し、コレクタに負電圧が印加された逆バイアス状態で、 $n^-$ ドリフトに蓄積されたキャ

リアを掃き出す過程で逆回復電流が発生する。電圧が印加された状態で電流が流れるために、この部分がエネルギー損失(逆回復損失、 $E_{rr}$ と表記)になる。逆回復電流も中性領域における残留キャリアに起因するため、ライフタイム制御により、 $E_{rr}$  も変わる。

RB-IGBT では、逆回復特性の最適化のために、高エネルギー電子線照射[12]により、キャリアライフタイムの調整をしている。

電子線などの粒子線を半導体へ照射すると、シリコンのバンドギャップ中へ深いエネルギー準位を持つ結晶欠陥が形成され、漏れ電流の増加を引き起こす可能性があるため、デバイスの設計時には注意が必要である。シリコン半導体に対するライフタイム調整の手法としては、その他に、

- ・ Au(金)や Pt(白金)等の重金属を熱拡散により半導体内に拡散する[4, 13]
- ・ プロトンやヘリウムなどの軽イオンを加速器で加速して照射する[14, 15, 16]

などがある。プロトンやヘリウムでは照射エネルギーを変えることにより、半導体内の任意の深さ部分のみのライフタイムを変更できる。それぞれにライフタイムが変わる領域が異なるため、所望の電気特性により、最適なライフタイム調整手法を選ぶ必要がある。

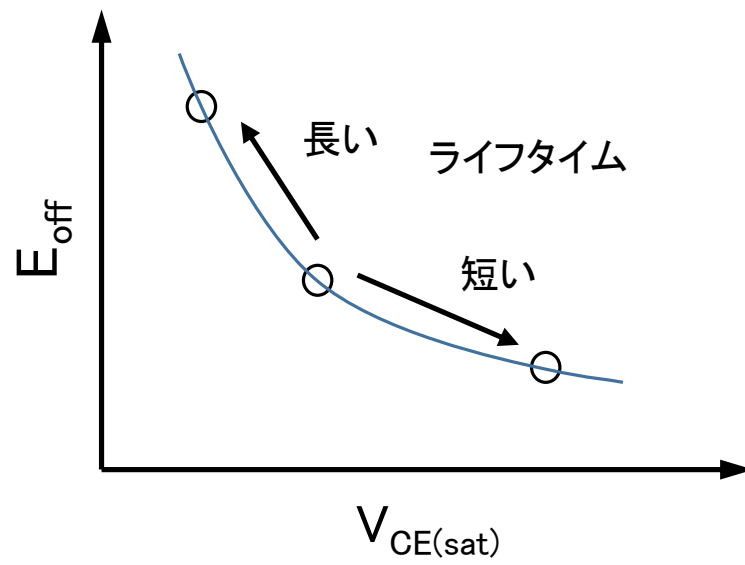


図 2-9 キャリアライフタイム制御時の  $V_{\text{CE(sat)}}$  と  $E_{\text{off}}$  の特性推移

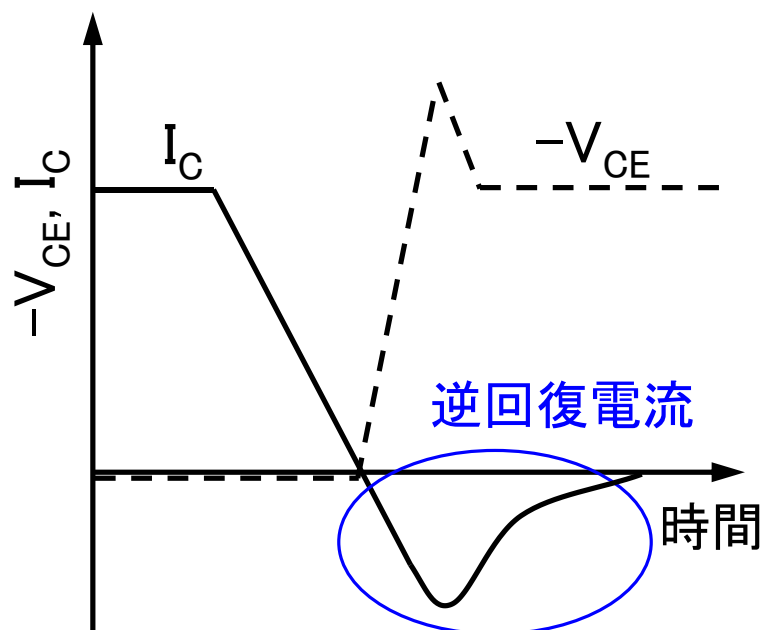


図 2-10 ダイオードの逆回復波形

### 2.4.3 コレクタ構造

2-4 項で述べたように、表面側の MOS 構造、および、Al を基材としたエミッタ電極を形成した後に、シリコンウェハを薄く加工し、MOS 構造とは反対側の面に  $p^+$  コレクタ層を形成する。 $p$  型不純物をイオン注入した後に活性化熱処理を施す必要があるが、Al は Si と  $577^{\circ}\text{C}$  で共晶反応を起こすため、エミッタ電極側がそれ以上の温度になることは望ましくない。従来の RB-IGBT では、 $400^{\circ}\text{C}$  以下の温度でウェハ全体を炉アニール (Furnace Anneal、以降 FA と表記する) で加熱する手段が行われていた。しかしながら、 $400^{\circ}\text{C}$  以下の熱処理では  $p$  型不純物が十分に活性化せず、 $p$  型不純物の活性化率は非常に低く、活性化されない不純物がシリコン中に残留して様々な不具合を起こすことが懸念される。新たな活性化手法としては、短パルスのレーザーをコレクタ面に照射する方法[17]が挙げられる。

$p^+$  コレクタ層の濃度を変更した場合も、図 2-11 に示すようにキャリアライフタイムを変えた時と同様に  $V_{\text{CE(sat)}}$  と  $E_{\text{off}}$  の特性が変わる。 $p^+$  コレクタ層濃度を高くすると、コレクタ側からの正孔注入量が増大し、 $V_{\text{CE(sat)}}$  は低下するが、 $E_{\text{off}}$  は増大する。 $p^+$  コレクタ層濃度を低くすると、正孔注入量が減少して  $V_{\text{CE(sat)}}$  は増大するが、 $E_{\text{off}}$  は低くなる。

近年の IGBT では、図 2-12 のように、 $p^+$  コレクタ層の直上に  $n^-$  ドリフトよりも不純物濃度の濃い  $n^+$  FS (Field Stop) 層を形成することが多い。

図 2-13 は、横軸にエミッタからの距離として、電界強度の分布を模式的に示した図である。エミッタ側  $p$ - $n$  接合の電界強度がアバランシェ降伏を起こす電界強度  $E_{\text{max}}$  に到達した時の、横軸と青線、もしくは、赤線で囲まれた領域の面積が耐圧の目安となる。NPT 構造の場合、 $n^-$  ドリフトの比抵抗は一定であれば、コレクタ側に向かって電界強度は直線的に低下する。FS-IGBT では、 $n^-$  ドリフトの比抵抗を上げたうえで、 $n^+$  FS 層を形成する。NPT 構造よりも  $n^-$  ドリフトでは電界強度の低下は緩やかになり、比抵抗の低い  $n^+$  FS 層に到達すると、低下の傾きは急になる。 $n^-$  ドリフト比抵抗、 $n^+$

FS 層の不純物濃度、厚さを最適に設定することにより、FS-IGBT では、NPT-IGBT と同じ耐圧を薄い  $n^-$ ドリフト厚さで達成できる。 $n^-$ ドリフト厚さが薄くなると、電流通流時の抵抗成分が小さくなるために  $V_{CE(sat)}$  は低下し、かつ、ON 状態のキャリア総量も少なくなるために  $E_{off}$  も小さくなる。このように  $n^-$ ドリフト層を薄くすることは、デバイスの特性改善において大きなブレイクスルーとなる。

RB-IGBT において  $n^+$ FS 層を形成した場合、図 2-14 に示すように逆耐圧モード(エミッタに対してコレクタに負バイアス)では、コレクタ側  $p-n$  接合に逆バイアスが印加されてすぐに  $n^+$ FS 層に空乏層が到達する。そのため、逆バイアス印加初期から電界強度の低下の傾きが大きく、低い電圧で  $E_{max}$  に到達してしまい、著しく逆耐圧が低下してしまう。このため、RB-IGBT は FS 構造が採用できず、NPT 構造になっている。

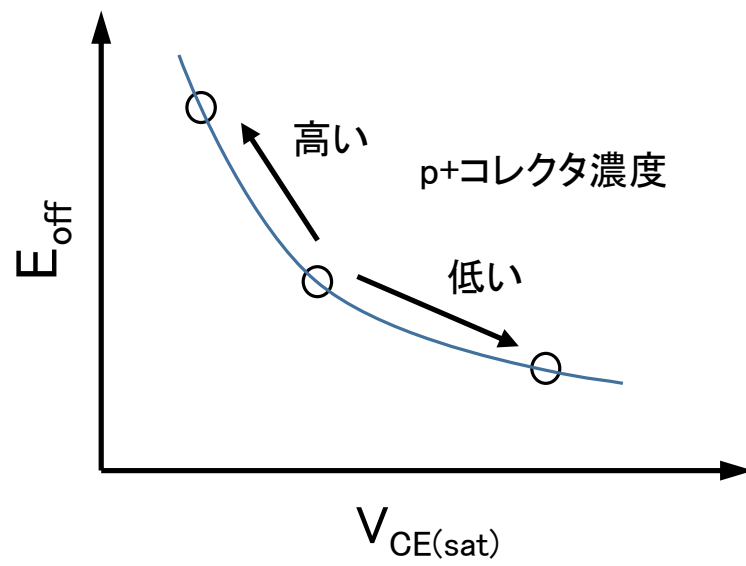


図 2-11  $p^+$ コレクタ濃度を変更した場合の  $V_{CE(sat)}$  と  $E_{off}$  の特性推移

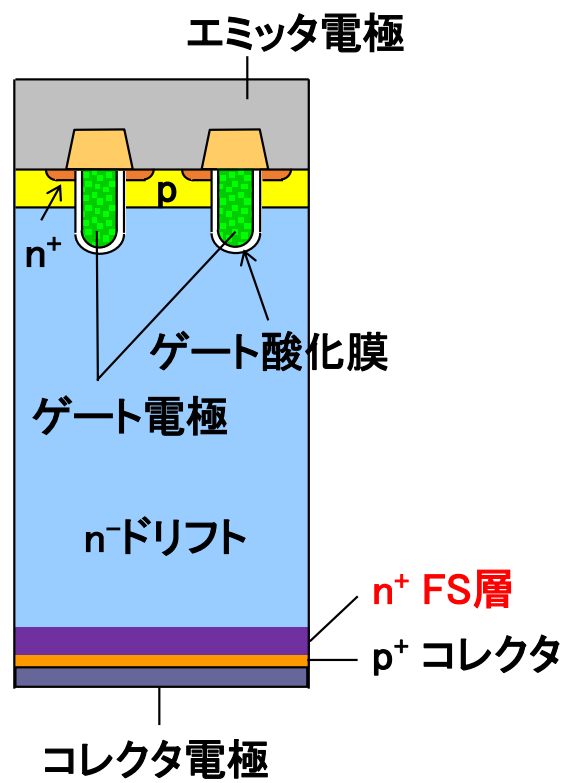


図 2-12 FS-IGBT の断面概略図



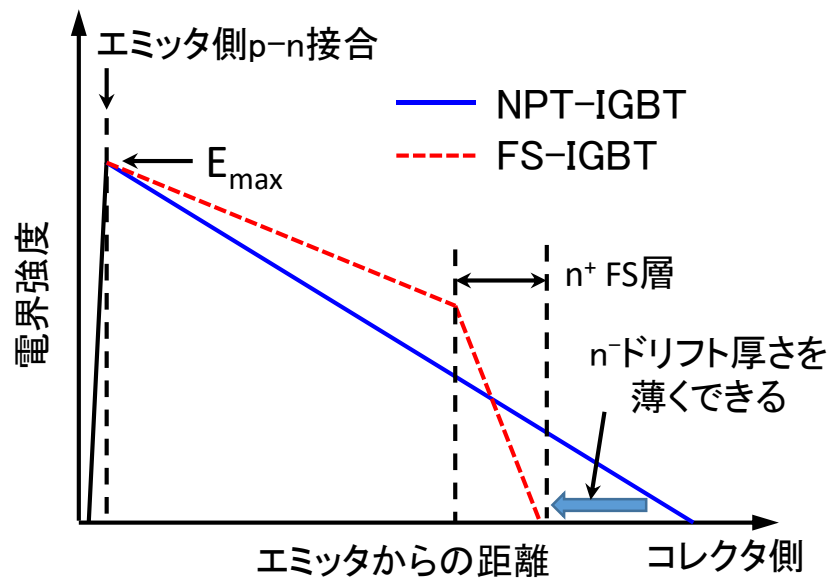


図 2-13 IGBT 深さ方向の電界強度（順耐圧モード）

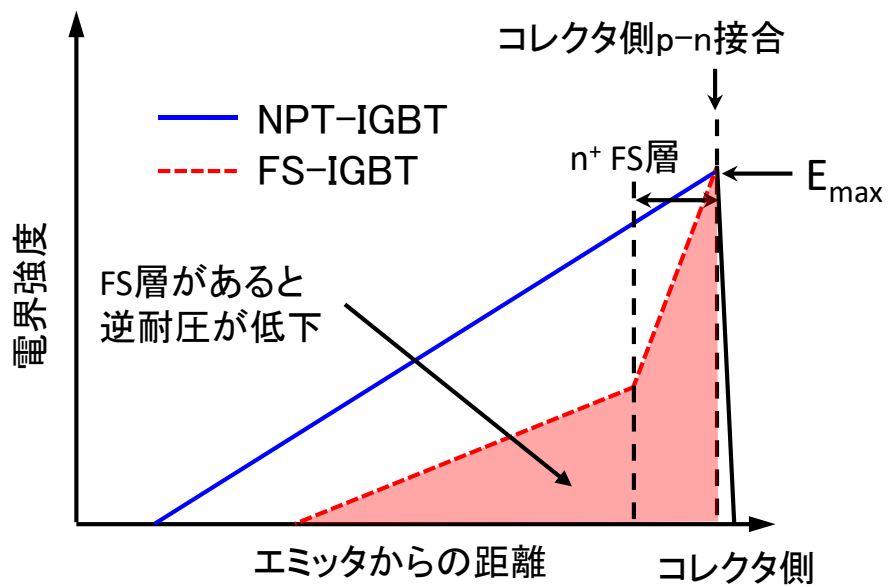


図 2-14 逆耐圧モードでの電界強度

## 2.5 漏れ電流低減による高性能化

これまで、小・中容量の AT-NPC 3 レベル電力変換回路を用いたパワエレ製品向けとして定格電圧 600V プレーナークゲート型 RB-IGBT の開発に携わってきたが、大きな課題として、漏れ電流が大きいという課題がある。

RB-IGBT においては、漏れ電流に 2 つのモードがある。

図 2-15 (a) は、 $V_{GE}=0$  の場合の漏れ電流モードを示す。このゲート電圧では MOS ゲート部分に n 型チャネル(反転層)は形成されず(OFF 状態)、 $p^+$ コレクタ/ $n^-$ ドリフト/ $p$  ベースからなる寄生トランジスタが存在する。空乏層中で発生した電子は電界によりエミッタ側へ掃き出され(①)、 $p$  ベースに到達する。この際、寄生トランジスタの効果により、 $p$  ベースから  $n^-$ ドリフトへ大量の正孔が注入される。一部は中性領域で再結合するが(②)、大部分は空乏層から  $p^+$ コレクタへ到達し(③)、結果として大きな漏れ電流が流れる。また、電子-正孔対が空乏層端で発生し、空乏層領域まで拡散により到達した正孔が電界により  $p^+$ コレクタへ掃き出される拡散電流も存在する(④)。厳密には、 $p^+$ コレクタ層の空乏層で発生した電子による拡散電流も存在するが、 $p^+$ コレクタ層で発生する電子は  $n^-$ ドリフト側の空乏層端で発生する正孔よりも圧倒的に少ないため、今回の構造では無視できる。

一方、図 2-15 (b) のように  $V_{GE}=+15V$  にした場合は、MOS ゲート部分に n 型チャネルが形成される(ON 状態)。この場合は、n 型チャネルにより  $n^-$ ドリフトと  $n^+$ エミッタがすべて n 型で接続されることになり、図 2-15 (a)  $V_{GE}=0V$  に比べて  $p$  ベースからの正孔注入は小さいため、単純な PiN ダイオード[18]とみなすことができる。「i」は、Intrinsic Layer を示しているが、実際には、高抵抗な  $n^-$ 領域にすることが多い。寄生トランジスタによる増幅効果がないため、発生電流(①)と拡散電流(④)が主な漏れ電流成分となり、トランジスタによる増幅がある(a)よりも、漏れ電流は小さくなる。AT-NPC 変換回路では、コレクタ-エミッタ間に逆バイアスを印加する場合は、 $V_{GE}=+15V$  が印加されるため、(b)のモードになる。

漏れ電流が発生すると、電圧と漏れ電流の積による電氣的なエネルギー損失が熱エネルギーに変わり、デバイスが発熱してデバイスの接合温度( $T_j$ )が上昇する。漏れ電流が大きくなり、デバイスに対する冷却能力を超えると、温度上昇がさらに漏れ電流増加を引き起こし、熱暴走によりデバイス破壊に至る可能性があるため、デバイスの動作温度を低く設定する必要があるなどの制約は生じてしまう。そのため、漏れ電流は小さく抑制する必要がある。次世代の RB-IGBT では、従来の RB-IGBT よりも漏れ電流を低減し、デバイスの動作温度を向上させることを目的とした。

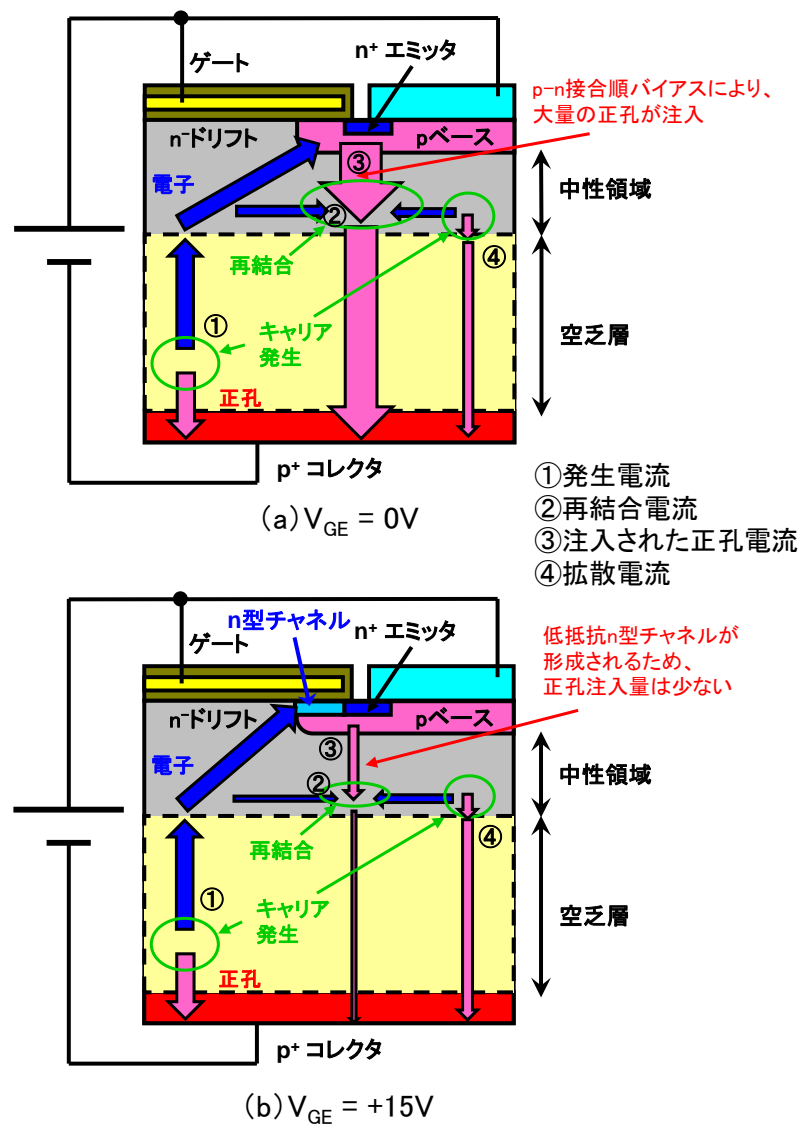


図 2-15 漏れ電流モードでのゲート電圧の効果

## 参考文献

- [1] 岸 敬二, “パワーエレクトロニクスの基礎”, pp. 153-157, 東京電機大学出版局, 1996
- [2] A. Nabae, I. Takahashi, H. Akagi, “A New Neutral-Point-Clamped PWM Inverter”, IEEE Transactions on Industrial Applications, Vol. 1A-17, No.5, pp. 518-523, 1981.
- [3] T. Laska, M. Münzer, F. Pfirsch, C. Shaeffer, T. Schmidt, “The Field Stop IGBT (FS IGBT) – A New Power Device Concept with a Great Improvement Potential”, in Proc. 12th ISPSD, pp.355-358, 2000.
- [4] B. Jayant Baliga, “Power Semiconductor Devices”, pp.171-175 or pp. 55-59, PWS Publishing Company, 1996
- [5] Andrew S. Grove, 半導体デバイスの基礎, pp. 176, オーム社, 1995
- [6] <http://www.solecon.com/sra/rho2ccal.htm>
- [7] H. Nakazawa, M. Ogino, H. Teranishi, Y. Takahashi, and H. Habuka, “Precipitates Caused in Silicon Crystal by High-Temperature Prolonged Annealing in Nitrogen Atmosphere”, Proceedings of the 6th International Symposium on Advanced Science and Technology of Silicon Materials (JSPS Si Symposium), E-17, p. 119-122, Nov.19-23, Kona, Hawaii, USA, 2012
- [8] H. Nakazawa, M. Ogino, H. Teranishi, Y. Takahashi, and H. Habuka, “Crystalline Defects in Silicon Wafer Caused by Prolonged High-Temperature Annealing in Nitrogen Atmosphere“, Advanced Materials Research. 699, p. 445-449, 2013.
- [9] K. Shimoyama, M. Takei, Y. Souma, A. Yajima, S. Kajiwara, and H. Nakazawa, “A New Isolation Technique for Reverse Blocking IGBT with Ion Implantation and Laser Annealing to Tapered Chip Edge Sidewalls”, ISPSD’2006 proceedings, p. 124-127, (2006).
- [10] H. Nakazawa, K. Shimoyama, M. Takei, “SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF”, US 7,776,672 B2 (米)

- [11] H. Nakazawa, M. Ogino, H. Wakimoto, T. Nakajima, D. H. Lu, and Y. Takahashi, “Hybrid Isolation Process with Deep Diffusion and V-Groove for Reverse Blocking IGBTs”, ISPSD’2011 proceedings, p.116-119, 2011.
- [12] B. J. Baliga and E. Sun (1977), “Comparison of gold, platinum, and electron irradiation for controlling lifetime in power rectifiers”, IEEE Transactions on Electron Devices, 24, 685-688.
- [13] 松沢剛雄, “金および白金を拡散した電力用シリコン整流素子の電気的特性”, 電気学会論文誌 A, 99 巻, 2 号, pp. 20-24, 1978.
- [14] Santro Daliento, Annenziata Sanseverino, Paolo Spirito, Giovanni Busatto, Jeff Wiss, “Experimental Measurement of Recombination Lifetime in Proton Irradiated Power Devices”, ISPSD’2000, proceedings, 2011.
- [15] H. Akiyama, M. Harada, H. Kondoh and Y. Akasaka, “Partial lifetime control in IGBT by helium irradiation through mask patterns”, Proceedings of the 3rd ISPSD, pp. 187-191, 1991.
- [16] Ralf Siemieniec, Reinhard Herzer, Mario Netzel, Josef Lutz, “Application of Carrier Lifetime Control by Irradiation to 1.2kV NPT IGBTs”, Proceedings of 24<sup>th</sup> International Conference on Microelectronics, Vol 1, pp. 167-170, 2004
- [17] M. Rahimo, C. Corvasce, J. Vobecky, Y. Otani and K. Huet, “Thin-Wafer Silicon IGBT With Advanced Laser Annealing and Sintering Process,” IEEE Electron Device Letters, vol. 33, no. 11, pp. 1601-1603, Nov. 2012.
- [18] B. J. Baliga, “Power Semiconductor Devices”, pp. 153-182, PWS Publishing Company, 1996.

## 第3章 漏れ電流発生メカニズムと構成成分

### 3.1 漏れ電流発生メカニズム

2-5 項で、RB-IGBT の漏れ電流には MOS ゲートが ON 状態か OFF 状態かにより、2 つのモードがあることを示した。 $V_{GE}=+15V$  での漏れ電流は、PiN ダイオードの漏れ電流とみなすことができる。RB-IGBT に内蔵される  $p^+/n^-/n^+$  ダイオードの漏れ電流発生メカニズムを図 3-1 に示す。

漏れ電流発生メカニズムで最も重要となるのは、キャリアの再結合-発生過程 (SRH 理論) である。[1, 2] 平衡状態では、半導体中で電子-正孔対が連続的に発生しているが、電圧が印加されていない場合は、電子-正孔対は再結合し、正味の電流は流れない。図 3-1 のようなダイオードに逆バイアス ( $n^+$  エミッタに対して、 $p^+$  コレクタに負電圧) を印加すると、電圧と  $n^-$  ドリフトの比抵抗で決まる幅の空乏層 (空間電荷領域とも呼ぶ) が伸展する。空乏層中では、電界により、発生した電子は  $n^+$  エミッタ側へ、正孔は  $p^+$  コレクタ側に引き寄せられ、再結合確率が減少する。これが漏れ電流として検出される。この電流成分を” 発生漏れ電流 ( $J_{gen}$ ) ” と呼ぶ。

一方、空乏層領域以外の電界がかかっていない領域 (中性領域と呼ぶ) には強い電界が存在しないため、少数キャリアは拡散によって移動する。空乏層の  $n^-$  ドリフト側の端で発生した正孔は拡散によって空乏層内に到達し、そこからは強い電界によって  $p^+$  コレクタ側へ掃き出される。 $p^+$  コレクタの中性領域で発生した電子は、拡散で  $n^-$  ドリフト側へ移動し、空乏層へ到達すると  $n^+$  エミッタ側へ掃き出される。この漏れ電流成分は” 拡散漏れ電流 ( $J_{dif}$ ) ” と呼ばれる。

測定した漏れ電流がこの理論により説明可能か検証するため、半導体物理を元に理論的な漏れ電流成分を計算により導く。

### 3.2 発生漏れ電流

電子-正孔対の発生割合 $U$ は、

$$U = \frac{\sigma_p \sigma_n v_{th} N_T n_i}{\sigma_n \exp\left(\frac{E_T - E_i}{kT}\right) + \sigma_p \exp\left(\frac{E_i - E_T}{kT}\right)}, \quad (3-1)$$

$\sigma_n, \sigma_p$  : 電子/正孔の捕獲断面積

$v_{th}$  : キャリアの熱速度

$N_T$  : トラップ密度

$n_i$  : 真性キャリア濃度

$E_T$  : トラップ準位

$E_i$  : 真性フェルミ準位

$k$  : ボルツマン定数

$T$  : 温度

で表される。[1, 2]

$\sigma_n = \sigma_p = \sigma$  と仮定し、トラップ準位がバンドギャップの中心  $E_i$  に近い場合を考えると、

$$U = \frac{1}{2} \sigma v_{th} N_T n_i \quad (3-2)$$

と単純化できる。キャリア発生が空乏層中で均一であれば、発生リーク電流 $J_{gen}$ は

$$J_{gen} = q U W = \frac{1}{2} q \sigma v_{th} N_T n_i W \quad (3-3)$$

と表される。**式 (2-1)** と **式 (3-3)** から、トラップ密度 $N_T$ が一定の場合、発生リーク電流 $J_{gen}$ は、逆バイアス  $V_R$  の 1/2 乗と真性キャリア濃度 $n_i$ に比例する。

$n^-$ ドリフトの  $L(r)$  の領域中のトラップ準位が $N_{T(r)}$ で一定であるとした場合、

$$J_{gen} = \frac{1}{2} q \sigma v_{th} n_i \sum N_{T(r)} L(r) \quad (3-4)$$

で、計算できる。ここで、“ $r$ ”は、p-n 接合面に垂直な方向に対して複数に分割された  $r$  番目の領域を示す。

次に、式 (3-1)、および、式 (3-3) で  $J_{gen}$  が発生割合  $U$  に比例することから、トラップ準位  $E_T$  が  $J_{gen}$  に与える影響を考える。 $\sigma_n = \sigma_p = \sigma$  と仮定した場合、式 (3-1) の分母は、hyperbolic cosine の形になっており、 $E_T - E_i$  が 0 の時、すなわち、トラップ準位がバンドギャップ中心に一致した時に最小値を取り、 $E_T$  が  $E_i$  から離れるほど値が大きくなる。つまり、 $E_T$  がバンドギャップ中心に近いほど  $J_{gen}$  は大きくなり、離れるほど漏れ電流が小さくなる。

$E_T - E_i$  を 0.06eV から 0.10eV ずつ増やした場合、すなわち、Si のバンドギャップを 1.12eV として、 $E_C - E_T$  を 0.50eV から 0.10eV ずつ増やした場合の漏れ電流への影響度を表 3-1 に示す。ここでは  $E_C - E_T = 0.5\text{eV}$  の時の係数を 1 に規格化している。 $E_C - E_T$  が 0.1eV 減る(エネルギー準位が浅くなる)ごとに漏れ電流は 1/48 ずつ減少しており、 $E_T$  が漏れ電流に大きな影響を与えることがわかる。

表 3-1 SRH モデルによる  $E_C - E_T$  の漏れ電流への影響度

$E_T - E_i$ (eV)	0.06	0.16	0.26	0.36
$E_C - E_T$ (eV)	0.50	0.40	0.30	0.20
漏れ電流への影響度	1	0.021	$4.4 \times 10^{-4}$	$9.3 \times 10^{-6}$
比率	1/48	1/48	1/48	

### 3.3 拡散漏れ電流

図 3-1 のダイオードで、 $n^-$ ドリフト領域の比抵抗が高い ( $N_D$  が低い) 場合、 $p^+$  コレクタで発生する電子よりも、 $n^-$ ドリフト中で発生する正孔の方が圧倒的に多いため、拡散漏れ電流は正孔成分が支配的である。拡散漏れ電流  $J_{dif}$  は、



$$J_{dif} = -qD_p \frac{dp_n}{dx} = -\frac{qD_p p_{n0}}{L_p} \left( e^{-\frac{qV_R}{kT}} - 1 \right) \quad (3-5)$$

で与えられる。[3]

$$\begin{aligned} D_p &: \text{正孔の拡散係数} \\ p_n &: \text{空乏層端のホール濃度} \\ p_{n0} &: \text{平衡状態での } n^- \text{ドリフト中の正孔濃度}(= n_i^2/N_D) \\ L_p &: \text{正孔の拡散長} \end{aligned}$$

逆バイアス  $V_R$  が  $\frac{kT}{q}$  に対して十分大きいときは、

$$J_{dif} = \frac{qD_p p_{n0}}{L_p} \quad (3-6)$$

で表される。

$L_p$  は、正孔のライフタイム  $\tau_p$  を使って、下式で表される。

$$L_p = \sqrt{D_p \tau_p}. \quad (3-7)$$

拡散係数はキャリア移動度  $\mu$  を用い、下記のアインシュタインの関係式から得られる。

$$D = \frac{kT\mu}{q} \quad (3-8)$$

最終的に、拡散漏れ電流  $J_{dif}$  は、

$$J_{dif} = \sqrt{\frac{qkT\mu_p}{\tau_p}} p_{n0}. \quad (3-9)$$

で計算できる。式(3-9)からわかるように、拡散漏れ電流は、逆バイアス  $V_R$  に依存しない。

### 3.4 漏れ電流の温度依存性

発生漏れ電流と拡散漏れ電流は異なる温度依存性を持つ。実測した漏れ電流の温

度依存性を調べることにより、発生、もしくは、拡散漏れ電流のどちらが支配的か理解するのに役立つ。

発生漏れ電流は真性キャリア濃度  $n_i$  に、拡散漏れ電流は  $n_i^2$  にそれぞれ比例する。

[4]

$n_i$  の温度依存性は、次式で表される。[5]

$$n_i \sim T^{3/2} e^{(-E_g/2kT)} \quad (3-10)$$

$E_g$  : 半導体のバンドギャップ

式(3-3)における  $v_{th}$  は  $T^{1/2}$  に比例し、その他のパラメータの温度依存性は小さいことから、式(3-10)を用いて、発生漏れ電流の温度依存性は、

$$J_{gen} \sim T^2 e^{(-E_g/2kT)} \quad (3-11)$$

となる。

$E_g$  も温度依存性を有し、Si に関しては、実験的に求められた次式が知られている。

[6]

$$E_g = 1.170 - \frac{4.73 \times 10^{-4} \times T^2}{T + 636} \quad (3-12)$$

拡散漏れ電流  $J_{dif}$  の温度依存性は、

$$J_{dif} \sim T^{(3+\omega/2)} e^{(-E_g/kT)} \quad (3-13)$$

で表される。[3] ここで、パラメータ  $\omega$  は定数である。

また、

$$p_{n0} = n_i^2 / N_D \quad (3-14)$$

が成り立つ。式(3-9)において、 $\mu_p$  と  $\tau_p$  の温度依存性を考慮しない場合、式(3-10)、式(3-14)から、 $\omega = 1$  となる。 $J_{gen}$ 、 $J_{dif}$  とも温度  $T$  を含んだ指数関数を有するため、 $T^n$  の項は、温度依存性に大きな影響を与えない。

式(3-11)、式(3-13)から、横軸を  $1/T$ 、縦軸に  $J_{gen}$  と  $J_{dif}$  の自然対数を取れば、その

傾きはそれぞれ $-E_g/2kT$ と $-E_g/kT$ になり、 $J_{gen}$ に比べて $J_{dif}$ の方が温度依存性が大きくなることがわかる。

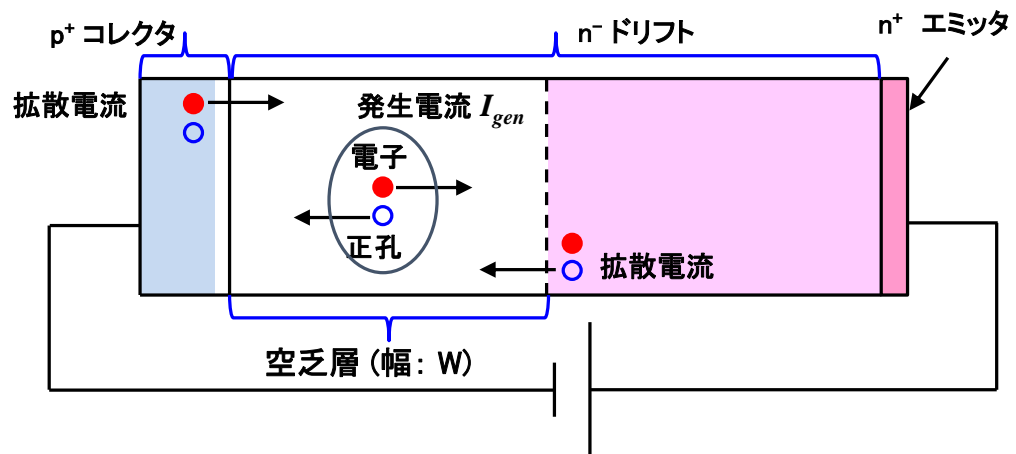


図 3-1 ダイオードにおける漏れ電流の発生メカニズム

## 参考文献

- [1] R. N. Hall, “Electron-Hole Recombination in Germanium” *Physical Review* 87, 387, 1952.
- [2] W. Shockley, and W. T. Read, “Statistics of the Recombinations of Holes and Electrons”,  
*Physical Review* 87, 835, 1952.
- [3] S. M. Sze, "Physics of Semiconductor Devices, 2nd Edition", (Wiley Interscience  
Publication, 1981), pp. 87-88.
- [4] B. J. Baliga, “Power Semiconductor Devices”, ( PWS Publishing Company, 1996), pp. 169-  
171.
- [5] S. M. Sze, "Physics of Semiconductor Devices, 2nd Edition", (Wiley Interscience  
Publication, 1981), p. 19.
- [6] C. D. Thurmond, “The Standard Thermodynamic Functions for the Formation of Electrons  
and Holes in Ge, Si, GaAs , and GaP” *Journal of the Electrochemical Society* 122, 1133,  
1975.

## 第4章 半導体バンドギャップ内の深い準位の解析

### 4.1 DLTS 解析手法

半導体中の結晶欠陥により形成された、深いエネルギー準位を解析する手法として、Deep Level Transient Spectroscopy (DLTS)[1-4]が有効である。DLTS の原理に関して説明する。

図4-1は、n型半導体と金属とのショットキー接合における電子トラップからの電子の捕獲、熱放出の様子を示している。図中  $V_{bi}$  は接合の拡散電位、 $V_R$  は接合に印加した逆バイアスである。接合に逆バイアスが印加されていない(a)では、空乏層外の中性領域ではトラップ準位( $E_T$ )はフェルミレベル( $E_F$ )の下にあり、電子を捕獲した状態である。ここで、逆バイアス( $V_R$ )を印加すると、空乏層幅  $W$  が  $\Delta W$  だけ拡がり、この拡がった領域では(b)のように  $E_T$  は  $E_F$  の上になるため、捕獲されていた電子は伝導帯へ熱的に放出される。この熱放出過程を空乏層容量の変化としてとらえるのがDLTSである。

図4-2に実際にDLTSデータを取得する場合の(a)印加電圧の時間推移  $V(t)$  と、(b)その時のキャパシタンス  $C(t)$ 、(c)キャリアの熱放出と捕獲の様子を示す。ここでは簡略化のため、期間Bでは電圧0Vの場合で考える。

逆バイアス  $V_R$  を印加して十分時間がたつとトラップはすべて電子を放出し(期間A)、その時のキャパシタンス  $C_R$  は、ポアソン方程式を解くことにより、

$$C_R = \sqrt{\frac{q\epsilon_s(N_D + N_T)}{2(V_{bi} + V_R)}} \quad (4-1)$$

で表せる。逆バイアスを切って空乏層を縮めると(期間B)、空乏層中に存在しているトラップは電子を捕獲して中性になり、空乏層中の正電荷は  $N_D$  となる。このため、

$$C_1 = \sqrt{\frac{q\epsilon_s N_D}{2V_R}} \quad (4-2)$$

にキャパシタンスが増加する。

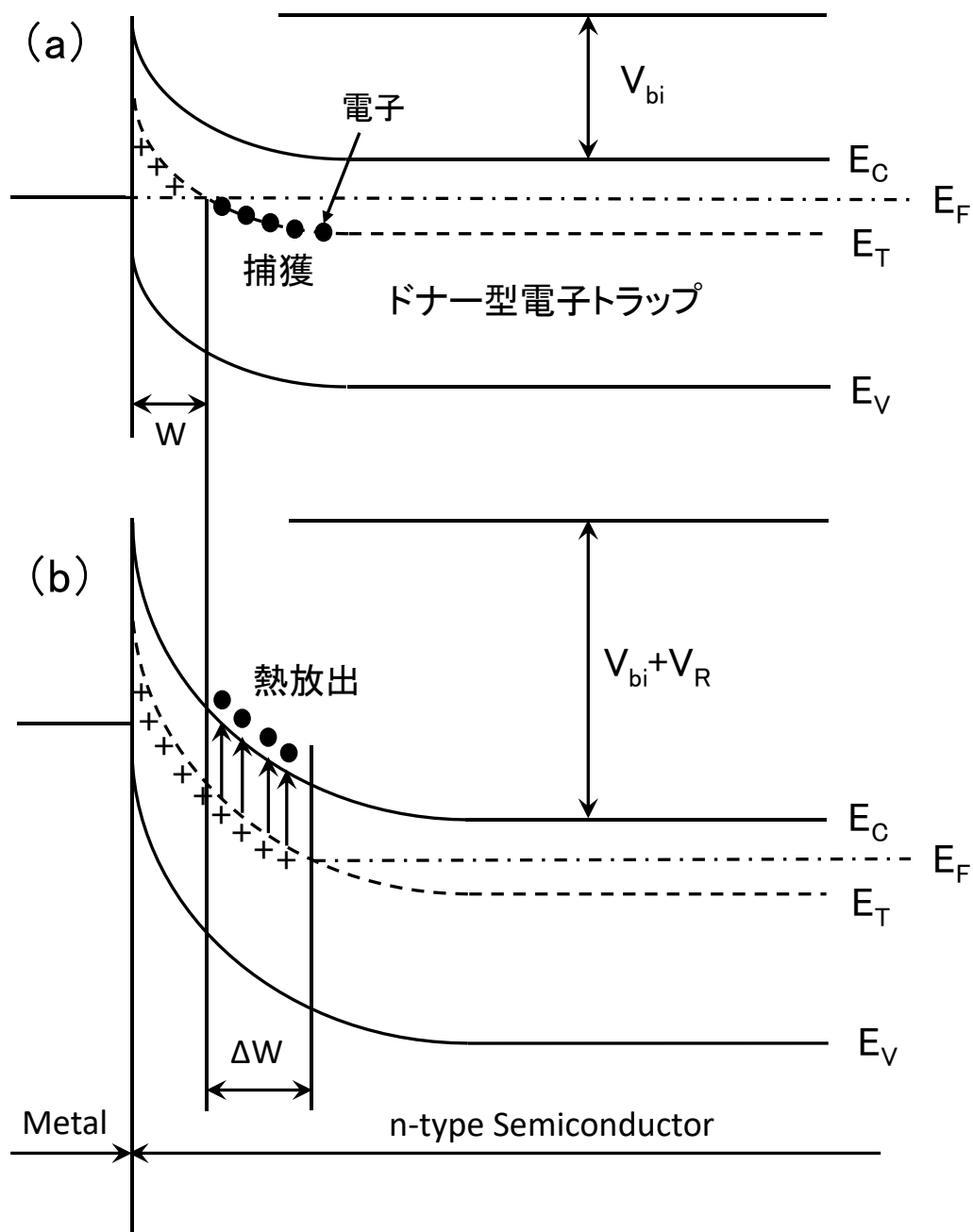


図 4-1 n 型半導体と金属とのショットキー接合の空乏層中の  
電子トラップによる (a) 電子の捕獲と (b) 熱放出

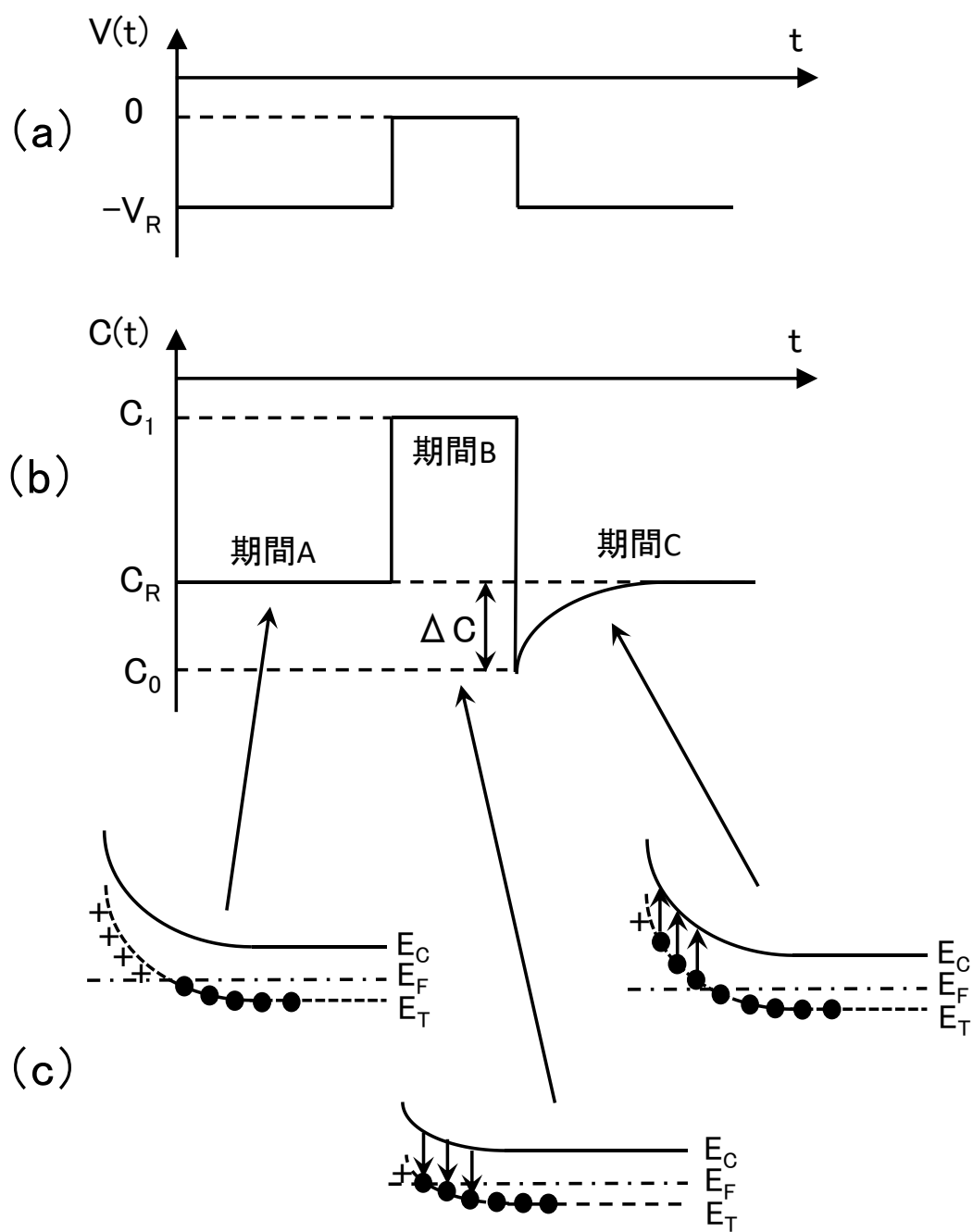


図 4-2 n 型半導体-金属ショットキー接合に、(a)時間的に変化する  
 バイアス  $V(t)$  を印加した場合の (b) 接合容量  $C(t)$  の過渡変化と  
 (c) 電子の捕獲と熱放出の様子

その後、再び逆バイアス  $V_R$  を印加すると、空乏層は瞬間的に広がり、その直後に、

$$C_0 = \sqrt{\frac{q\epsilon_s N_D}{2(V_{bi} + V_R)}} \quad (4-3)$$

にキャパシタンスが減少する。期間  $C$  ではトラップから電子の熱放出が起こり、キャパシタンスは徐々に増加する。

$C_0$  は  $C_R$  よりも、

$$\Delta C = C_R - C_0 = C_R (1 - \sqrt{1 - N_1}) \quad (4-4)$$

だけ小さい。ここで、

$$N_1 = \frac{N_T}{N_D + N_T} \quad (4-5)$$

とおいた。 $N_T$  が  $N_D$  よりも十分小さい場合は、二項定理を用いて近似的に

$$\Delta C \approx \frac{C_R N_T}{2N_D} \quad (4-6)$$

と表せる。これより、

$$N_T \approx 2N_D \frac{\Delta C}{C_R} \quad (4-7)$$

となり、浅いドナー密度  $N_D$  が既知であれば、トラップ密度  $N_T$  が計算できる。

DLTS 測定では、温度を変えてキャパシタンスの過渡変化のデータを取得し、トラップ準位の深さを実験的に求めることができる。

n 型半導体中の電子トラップからの電子の熱放出速度  $e_n$  は、

$$e_n = \frac{1}{\tau} = \frac{A}{\beta} T^2 \sigma_n \exp \left\{ \frac{-(E_c - E_T)}{kT} \right\} \quad (4-8)$$

$\sigma_n$  : トラップの捕獲断面積

$\beta$  : トラップ準位のスピン縮退度

$\tau$  : 電子の熱放出時定数

で表せる。[3]  $A$  は温度に依存しない定数で、

$$A = 4\sqrt{6}\pi\pi^{3/2} M_c m_e^* k^2 h^{-3} \quad (4-9)$$

$M_c$  : 伝導帯の等価な極小点の数(シリコンでは 6)



$m_e^*$  : 電子の有効質量

$h$  : プランク定数

で与えられる。縦軸を  $\ln(e_n/T^2)=\ln\{1/\tau T^2\}$ 、横軸を  $1/T$  でアレニウスプロットすると直線になり、その傾きからトラップ準位  $E_C-E_T$  が、また縦軸との切片から  $\sigma_n$  が求まる。

期間 C におけるキャパシタンスの過渡変化  $C(t)$  は、

$$C(t) = C_0 \{1 - N_1 \exp(-e_n t)\}^{1/2} \quad (4-10)$$

で表わせる。[3] 時間  $t$  の原点は  $V_R$  を印加した直後とする。 $N_D$  が  $N_T$  に対して十分大きいときは、

$$C(t) \approx C_0 - \Delta C \exp(-e_n t) \quad (4-11)$$

と近似される。

DLTS 信号  $S$  は 2 つの時刻  $t_1$ 、 $t_2$  におけるキャパシタンスの差として定義される。

式 (4-11) を用いると、

$$S = C(t_1) - C(t_2) = \Delta C \{ \exp(-e_n t_1) - \exp(-e_n t_2) \} \quad (4-12)$$

で与えられる。この  $S$  が極値をとる条件を求めるために  $S$  を  $e_n$  で微分して 0 とおけば、このときの  $e_n$  の値  $e_{max}$  は

$$e_{max} = \frac{\ln(t_1/t_2)}{t_1 - t_2} \quad (4-13)$$

となり、この式で求まる  $e_{max}$  を Rate Window と呼び、その逆数を熱放出時定数  $\tau_{max}$  とする。

ある時間  $t_1 \sim t_2$  での DLTS スペクトルからピークの温度を読み取れば、その時の  $\tau_{max}(=1/e_{max})$  は式 (4-13) で求まり、アレニウスプロットの 1 点が決まる。 $t_1$  と  $t_2$  の組み合わせを変えて、同様の手順を踏めば、得られたアレニウスプロットから、 $E_C-E_T$  と  $\sigma_n$  を求めることができる。

本研究での DLTS 解析では、ノイズ低減、高感度化の目的のため、測定したキャパシタンスの過渡データ応答の解析に方形波重み関数方式[5]を用いた。図 4-3 のよう

に  $t_d$  と  $t_w$  を定義し、キャパシタンス測定器の応答を考慮して、 $t_d$  の区間は重み関数を零にして、その後の  $t_w/2$  の区間を+1、さらにその後の  $t_w/2$  の区間を-1 として、 $C(t)$  に方形波重み関数をかける。バイアス変化による接合容量の過渡応答は指数関数応答であるので、 $\exp(-t/\tau)$  に対する DLTS 信号  $S_1$  は

$$S_1 = \frac{1}{t_w} \left\{ \int_{t_d}^{t_d + \frac{t_w}{2}} \exp\left(-\frac{t}{\tau}\right) dt - \int_{t_d + \frac{t_w}{2}}^{t_d + t_w} \exp\left(-\frac{t}{\tau}\right) dt \right\}$$

$$= \frac{\tau}{t_w} \exp\left(-\frac{t_d}{t_w} \frac{t_w}{\tau}\right) \left\{ 1 - \exp\left(-\frac{t_w}{2\tau}\right) \right\} \quad (4-14)$$

で表せる。 $S_1$  を  $\tau$  で微分して  $S_1=0$  として、最大条件を求めると

$$\exp\left(\frac{t_w}{2\tau_{max}}\right) = \frac{\left(\frac{t_d}{t_w} + 1\right) \frac{t_w}{\tau_{max}} + 1}{\frac{t_d}{t_w} \frac{t_w}{\tau_{max}} + 1} \quad (4-15)$$

となる。複数の  $t_d$ 、 $t_w$  の組み合わせにおいて、 $\tau_{max}$  が式(4-15)で求まり、各条件での DLTS スペクトルのピーク温度を読み取れば、先に述べた  $t_1/t_2$  方式と同様にアレニウスプロットの傾きからトラップ準位が求まる。解析時は、 $t_d/t_w$  の比を一定にすることが多い。

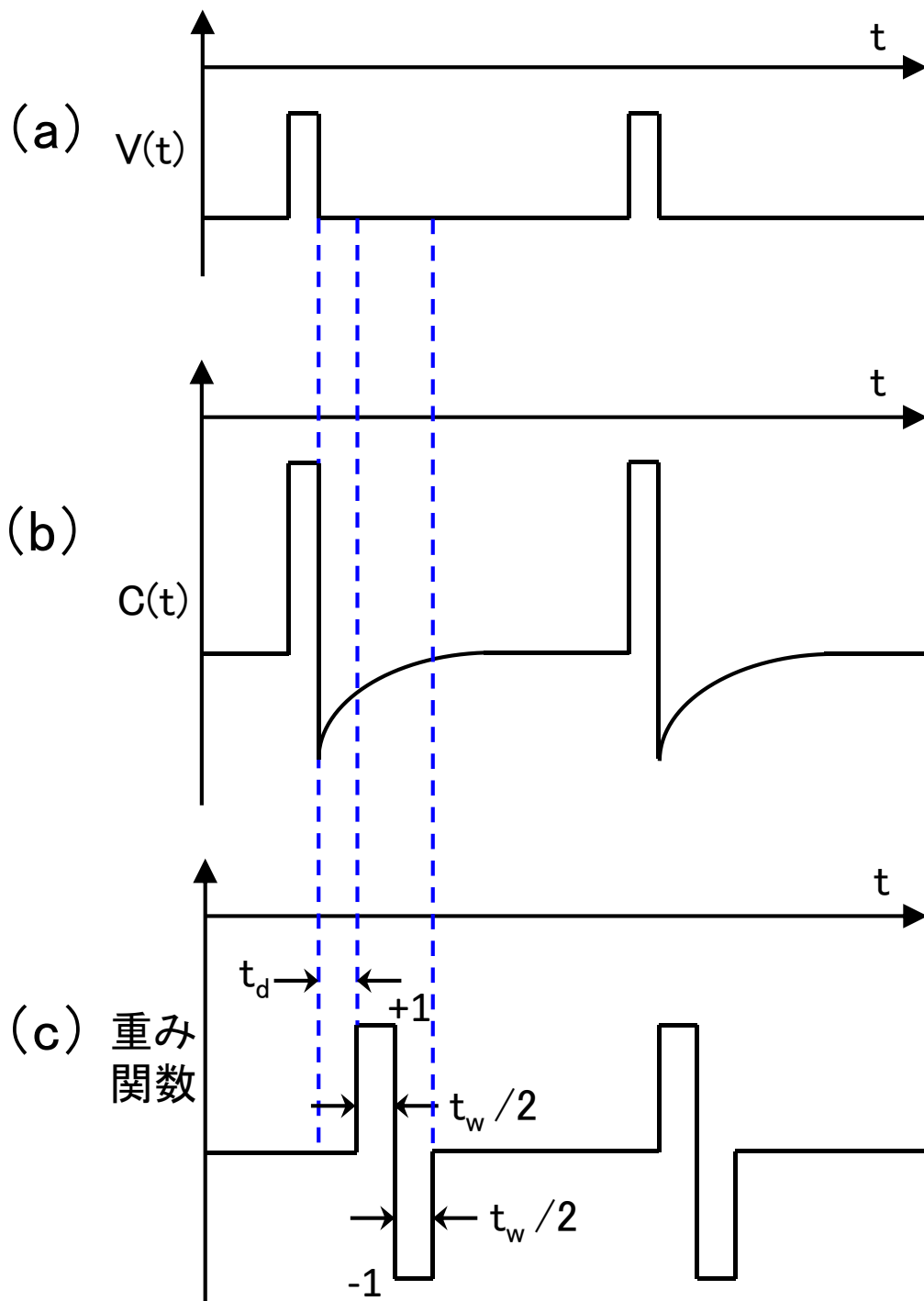


図 4-3 方形波重み関数方式 DLTS 法での

(a)時間的に変化するバイアス  $V(t)$ を印加した場合の

(b)接合容量  $C(t)$ の過渡変化と(c)方形波重み関数

本研究での DLTS 解析において、p-n 接合面に垂直な深さ方向に対して複数の領域で分けてトラップ密度を調査するため、図 4-2 の期間 B での電圧を 0 に固定せず、所望の空乏層厚さになるようにパルス電圧  $V_0$  も変更した。この場合のトラップ密度  $N_T$  の求め方を示す。n 型領域のドナー濃度が  $N_D$  である p<sup>+</sup>/n<sup>-</sup>接合に関して考える。逆バイアスを印加することにより、n<sup>-</sup>領域に空乏層が伸びる。例えば、図 4-4 のように、n<sup>-</sup>領域の  $x \sim x + \delta x$  の領域に  $N_T(x)$  の密度を持つ深いエネルギー準位をもつ電子トラップが存在する場合を考える。このトラップ準位は熱的に電子を放出し、 $qN_T(x)\delta x$  の正電荷が増加する。印加する逆バイアスを一定に保った場合、空乏層は  $\delta W$  だけ縮み、 $qN_D\delta W$  の正電荷が減少する。この固定電荷の変化による電界強度の変化はそれぞれ  $\varepsilon_s$  で割った値になる。 $N_T(x)$  が  $N_D$  よりも十分小さい場合、 $\delta W$  も十分小さい。印加した逆バイアスが一定の場合、トータルの電界変化量は 0 になるため、

$$\frac{q}{\varepsilon_s} \{N_T(x) x \delta x - N_D W \delta W\} = 0 \quad (4-16)$$

が成り立つ。空乏層幅が  $\delta W$  だけ変化した場合、キャパシタンス変化量を  $\delta C$  とすれば、

$$\frac{\delta C}{C} = -\frac{\delta W}{W} \quad (4-17)$$

が成り立つ。式 (4-16) と式 (4-17) から、

$$\frac{\delta C}{C} = -\frac{N_T(x)}{N_D W^2} x \delta x \quad (4-18)$$

が得られる。パルスバイアス  $V_0$  を印加した時の空乏層幅を  $W_0$ 、逆バイアス  $V_R$  を印加した時の空乏層幅を  $W_R$  とした場合、 $x = W_0 \sim W_R$  での  $N_T(x)$  が一定であれば、式 (4-18) を積分して、

$$N_T = -2N_D \frac{\Delta C}{C_R} \frac{W_R^2}{(W_R^2 - W_0^2)}, \quad (4-19)$$

が得られ、この式からトラップ準位の密度が求まる。

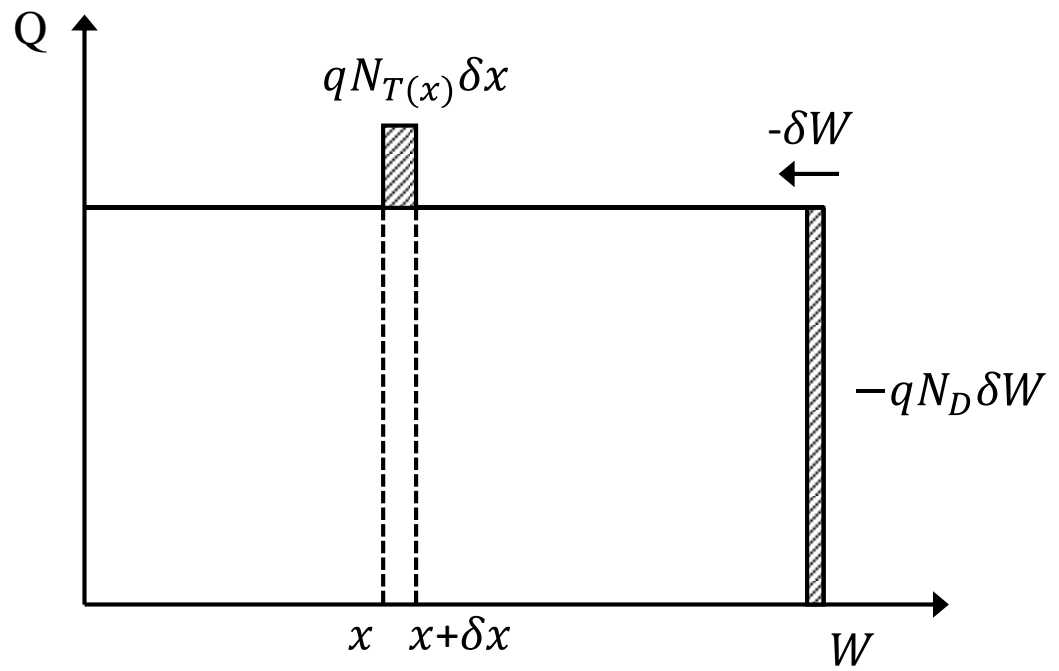


図 4-4 電子放出による空乏層中の空間電荷量の変化

## 4.2 DLTS 解析条件

図 4-5 に、DLTS 解析において、RB-IGBT に印加する電圧の時間推移を示す。 $V_{CE}$  は、エミッタに対するコレクタ電圧を表し、コレクタ側 p-n 接合に逆バイアスを印加する場合は負の値となる。今回は、p-n 接合からの距離を様々に変えて DLTS を取得するため、 $V_0$  は 0V に固定せず、複数の条件でデータ取得を行った。

まず、電圧  $V_0$ 、10msec の期間でパルス電圧を印加する。 $V_0$  は、 $V_R$  よりも 0 に近い値のため、空乏層は縮んだ状態になっている。その後空乏層を広げるための電圧  $V_R$  を 7 秒間印加する。このとき、空乏層の広がった領域において、トラップ準位が存在する場合は電子が熱放出される。7 秒後に再度電圧  $V_0$ 、10msec パルスの電圧を印加し、この間に空乏層を縮めて、フェルミ準位以下のトラップにキャリアが捕獲される。以後、温度を変えながらこれを繰り返す。今回の測定では、液体窒素で冷却した状態から、徐々に温度を上昇させて、約-190°C(83K)から 0°C(273K)の間でデータを取得した。

表 4-1 に、測定した  $V_0$  と  $V_R$  の条件とその電圧での  $n^-$ ドリフト側空乏層幅をまとめる。表中のプラス電圧は p-n 接合に対して順バイアスをマイナス電圧は逆バイアスを表す。空乏層幅は、SR データから得られたドナー濃度を用い、式 (2-1) から計算した。今回使用したサンプルのドナー濃度  $N_D$  は、 $2.0 \times 10^{14} \text{ cm}^{-3}$  である。条件 1 から条件 5 へ向かって、よりコレクタ側 p-n 接合から遠い領域を解析している。

表 4-2 に今回の測定で設定した  $t_d$ 、 $t_w$  との一覧を示す。

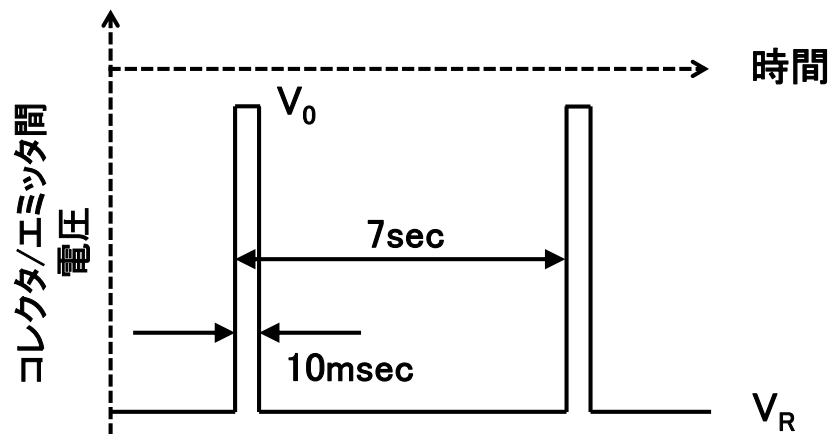


図 4-5 DLTS データ取得時の電圧の時間推移

表 4-1 DLTS 測定条件と空乏層幅

測定条件	$V_0$ (V)	$V_R$ (V)	$V_0/V_R$ 印加時の $n^-$ ドリフト側
			空乏層幅 $W_0/W_R(\mu\text{m})$
条件 1	+0.3	-1.5	0~3.2
条件 2	-2.0	-4.0	3.6~5.2
条件 3	-10	-20	8.1~11.5
条件 4	-40	-60	16.3~19.9
条件 5	-160	-213	32.6~37.6

表 4-2 DLTS 解析条件設定一覽

設定条件	$t_d$ (sec)	$t_w$ (sec)	$\tau_{\max}$ (sec)
設定 1	0.01	0.02	0.019
設定 2	0.02	0.04	0.038
設定 3	0.04	0.08	0.077
設定 4	0.08	0.16	0.153
設定 5	0.20	0.40	0.383
設定 6	0.40	0.80	0.766
設定 7	0.80	1.60	1.531
設定 8	1.60	3.20	3.062



### 4.3 パワーデバイスにおいて形成される結晶欠陥

バイポーラタイプのパワー半導体デバイスにおいて、電気特性の調整のために、高エネルギーの電子線やプロトン、ヘリウムイオンを照射してキャリアライフタイム制御をすることは一般的に用いられる手法である。

これら粒子線やイオンをシリコンへ照射すると、格子位置のシリコン原子がはじき出され、空孔(vacancy)と格子間シリコンのフレンケル欠陥を形成する。このようにできた空孔が対になってできる複空孔( $V_2$ )はシリコン中に深い準位を形成する。 $V_2$ は、伝導帯下端( $E_C$ )から  $0.43\text{eV}$  の位置にエネルギー準位を形成する。

空孔は、さらに結晶中の微量な酸素や n 型基板中のリンなどと反応し、例えば、 $V-O_i$ 、 $V_2-O$ 、 $V-P_s$  等の点欠陥を形成する。ここで、下付きの i は Interstitial (格子間原子型)を、下付きの S は substitutional (置換原子型)を示す。これらの結晶欠陥がつくる準位を表 4-3 にまとめる。

表 4-3 Si 中の典型的な空孔型結晶欠陥のエネルギー準位

欠陥種	$V_2$	$V-P_s$	$V-O_i$	$V-OH$	$V_2-O$
$E_C-E_T$ (eV)	0.24, 0.43	0.46	0.17	0.30	0.47
参考文献	6, 7, 9, 11	7, 10, 11	7, 11	11	9

このように電子線照射によって、空孔が関与する深いエネルギー準位ができ、デバイスの電気特性に多大な影響を及ぼす。

## 参考文献

- [1] D.V. Lang, “Deep - level transient spectroscopy: A new method to characterize traps in semiconductors”, *Journal of Applied Physics* 45, 3023, 1974.
- [2] 松本俊, “DLTS 法の原理と測定方法” 応用物理学会結晶工学分科会第 11 回講習会 予稿, pp. 21-30, 1984.
- [3] 上村洋一, “シリコン結晶欠陥の基礎物性とその評価法”, pp. 37-52, リアライズ社, 1997.
- [4] 技術の伝承プロジェクト編集委員会 編, “シリコン結晶技術”, pp.401-421, 日本学術振興会第 145 委員会.
- [5] Y. Tokuda, N. Shimizu, and A. Usami (1979), “Studies of Neutron-Produced Defects in Silicon by Deep-Level Transient Spectroscopy”, *Japanese Journal of Applied Physics* 18, No.2, 309, 1979.
- [6] G. D. Watkins and J. W. Corbett, *Phys. Rev.* 138, A543, 1965.
- [7] 上村洋一, “シリコン結晶欠陥の基礎物性とその評価法”, pp. 103-170, リアライズ社, 1997.
- [8] G. D. Watkins and J. W. Corbett, *Phys. Rev.* 121, pp. 1001, 1961.
- [9] M. Mikelsen, J. H. Bleka, J. S. Christensen, E. V. Monakhov, and B. G. Svensson, J. Harkonen, B. S. Avset, “ Annealing of the divacancy-oxygen and vacancy-oxygen complexes in silicon”, *Physical Review*, B75, 155202, 2007.
- [10] G. D. Watkins and J. W. Corbett, *Phys. Rev.* 134, A1359, 1964.
- [11] F. D. Aurret, S. M. M. Coelho, J. M. Nel, W. E. Meyer, “Electrical characterization of defects introduced in n-Si during electron beam deposition of Pt”, *Phys. Status Solidi*, A 209, No.10, pp. 1926-1933, 2012.

## 第 5 章 DLTS による RB-IGBT の欠陥準位解析

### 5.1 従来 RB-IGBT サンプル概要

以下に、漏れ電流が大きい、従来の RB-IGBT の表面側(MOS 構造)形成後の概略工程フローを示す。

表面 MOS 構造、およびその周辺に形成する耐圧構造部を形成した後、キャリアライフタイム調整のために電子線照射を行う。次に所望の耐圧に必要な厚さまでウェハを薄化してから、裏面側にコレクタ用の p 型不純物であるボロンをイオン注入する。その後、活性化としては低めの 400°C 以下で電気炉によるアニール(Furnace Annealing、以下、FA と表記)を行う。これは、2.4 項で述べたように、表面 MOS 構造側に既に Al を基材とした薄膜電極が形成されているためである。この p 型層活性化の炉アニールは、電子線照射後に行われるアニールの役割も兼用している。

図 5-1 に従来 RB-IGBT の裏面コレクタ領域の拡がり抵抗測定法(Spreading Resistance Analysis、以下 SRA と表記)による不純物プロファイルを示す。SRA は、斜め研磨した半導体へ 2 本のプローブをコンタクトさせて、そのプローブ間の拡がり抵抗を測定し、シリコンの深さ方向の比抵抗(抵抗率)や、キャリア濃度を計算する手法である。電氣的に測定するため、この手法によって得られるキャリア密度は、活性化した不純物濃度とみなせる。一方、イオン注入装置における不純物注入量は活性化した分と活性化していない不純物の総量となる。本結果の  $p^+$ コレクタ層不純物プロファイルの積分値とイオン注入装置による注入量の比から、 $p^+$ コレクタ層のボロン活性化率は 0.93% と見積もられた。すなわち、イオン注入されたボロンのうち、約 99% 以上は活性化せずに  $p^+$ コレクタ層や p-n 接合近辺のシリコン中に格子間原子として存在していると考えられる。

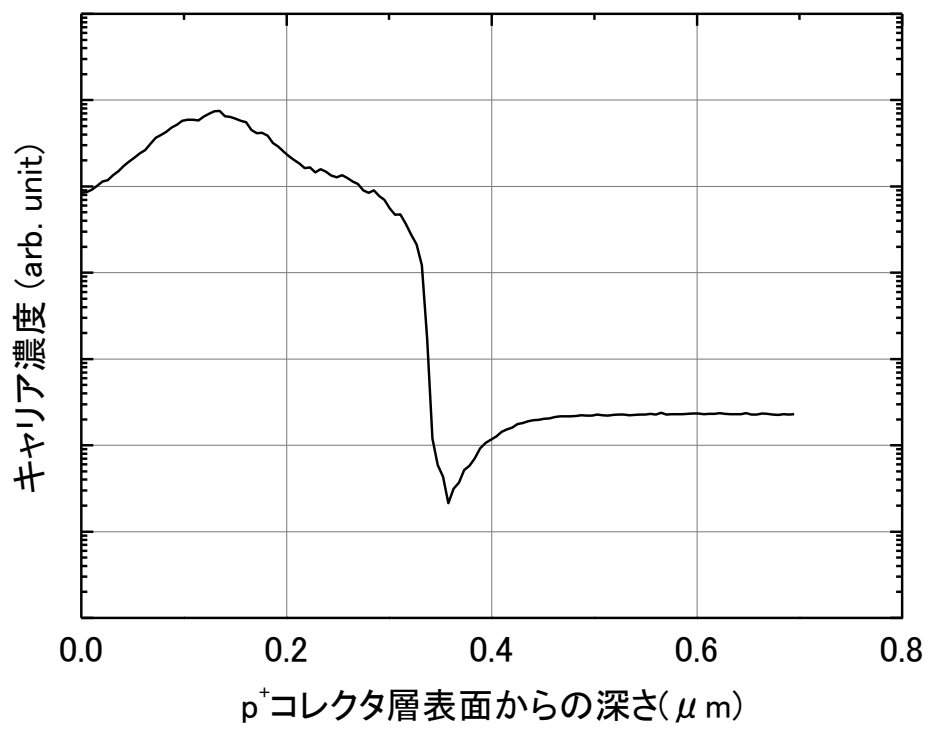
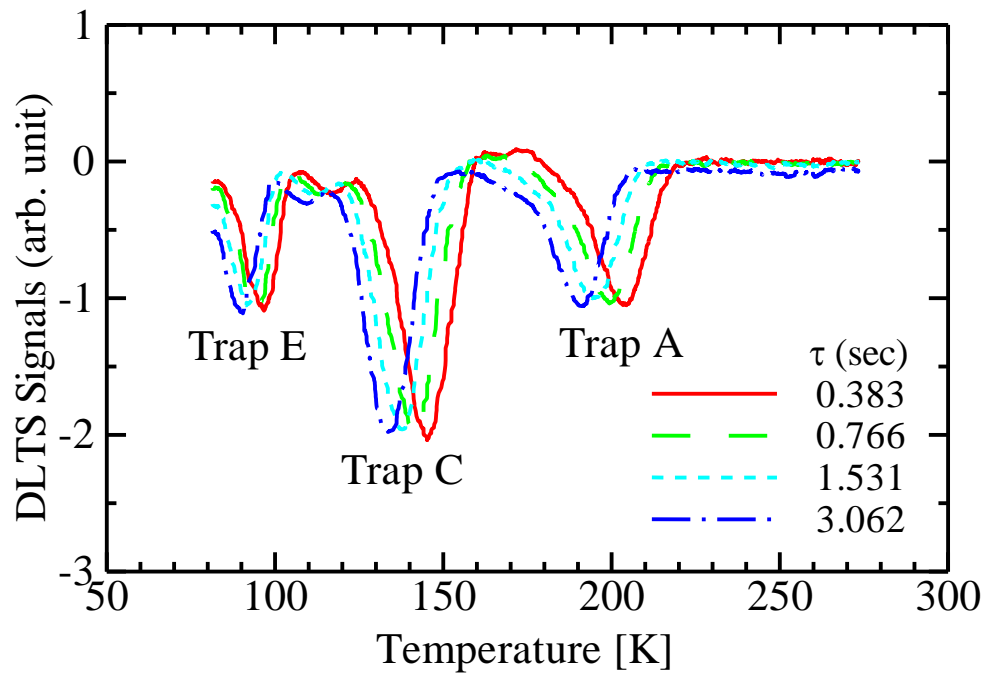


図 5-1 SRA による従来 RB-IGBT のコレクタ層プロファイル

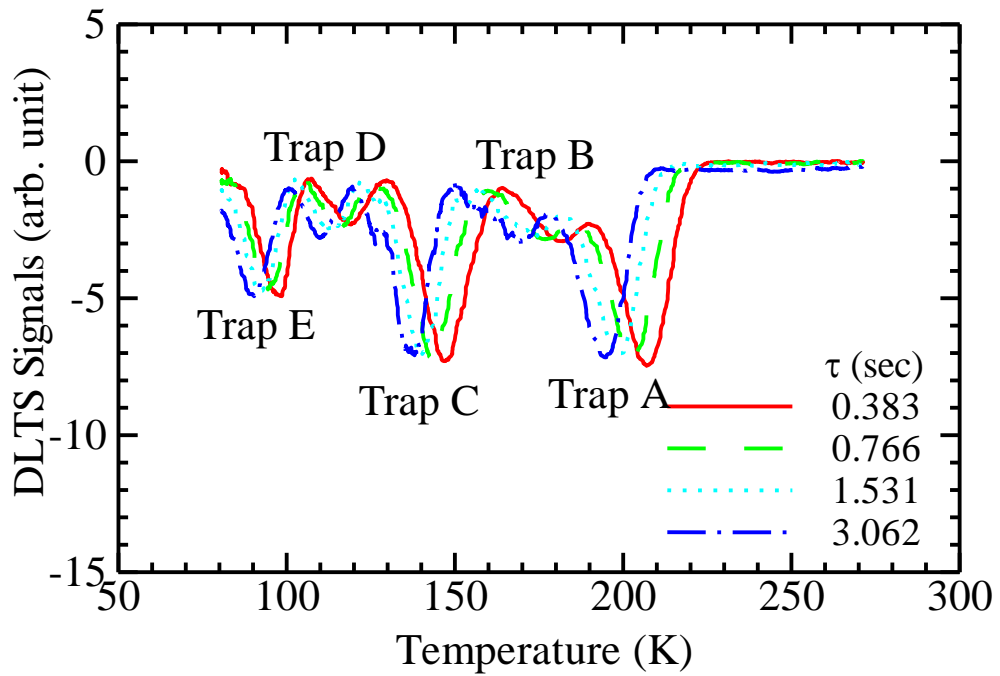
## 5.2 従来 RB-IGBT の DLTS 解析結果

4.2 項の表 4-1 の条件で DLTS を行った。各測定条件での DLTS 結果を図 5-2 に示す。

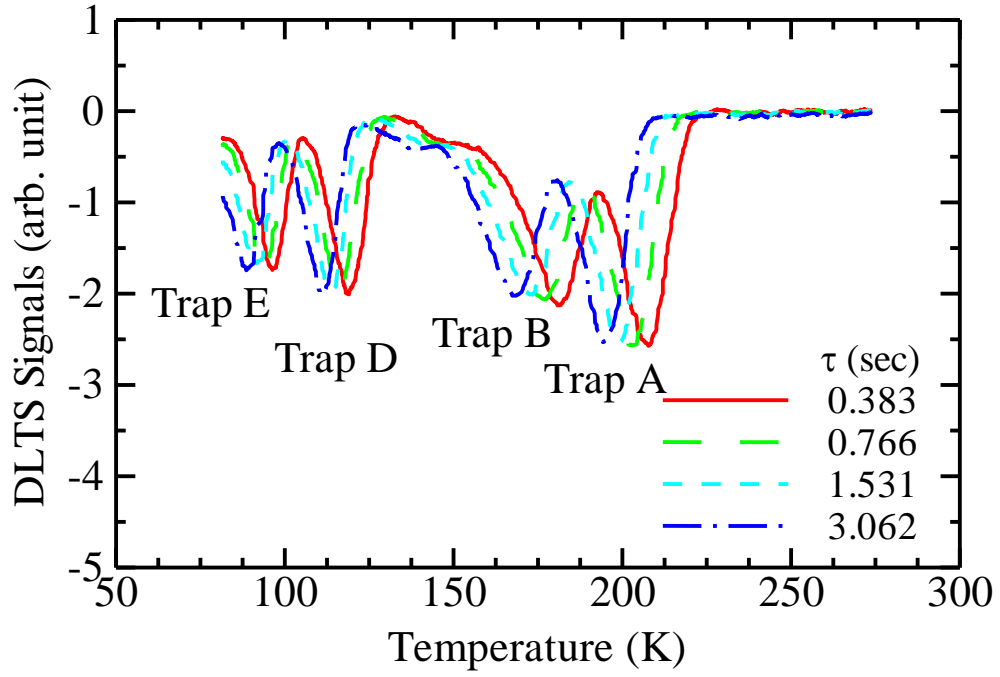
すべてのデータを載せると煩雑になるため、表 4-2 の設定条件のうち、設定 5～8 の $\tau_{\max}$ での DLTS 信号のみ記載する。 $n^-$ ドリフトにおける多数キャリアを解析しているため、DLTS 信号は下向きのピークとなる。例えば、図 5-2(a)は、バンドギャップ中に異なる深さのエネルギーを持つ 3 種類の準位があることを示している。高い温度にみられるピークほど、エネルギー準位が深い(バンドギャップ中心に近い)ことを表す。コレクタ p-n 接合直近である (a) 条件 1 では Trap A、C、E の 3 種類のエネルギー準位が確認され、それよりも遠い領域となる (b) 条件 2 では、Trap A～E の 5 種類のエネルギー準位が確認された。(c) 条件 3 より深い領域では、Trap A、B、D、E の 4 種類のトラップ準位が存在している。



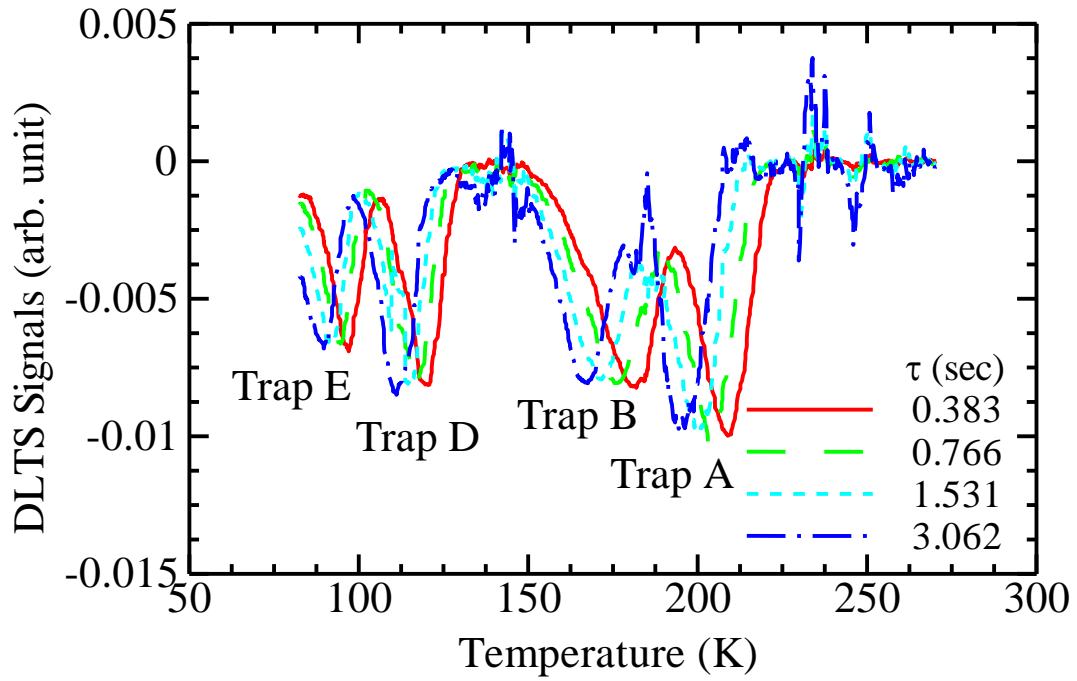
(a) 条件 1 ( $V_0=+0.3V$ 、 $V_R=-1.5V$ )



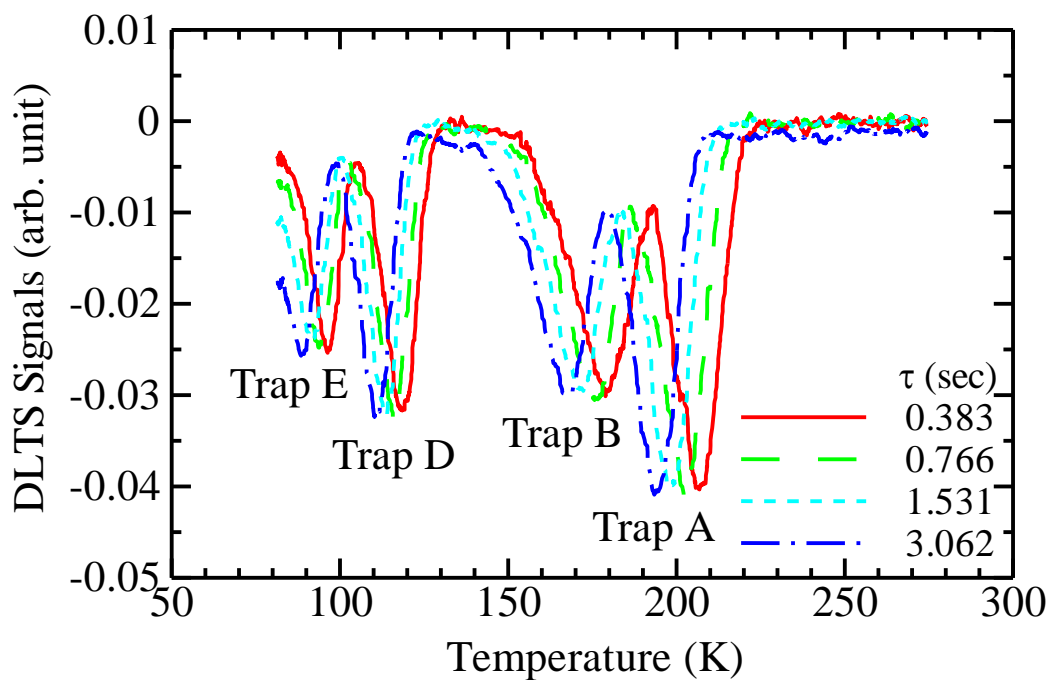
(b) 条件 2 ( $V_0=-2.0V$ 、 $V_R=-4.0V$ )



(c) 条件 3 ( $V_0=-10V$ 、 $V_R=-20V$ )



(d) 条件 4 ( $V_0=-40V$ 、 $V_R=-60V$ )



(e) 条件 5 ( $V_0=-160\text{V}$ 、 $V_R=-213\text{V}$ )

図 5-2 従来の RB-IGBT の DLTS 結果

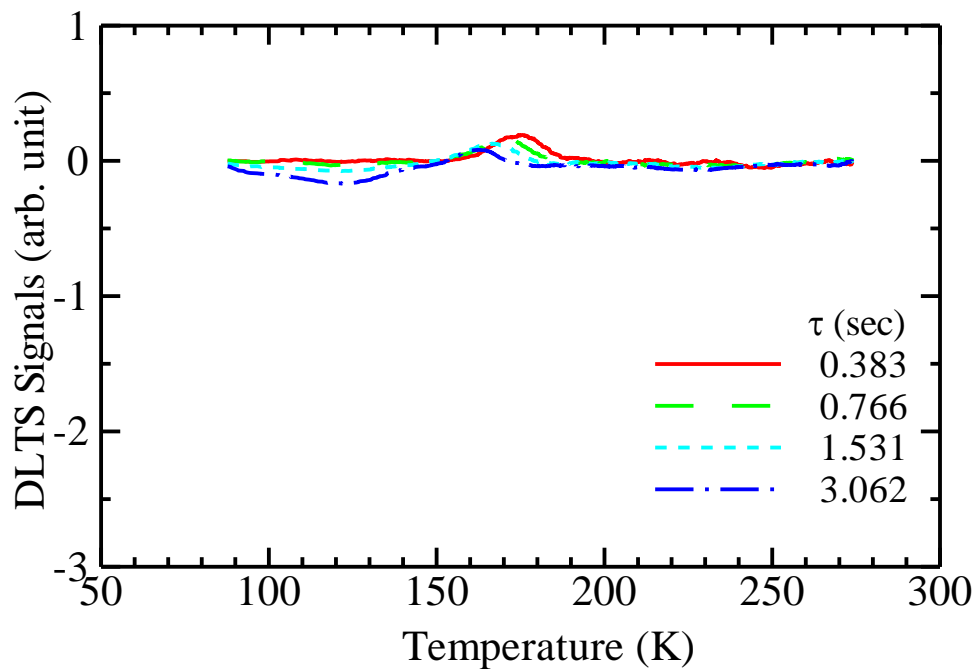


図 5-3 電子線照射をしていない RB-IGBT の DLTS 結果 (条件 1)



図 5-3 は、電子線照射をしていない RB-IGBT に関し、条件 1 で DLTS 解析を行った結果である。電子線照射を行っている図 5-2(a) の各結果と比較して、明確な電子トラップの DLTS 信号は得られなかった。このことから、図 5-2 で得られたトラップ準位による DLTS 信号は、電子線照射により形成された空孔が関連した結晶欠陥によるものと考えられる。

3. 2 項で述べた SRH モデルから、バンドギャップ中心に近いエネルギー準位ほど漏れ電流に与える影響が大きい。DLTS 信号においては、高い温度にピークが現れるトラップ準位ほど、深い準位を持つ。最も高い温度に位置しており、深いエネルギー準位をもつ Trap A に関し、p-n 接合からの距離と式 (4-19) から計算したトラップ密度  $N_T$  の相関を図 5-4 に示す。式 (4-19) における  $\Delta C/C_R$  は、DLTS 測定におけるトランジエント波形から読み取り、計算した値を用いた。測定条件毎の  $\Delta C/C_R$  を表 5-1 に示す。横軸の値は、逆バイアス  $V_0$  と  $V_R$  を印加した時の空乏層位置の p-n 接合からの距離の中心値としている。Trap A 密度は p-n 接合からの距離に対して大きな変化はなく、 $11 \text{ 乗 cm}^{-3}$  の後半から  $12 \text{ 乗 cm}^{-3}$  前半と比較的高い密度になっている。これは、先に述べたように、電子線照射後の熱処理を FA で行っており、素子全体に均一に熱がかかっているためである。

図 5-2 の各 5 条件における DLTS 信号のピーク温度を読み取り、縦軸を  $\tau_{\max} T^2$ 、横軸を  $1000/T$  としたアレニウスプロットを図 5-5 に示す。この図から、全部で 5 種類のエネルギー準位が存在している。式 (4-8) を用いて、傾きから、伝導帯下端からのトラップのエネルギー準位  $E_C - E_T$  を求めた結果と、エネルギー準位から推定した結晶欠陥種別を表 5-2 にまとめる。  $E_C - E_T$  の値は、条件 1~5 から求めた値の平均値である。  $E_C$  従来の RB-IGBT における最も深い Trap A のエネルギー準位は  $E_C - E_T = 0.53 \text{ eV}$  である。シリコンのバンドギャップは  $1.12 \text{ eV}$  のため、ほぼバンドギャップの中心に位置している。SRH モデルから、この深いエネルギー準位を持つ Trap A は、RB-IGBT の漏れ電流に大きな影響を及ぼす。

切片から捕獲断面積を計算した結果を表 5-3 にそれぞれ示す。

表 5-1 従来 RB-IGBT での DLTS 測定から得られた  $\Delta C/C_R$

測定条件	$\Delta C/C_R$ (pF/pF)
条件 1	$5.49/2610=2.10 \times 10^{-3}$
条件 2	$4.493/1710=2.88 \times 10^{-3}$
条件 3	$1.43/789=2.88 \times 10^{-3}$
条件 4	$0.56/455=1.23 \times 10^{-3}$
条件 5	$0.19/241=7.88 \times 10^{-4}$

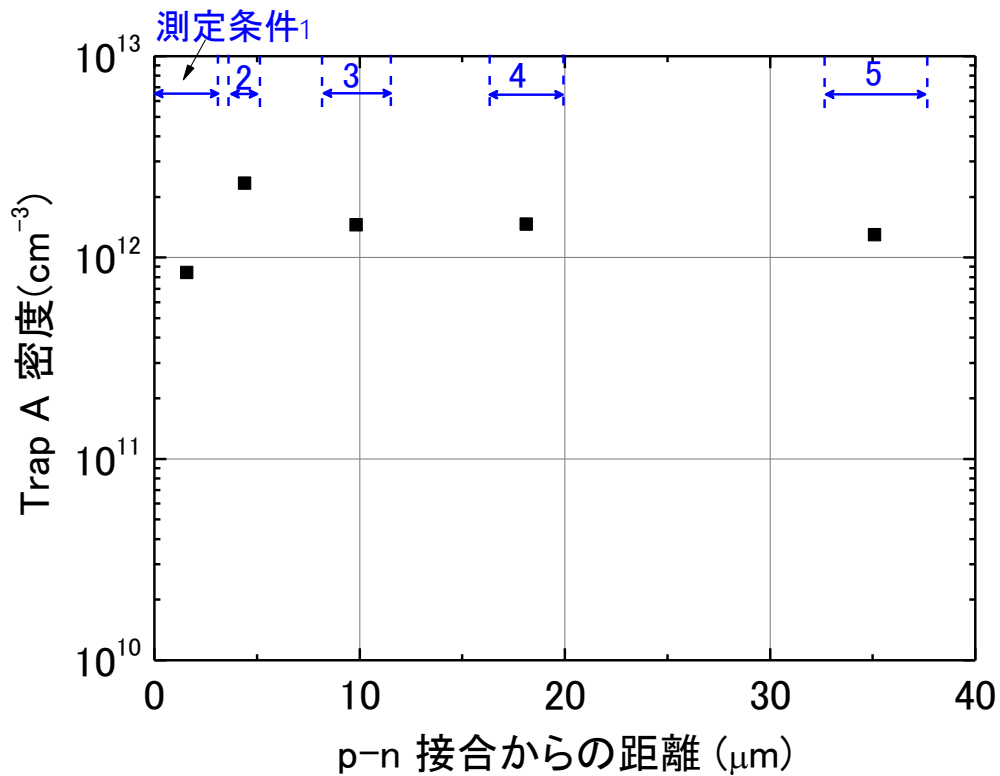


図 5-4 p-n 接合からの距離と

DLTS 結果から得られた Trap A 密度( $N_T$ )の相関

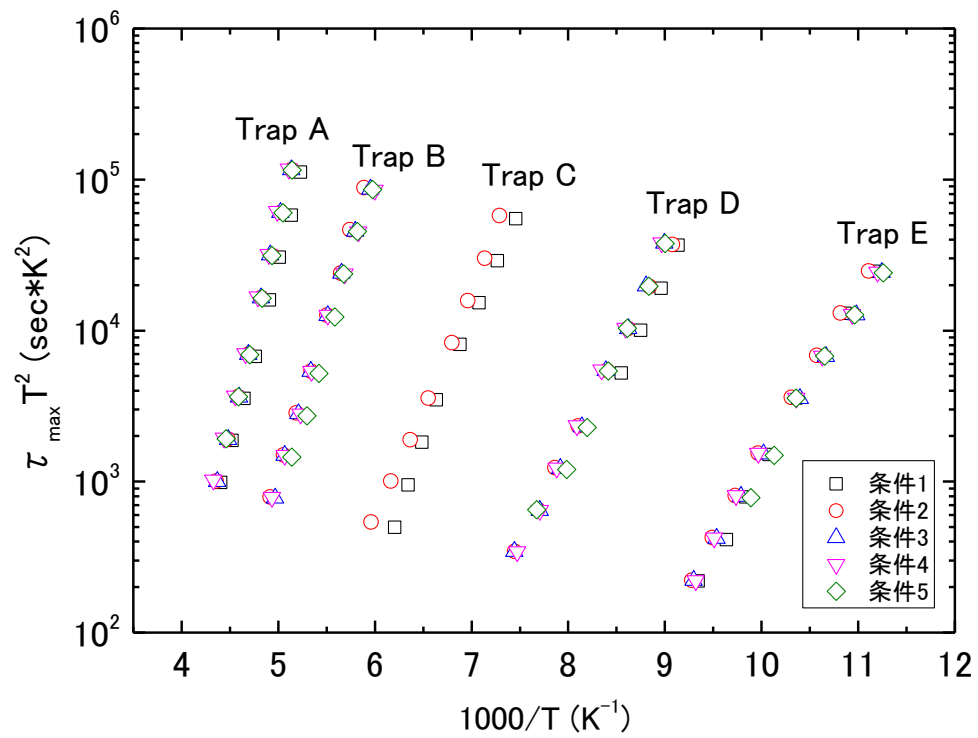


図 5-5 従来 RB-IGBT での DLTS 結果から得られた  
アレニウスプロット

表 5-2 各トラップのエネルギー準位  $E_C-E_T$  (単位 : eV)

	Trap A	Trap B	Trap C	Trap D	Trap E
平均値	0.53	0.38	0.33	0.26	0.22
推定される 結晶欠陥種	$V-P_S$ or $V_2-O$	$V_2$	VOH	$V_2$	$V-O_i$

表 5-3 各トラップの捕獲断面積  $\sigma_n$  (単位 :  $\text{cm}^2$ )

	Trap A	Trap B	Trap C	Trap D	Trap E
条件 1	$1.86 \times 10^{-14}$	-	$2.08 \times 10^{-15}$	-	$4.58 \times 10^{-14}$
条件 2	$5.79 \times 10^{-14}$	$4.40 \times 10^{-15}$	$3.10 \times 10^{-16}$	$7.70 \times 10^{-16}$	$1.21 \times 10^{-14}$
条件 3	$1.29 \times 10^{-13}$	$2.81 \times 10^{-15}$	-	$3.06 \times 10^{-15}$	$2.34 \times 10^{-15}$
条件 4	$4.74 \times 10^{-14}$	$5.58 \times 10^{-16}$	-	$6.55 \times 10^{-15}$	$3.48 \times 10^{-15}$
条件 5	$4.10 \times 10^{-14}$	$1.91 \times 10^{-14}$	-	$6.97 \times 10^{-15}$	$1.40 \times 10^{-15}$
平均値	$5.72 \times 10^{-14}$	$6.63 \times 10^{-15}$	$1.19 \times 10^{-15}$	$4.34 \times 10^{-15}$	$1.30 \times 10^{-14}$

図 5-6 に裏面コレクタ層の活性化を FA で行っている従来 RB-IGBT（電子線照射あり）の漏れ電流波形を示す。参考のために、電子線照射をしてないサンプルの漏れ電流も記載する。電子線照射をしてないサンプルと比較して、従来 RB-IGBT は数倍以上の漏れ電流が流れている。

従来 RB-IGBT では、DLTS 解析の結果から、 $n^-$ ドリフト内では、 $E_C - E_T = 0.52\text{eV}$  でバンドギャップ中心に近いエネルギー準位を持つ Trap A が  $12 \text{ 乗 } \text{cm}^{-3}$  程度の密度で存在しており、このトラップ準位が漏れ電流に大きな影響を与えていることがわかる。しかしながら、3.2 項で述べたように、トラップ密度  $N_T$  が一定の場合、発生リーク電流  $J_{gen}$  は、逆バイアス  $V_R$  の  $1/2$  乗と真性キャリア濃度  $n_i$  に比例するはずである。図 5-4 に見られるようにトラップは素子内ではほぼ均一であるが、数 V 以上の領域では、従来 RB-IGBT の漏れ電流は SRH モデルから推定される傾きよりも大きくなっている。

これらのことから、 $n^-$ ドリフトでの発生電流以外の漏れ電流成分が影響している可能性が高い。他の漏れ電流の発生源として、図 5-7 のように、 $p^+$ コレクタ層における活性化されていない格子間ボロン（以降、 $B_i$  と表記。「i」は interstitial：格子間型を示す。）が考えられた。図中の「V」は空孔(vacancy)に関わる、深いエネルギー準位を持つ結晶欠陥を表している。5.1 項で述べたように、従来の RB-IGBT ではコレクタ層の活性化を  $400^\circ\text{C}$  以下の炉アニールで行っており、99%のボロンが活性化しておらず、その濃度は  $10^{17} \text{ cm}^{-3}$  以上と、 $n^-$ ドリフトの Trap A 密度の  $12$  乗オーダーよりも桁違いに大きい。また、 $B_i$  は、 $E_C - E_T = 0.45\text{eV}$  の深い準位を形成することが知られている。[1, 2]

今回行った DLTS 解析は、 $p-n$  接合に逆バイアスを印加して、ドナー濃度の低い  $n^-$ ドリフト側に空乏層を進展させ、その部分のキャリア熱放出をキャパシタンスの値として検出している。アクセプタ濃度の高い  $p^+$ コレクタ層側には空乏層が広がらず、また、DLTS 解析の機構上、不純物濃度の高い領域はトラップ準位の解析が困難であることから、 $p^+$ コレクタ層のトラップ準位が検出できていないと考えられる。

以上のことから、従来の RB-IGBT の漏れ電流を減少させる施策としては、 $n^-$ ドリフト領域の深い準位を減少させるとともに、 $p^+$ コレクタ層の活性化率を上げて、余剰な  $B_i$  を減少させることがポイントとなる。

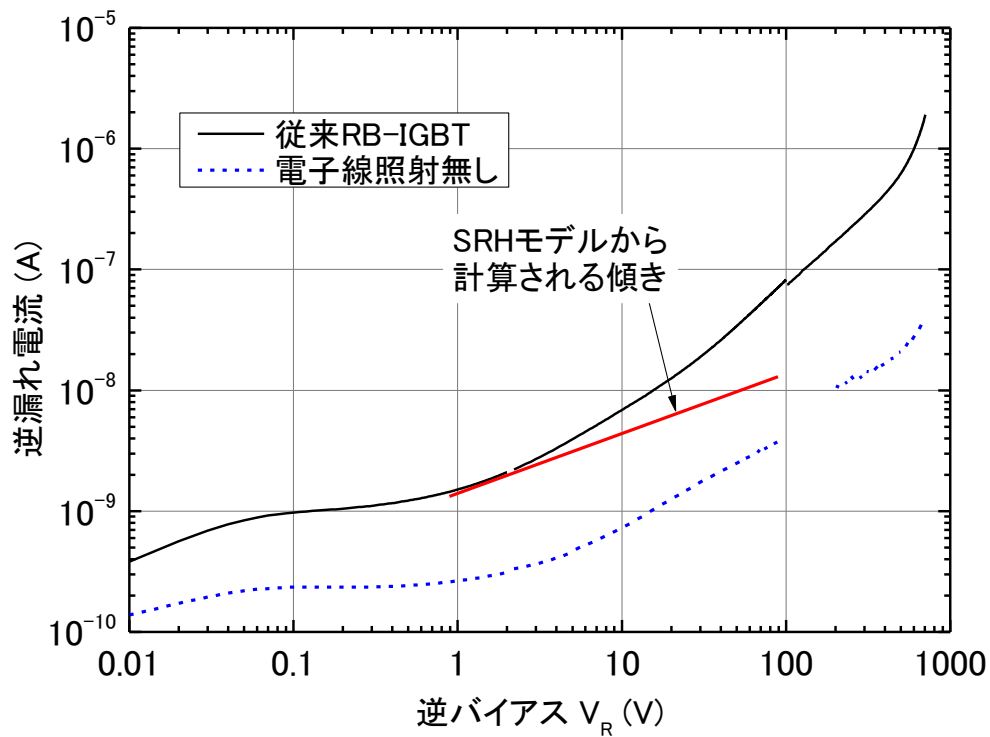


図 5-6 従来 RB-IGBT(電子線照射あり)と

電子線照射をしていない RB-IGBT の漏れ電流波形

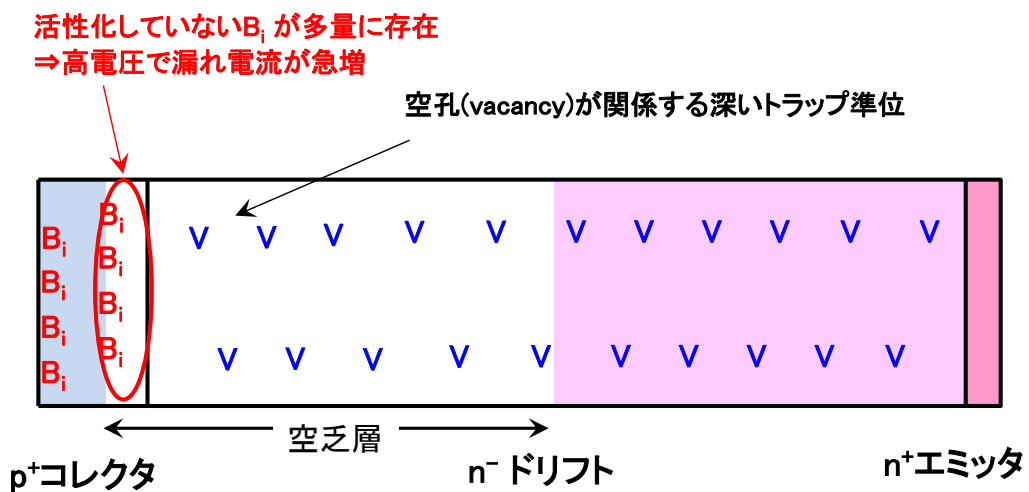


図 5-7 漏れ電流に影響する結晶欠陥

### 5.3 $p^+$ コレクタ活性化改善手法

$p^+$ コレクタ層の活性化率を上げる手段として、裏面コレクタ層の活性化を短時間で高温に熱処理できる、レーザーアニール法(Laser Annealing、以下 LA と表記)が有効と考えられた。LA 法では、照射した表面では瞬間的に  $1000^{\circ}\text{C}$  以上の温度になっていると考えられる。[3] 短時間でコレクタ側のみを高温にできるため、表側(MOS 構造側)の Al 電極を劣化させることなく、 $p^+$ コレクタ層の活性化率を上げ、かつ、高い熱エネルギーにより  $p$ - $n$  接合近辺の結晶欠陥を減少させる効果が期待できる。従来の RB-IGBT では、電子線照射後の熱処理とコレクタ層の活性化を同じ  $400^{\circ}\text{C}$  以下の FA で兼用していたが、 $p^+$ コレクタ活性化を LA で行う場合は、別に電子線照射後の FA が必要である。改善 RB-IGBT では、電子線照射直後に  $400^{\circ}\text{C}$  以下の FA を行い、その後に裏面研削、LA による  $p^+$ コレクタ層形成というプロセスフローを採用した。

図 5-8 に従来品と改善品の拡がり抵抗測定(SRA)結果を示す。デバイスの電気特性を大幅に変更しないように、コレクタ層のキャリア濃度は同程度になるようにボロンのドーズ量を設定している。改善 RB-IGBT では活性化率が高いため、従来 RB-IGBT のボロンドーズ量に対し、2 桁程度低いドーズ量に設定している。拡がり抵抗測定結果と設定ドーズ量の値から、LA により活性化した改善版の  $p^+$ コレクタ活性化率は、54.1%と見積もられ、従来品の 0.93%よりも大幅に高くなっていることを確認した。



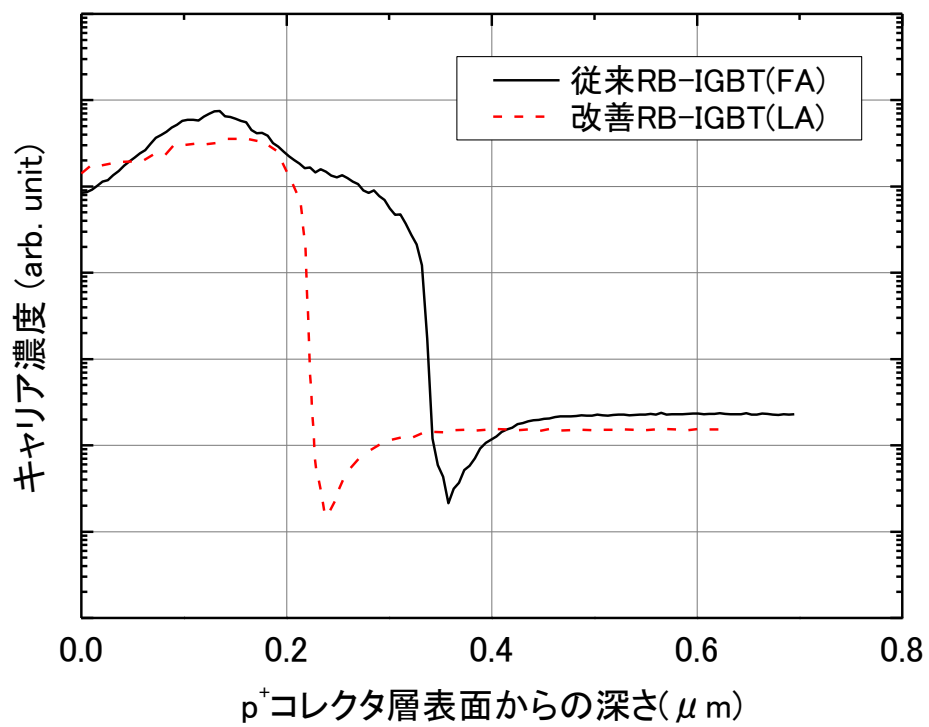
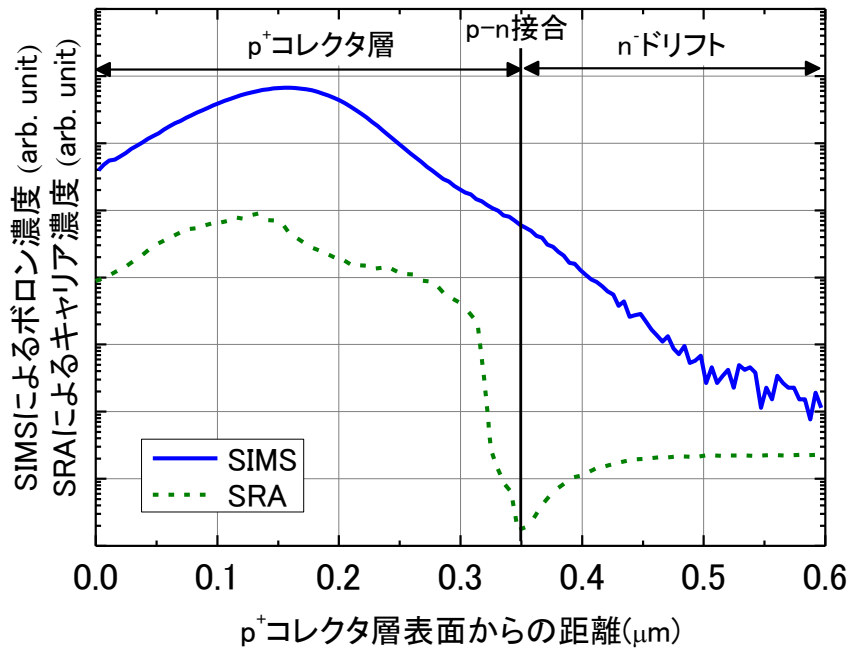


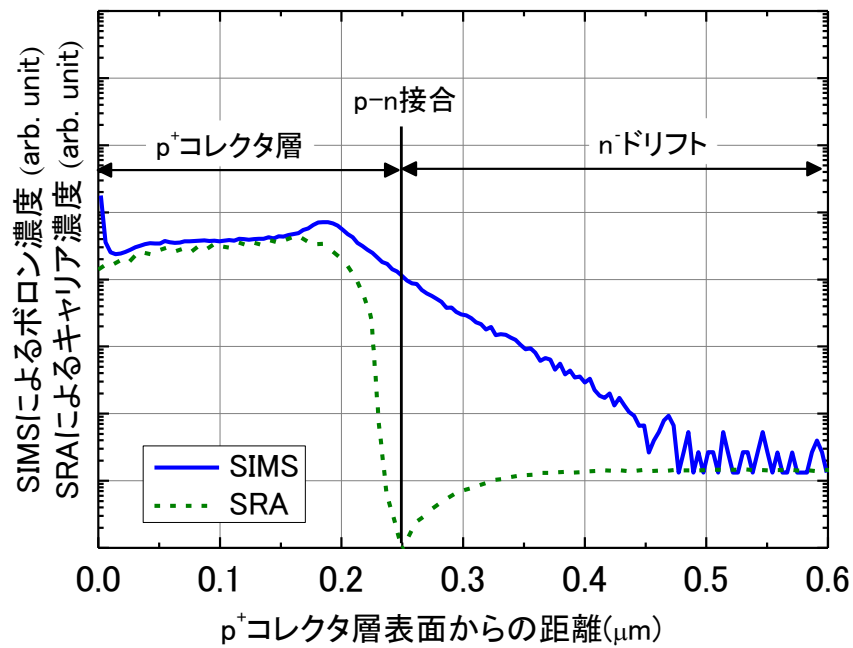
図 5-8 SRA による従来と改善版 RB-IGBT の  
コレクタ層プロファイル比較

不活性なボロンの深さプロファイルを見積もるため、 $p^+$ コレクタ層近傍において Secondary ion mass spectrometry (SIMS) [4]と SRA による分析を行った。SIMS では、活性化している、していないにかかわらず、ボロン濃度が評価できる。一方、SRA では電氣的に測定を行うため、活性化した不純物濃度がキャリア濃度として評価できる。図 5-9 に (a) 従来 RB-IGBT と (b) 改善 RB-IGBT に関する、SIMS と SRA の結果を示す。(a) では、 $p^+$ コレクタ層の SRA によるキャリア濃度(≒活性化したボロン濃度)は、SIMS によるボロン濃度よりも一桁以上小さい。一方、(b) では、SRA と SIMS による濃度が同程度になっている。このことは、従来 RB-IGBT では  $p^+$ コレクタ層のボロン活性化率が低く、改善 RB-IGBT では高いことを示唆している。

図 5-9 において、SIMS によるボロン濃度から、SRA によるキャリア濃度を引くことにより、不活性なボロン濃度を見積もることができる。図 5-10 に不活性なボロン濃度の深さ依存性を示す。横軸の 0 点は  $p-n$  接合位置とし、 $p^+$ コレクタ層へ向かう方向の距離としているため、横軸の左の方へ行くほどエミッタ表面に近くなっている。SRA が電氣的に測定を行っている関係上、 $p-n$  接合に近い領域(概ね  $0\sim 0.1\mu\text{m}$  程度)の濃度は不正確である可能性があるが、 $p-n$  接合から  $0.1\mu\text{m}$  より離れた領域では、改善 RB-IGBT (LA)における不活性なボロン濃度は従来 RB-IGBT (FA)よりも 2 桁以上低くなっており、大幅に低減できていることが確認できた。



(a)従来 RB-IGBT



(b)改善 RB-IGBT

図 5-9  $p^+$ コレクタ層近傍における SIMS によるボロン濃度と

SRA によるキャリア密度

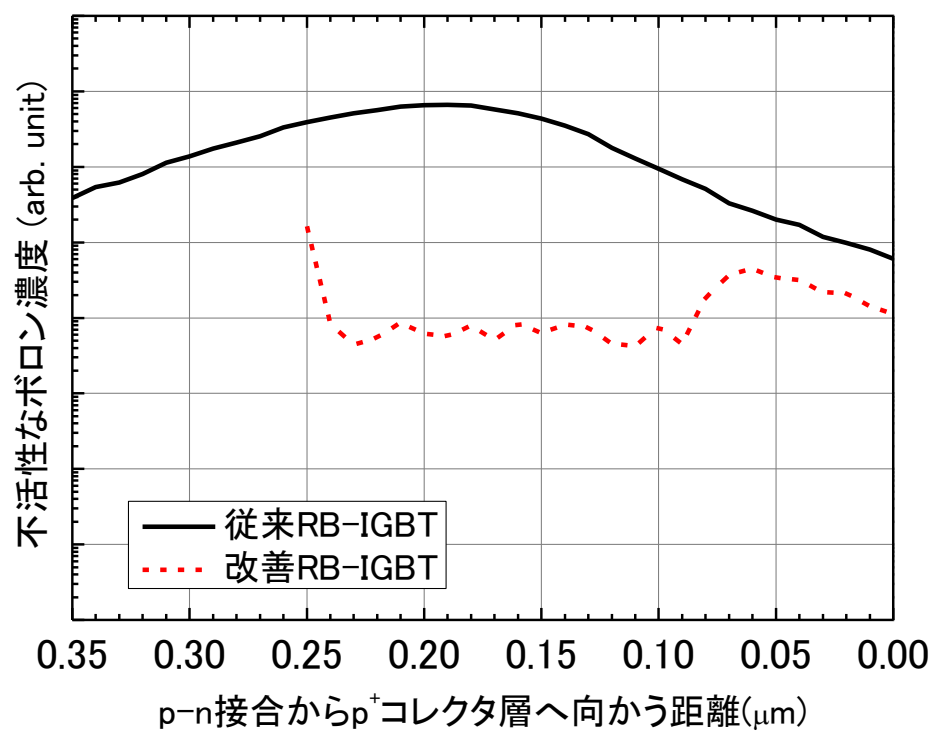


図 5-10 SIMS、SRA 結果から計算した不活性なボロン濃度

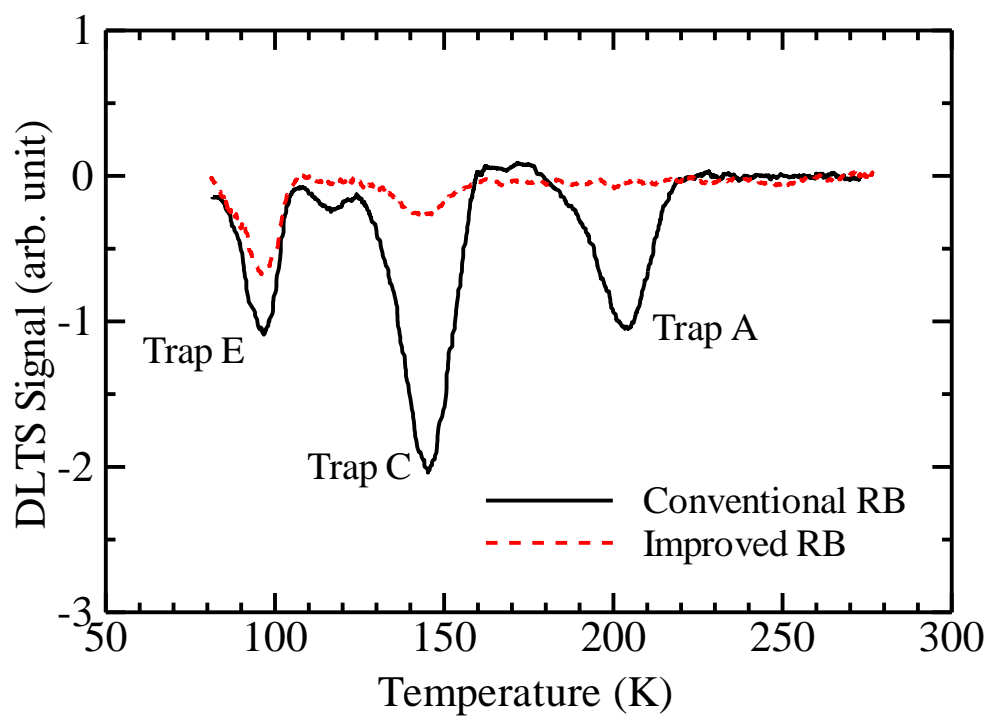
## 5.4 $p^+$ コレクタ活性化手法改善品の DLTS 結果

$p^+$ コレクタ活性化手法を改善した RB-IGBT の DLTS 解析結果を、 $\tau_{\max}=0.766\text{sec}$  のスペクトルを抜粋して従来 RB-IGBT との比較として図 5-11 の(a)～(e)に示す。 $p-n$  接合に近い条件(a)と(b)において、最も深い準位をもつ Trap A のピークが劇的に減少しており、改善品では Trap A 密度が減少していることがわかる。

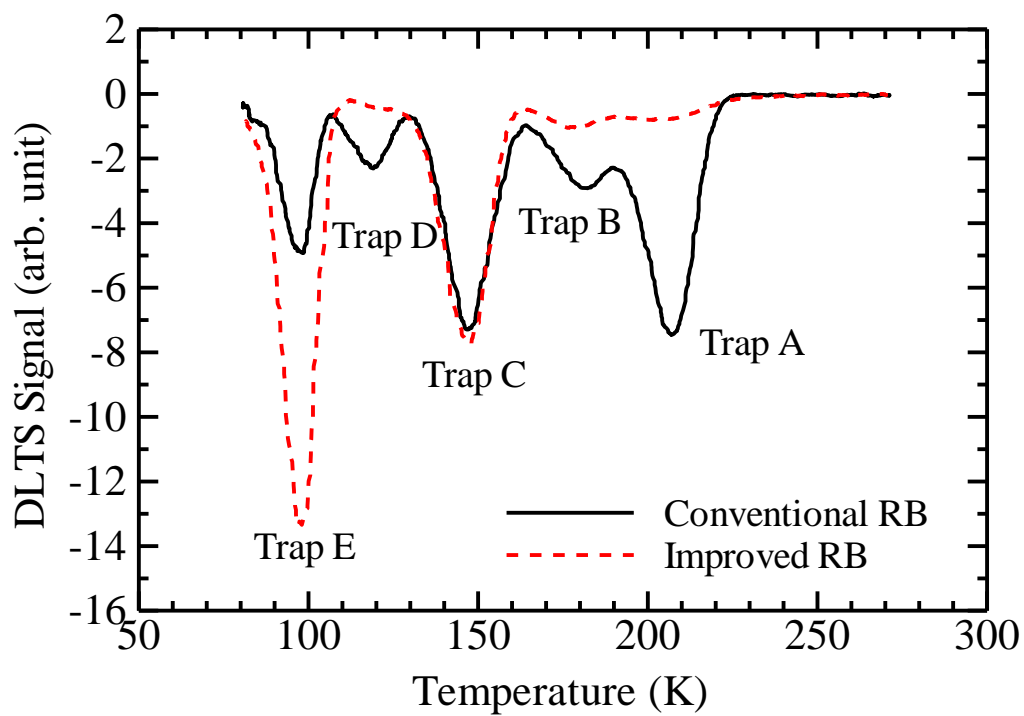
(c)は空乏層幅に換算すると  $8.1\sim 11.5\mu\text{m}$  に相当する(表 4-1 参照)が、この領域では Trap A 密度は従来、改善品ともほぼ同等の密度になっている。Trap C、E は改善品の方がトラップ密度が高くなっているが、これらの準位は Trap A よりも、表 5-2 から、エネルギー準位が  $0.20\text{eV}$  以上浅くなっており、3.2 項で議論した SRH モデルからは、このトラップによってできるエネルギー準位は、漏れ電流にほぼ影響を与えない。詳細は 6.1 項で述べる。

さらに  $p-n$  接合から離れた領域を解析している(d)、(e)では、両者の DLTS 信号をほぼ重なっている。改善版ではレーザーアニールにより高い熱エネルギーで  $p^+$ コレクタを活性化しているが、その熱エネルギーは条件 4 に相当する、 $p-n$  接合よりも  $16.3\sim 19.9\mu\text{m}$  以上離れた領域では、深いエネルギー準位を作る空孔系の結晶欠陥には影響を及ぼしていないことがわかる。

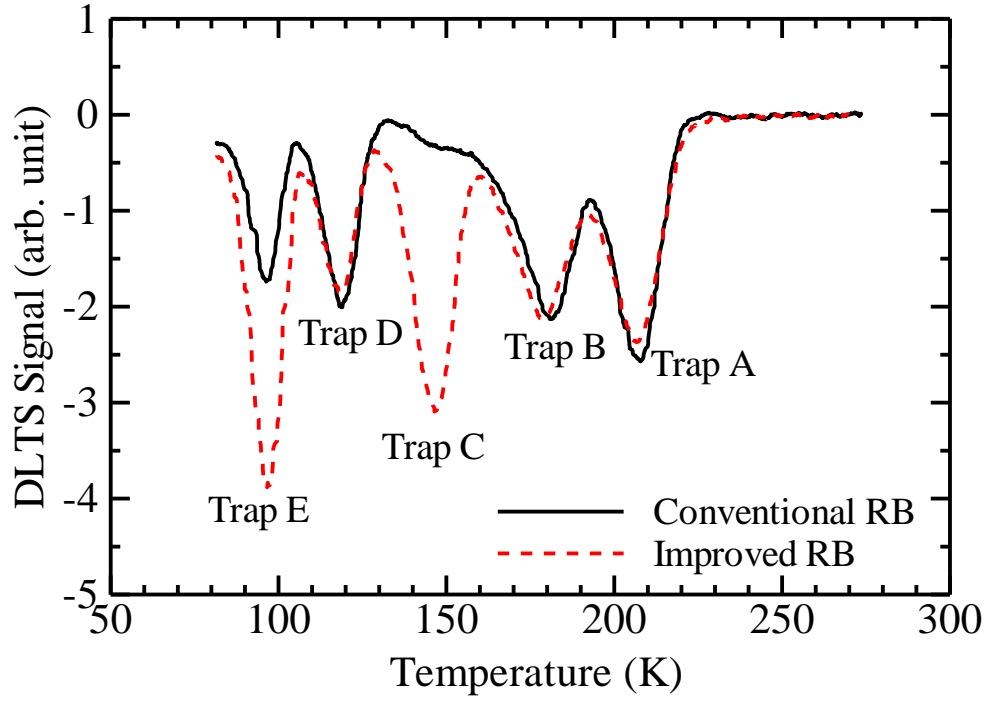
$p-n$  接合からの距離と式(4-19)から計算した Trap A 密度の相関を図 5-12 に示す。比較のため、図 5-3 に示した従来 RB-IGBT のトラップ密度も記載する。図中の領域 I～III に関しては、6.3 項で述べる。 $\Delta C/C_R$  は、DLTS 測定において得られた表 5-4 の値を用いた。図 5-3 と同様に、横軸は、逆バイアス  $V_0$  と  $V_R$  を印加した時の空乏層位置の  $p-n$  接合からの距離の中心値としている。従来 RB-IGBT に対して改善 RB-IGBT では、 $p-n$  接合に近い条件 1 では 1 桁以上、条件 2 では  $1/4$  以下の密度に減少しており、LA の熱エネルギーによる結晶欠陥低減効果が確認できた。条件 3 より深い領域では、双方とも同程度の Trap A 密度になっている。



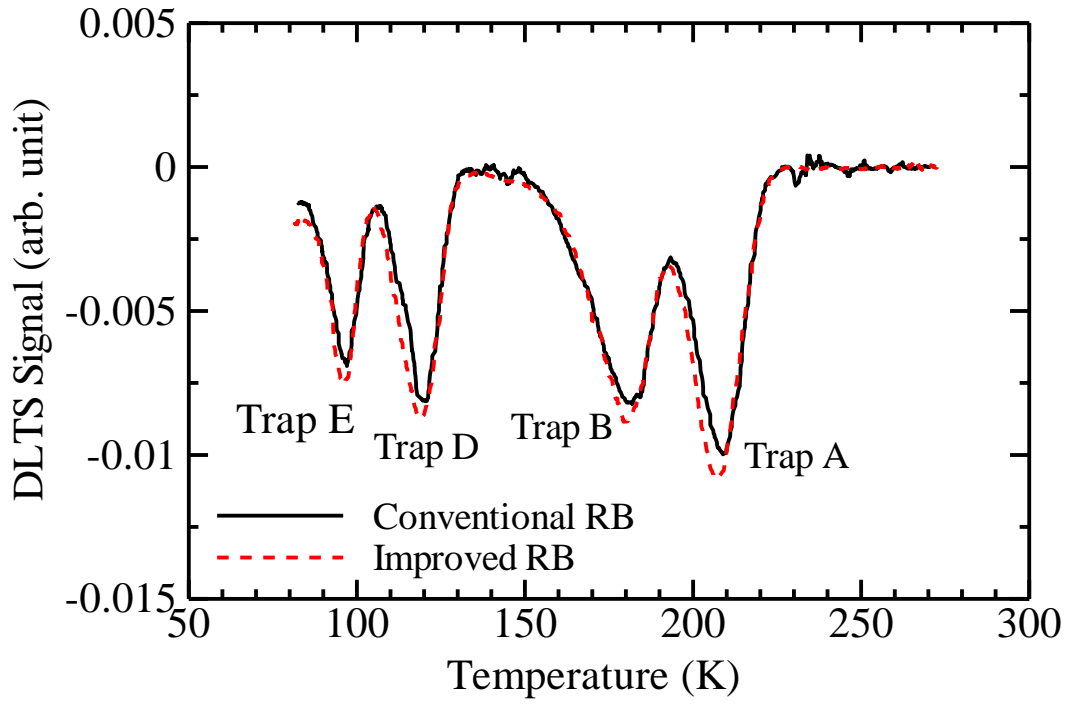
(a) 条件 1 ( $V_0=+0.3V$ 、 $V_R= - 1.5V$ )



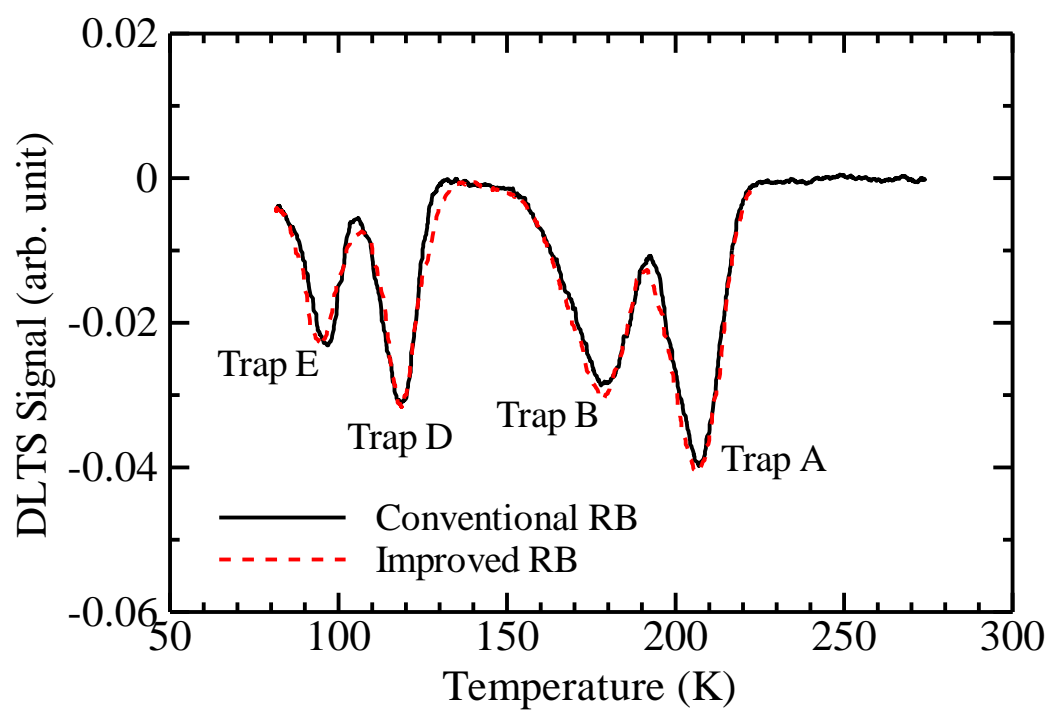
(b) 条件 2 ( $V_0= - 2.0V$ 、 $V_R= - 4.0V$ )



(c) 条件 3 ( $V_0 = -10\text{V}$ 、 $V_R = -20\text{V}$ )



(d) 条件 4 ( $V_0 = -40\text{V}$ 、 $V_R = -60\text{V}$ )



(e) 条件 5 ( $V_0 = -160\text{V}$ 、 $V_R = -213\text{V}$ )

図 5-11 従来品と改善品の DLTS 結果比較



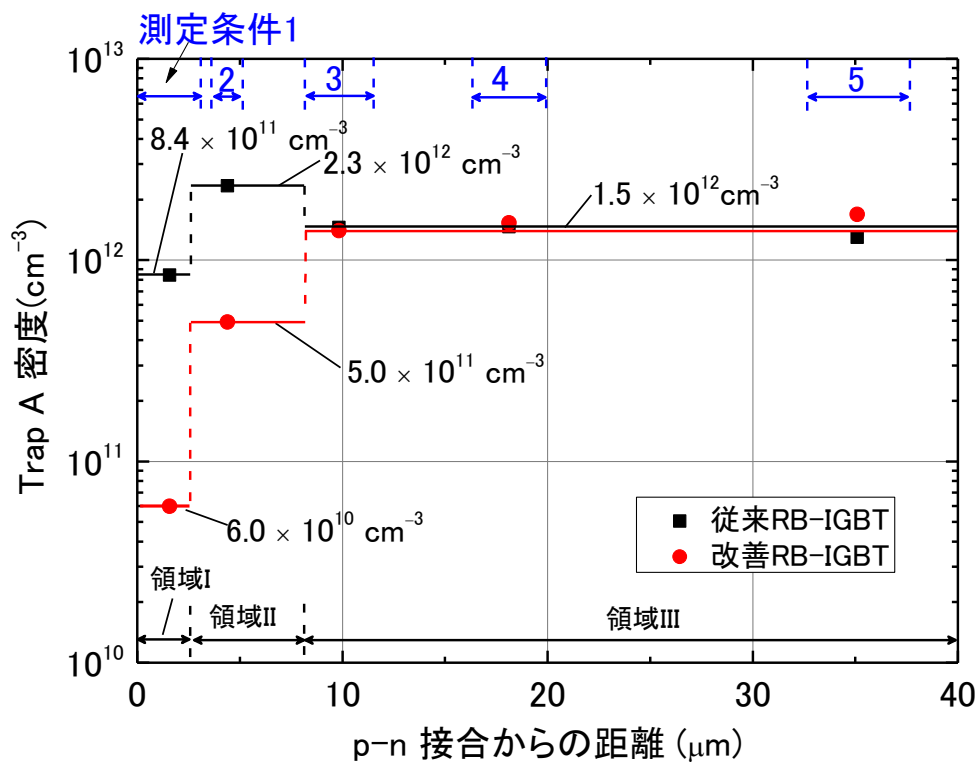


図 5-12 p-n 接合からの距離に対する Trap A 密度の分布

表 5-4 改善 RB-IGBT での DLTS 測定から得られた  $\Delta C/C_R$

測定条件	$\Delta C/C_R$ (pF/pF)
条件 1	$0.39/2610 = 1.49 \times 10^{-4}$
条件 2	$1.05/1710 = 6.14 \times 10^{-4}$
条件 3	$1.38/789 = 1.75 \times 10^{-3}$
条件 4	$0.58/455 = 1.27 \times 10^{-3}$
条件 5	$0.25/241 = 1.04 \times 10^{-3}$

## 参考文献

- [1] G. D. Watkins, "Defects in irradiated silicon: EPR and electron-nuclear double resonance of interstitial boron", *Physical Review B* 12, 5824, 1975.
- [2]. J. R. Troxell and G. D. Watkins, "Interstitial boron in silicon: A negative-U system", *Physical Review B* 22, 921, 1980.
- [3] S. Earles, M. Law, R. Brindos, K. Jones, S. Talwar, and Sean Corcoran (2002), "Nonmelt Laser Annealing of 5-KeV and 1-KeV Boron-Implanted Silicon", *IEEE Transactions on Electron Devices*, 49, 7, 1118-1123, 2002.
- [4] C. W. Magee, W. L. Harrington, and R. E. Honig, "Secondary ion quadrupole mass spectrometer for depth profiling—design and performance evaluation", *Review of Scientific Instruments*, 49, 477, 1978.

## 第 6 章 RB-IGBT の漏れ電流の解析

### 6.1 深いトラップ準位の漏れ電流への影響

DLTS 解析によって得られた、従来の RB-IGBT に存在するトラップ準位に関し、3.2 項での議論と同様に、漏れ電流への依存性を SRH モデルにより計算した結果を表 6-1 に示す。最も深い(バンドギャップ中心に近い)エネルギー準位をもつ Trap A による漏れ電流を 1 と規格化した。Trap A に対して、Trap B の漏れ電流の寄与率は 1/273 程度となり、発生漏れ電流に関しては、Trap A が支配的となっていると考えられる。Trap A は Si のバンドギャップ中心に近いので、以降での発生漏れ電流は、バンドギャップ中心にトラップ準位が存在するものとして考察する。

表 6-1 従来の RB-IGBT におけるトラップ準位の  
漏れ電流への影響度

トラップ種別	Trap A	Trap B	Trap C	Trap D	Trap E
$E_C - E_T$ (eV)	0.53	0.38	0.33	0.26	0.22
漏れ電流への 影響度	1	$3.6 \times 10^{-3}$	$2.9 \times 10^{-4}$	$4.2 \times 10^{-5}$	$6.0 \times 10^{-6}$
比率	1/273	1/7	1/15	1/4	

### 6.2 温度依存性の解析

RB-IGBT の漏れ電流成分が、発生漏れ電流  $J_{gen}$  もしくは拡散電流  $J_{dif}$  のどちらが支配的か検証するため、異なる逆バイアスにおいて、漏れ電流の温度依存性を取得した。結果を図 6-1 に示す。ここでの T は素子温度を示す。3.4 項で述べたように、発生漏れ電流と拡散漏れ電流は異なる温度依存性を有する。式 (3-11~3-13) から計算により

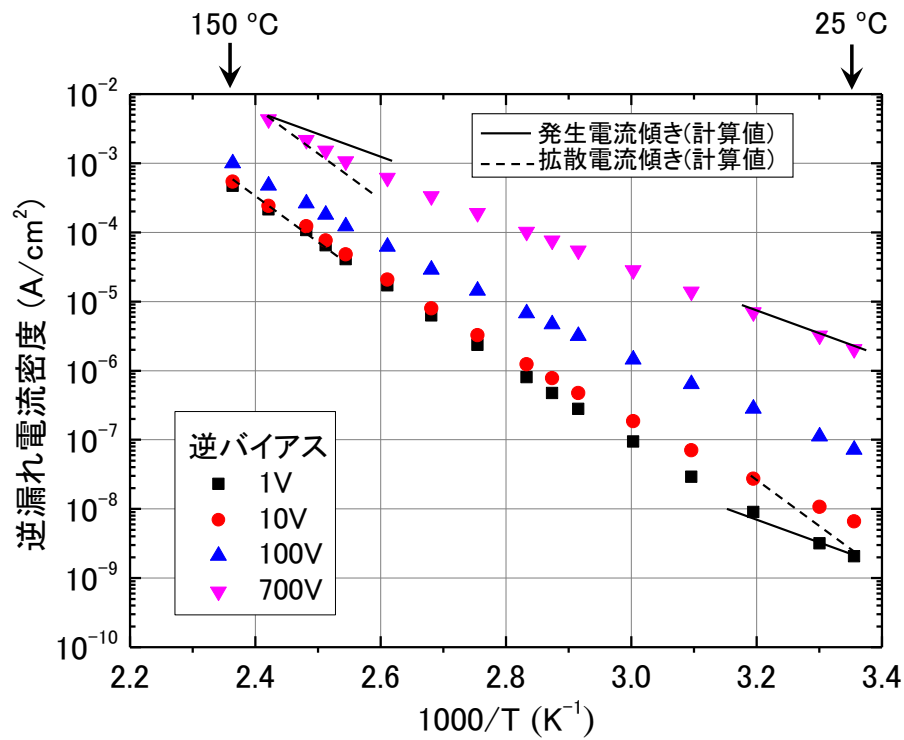
求めた発生漏れ電流の傾き(実線)と拡散漏れ電流の傾き(破線)も図中に示す。漏れ電流の測定において、素子温度が 75°C以下で電圧が 100V の領域では、微小な漏れ電流が測定できる Agilent 社製 4156C 半導体パラメータアナライザを使用した。本装置は、100V まで測定が可能である。100V 以上では、高電圧出力が可能なキーサイトテクノロジー社製の B1505A パワーデバイスアナライザを使用した。

図 6-1 (a) 従来 RB-IGBT では、逆バイアスが 1V で素子温度  $T$  が 25°C 近傍では、実測値は発生電流と拡散電流の間の傾きを有している。一方、700V で 25°C 近傍では、発生漏れ電流の傾きに近い。すなわち温度が低い場合、逆バイアスが低いときは発生漏れ電流と拡散漏れ電流の双方が影響し、逆バイアスが大きい時は発生漏れ電流が支配的になっている。

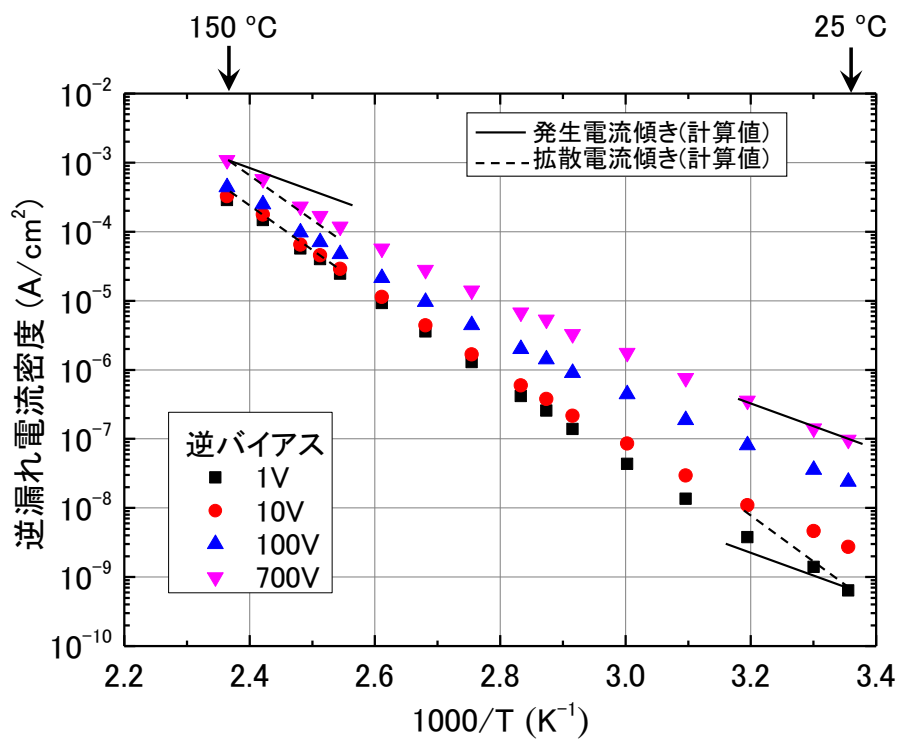
素子温度が 150°C 近辺の高温領域では、1V~10V の時に拡散電流の傾きに一致する。また、1V と 10V では漏れ電流に大きな差が無いことから、この領域では拡散電流が支配的であることがわかる。高温で 700V になると、発生漏れ電流と拡散漏れ電流の双方が影響する。

図 6-2 (b) 改善 RB-IGBT において、逆バイアス 1V で 25°C 近辺での傾きも発生漏れ電流と拡散漏れ電流の間になっているが、(a) 従来 RB-IGBT と比べるとわずかではあるが拡散漏れ電流の傾きに近い。このことは、25°C で逆バイアスが低い領域では、従来 RB-IGBT より改善 RB-IGBT の方が発生漏れ電流が小さいことを示している。改善 RB-IGBT では、 $p^+$  コレクタ層の活性化を LA で行っており、 $p-n$  接合近辺が高温になることにより、発生漏れ電流の源となる深いトラップ準位が減少しているためと考えられる。

25°C において、100V から 700V へ逆バイアスを増加させたときの漏れ電流の増加は、(b) 改善 RB-IGBT よりも (a) 従来 RB-IGBT の方が大きい。このことは、改善 RB-IGBT よりも従来 RB-IGBT では、特に高逆バイアス領域で漏れ電流の原因となるキャリア発生源があることを示唆していると考えられる。



(a) 従来 RB-IGBT



(b) 改善 RB-IGBT

図 6-1 漏れ電流の温度依存性

### 6.3 漏れ電流の実測値と計算値の比較

ここでは、理論式から計算した発生漏れ電流および拡散漏れ電流と RB-IGBT の実測での漏れ電流との比較を行う。発生漏れ電流の計算には式(3-4)を用いた。計算に必要な物理パラメータを表 6-2 に示す。バンドギャップ中心に近いエネルギー準位を持つ Trap A の密度の p-n 接合からの距離に対するプロファイルは、図 5-12 の黒実線(従来 RB-IGBT)と赤実線(改善 RB-IGBT)のように領域 I/II/III の 3 つ領域に分けて簡略化した。これらの領域は、漏れ電流の計算の都合上、逆バイアスが 1V、および、10V の時の空乏層位置を境界としており、それぞれ  $2.6\mu\text{m}$  と  $8.2\mu\text{m}$  で分けている。領域 I は測定条件 1 を、領域 II は測定条件 2 で  $N_T$  を求めた領域を含む。p-n 接合から離れた測定条件 3~5 では、従来 RB-IGBT と改善 RB-IGBT とともに Trap A の密度の分布は均一で、その値は  $1.5 \times 10^{12} \text{cm}^{-3}$  と設定した。DLTS 解析では、トラップの分布は  $40\mu\text{m}$  よりも p-n 接合に近い領域でデータを取得した。今回測定した RB-IGBT は n-ドリフト領域が  $100\mu\text{m}$  以上あり、従来 RB-IGBT、改善 RB-IGBT とともに、 $40\mu\text{m}$  より離れた領域も  $1.5 \times 10^{12} \text{cm}^{-3}$  で一定であるとした。従来 RB-IGBT では、 $p^+$  コレクタ層の活性化を FA (電気炉) で行っているために、n-ドリフトでのトラップ準位密度は p-n 接合からの距離によらず一定であると考えられ、また、改善 RB-IGBT においても、5.4 項の DLTS 結果から、測定条件 4 より p-n 接合から離れた領域には熱的エネルギーが到達していないと考えられることから、妥当な仮定である。

Trap A の結晶欠陥種別が特定できていないため、捕獲断面積  $\sigma$  の正確な値は不明であるが、電子線照射によって形成される深いトラップ準位は概ね  $10^{-15} \text{cm}^{-2}$  オーダーの値を有するため[1]、ここでの計算では、フィッティングパラメータとして、 $1.5 \times 10^{-15} \text{cm}^{-2}$  に設定した。

拡散漏れ電流の計算には式(3-9)を用いた。正孔のライフタイム  $\tau_p$  もフィッティングパラメータとして  $2.0 \times 10^{-7} \text{s}$  と設定した。順方向に電流を流した場合の電圧特性の実測値にデバイスシミュレーションでフィッティングすると、この程度の値が適切

であることを確認している。この時の拡散漏れ電流密度は  $25^{\circ}\text{C}$  で  $8.3 \times 10^{-10} \text{ A/cm}^{-2}$  と計算された。

表 6-2 発生漏れ電流と拡散漏れ電流の計算に用いた物理パラメータ

$N_D \text{ (cm}^{-3}\text{)}$	$\sigma \text{ (cm}^{-2}\text{)}$	$v_{th} \text{ (cm/s)}$	$n_i \text{ (cm}^{-3}\text{)}$	$\mu_p \text{ (cm}^2\text{/V/s)}$	$\tau_p \text{ (s)}$
$2.0 \times 10^{14}$	$1.5 \times 10^{-15}$	$1.0 \times 10^7$	$1.2 \times 10^{10}$	450	$2.0 \times 10^{-7}$

実測、および、計算により求めた逆漏れ電流の比較を図 6-2 に示す。計算により求めた逆漏れ電流では、それぞれの寄与がわかりやすいように発生漏れ電流  $J_{gen}$  のみの場合と、発生漏れ電流と拡散漏れ電流の合計 ( $J_{gen} + J_{dif}$ ) の 2 通りを示す。

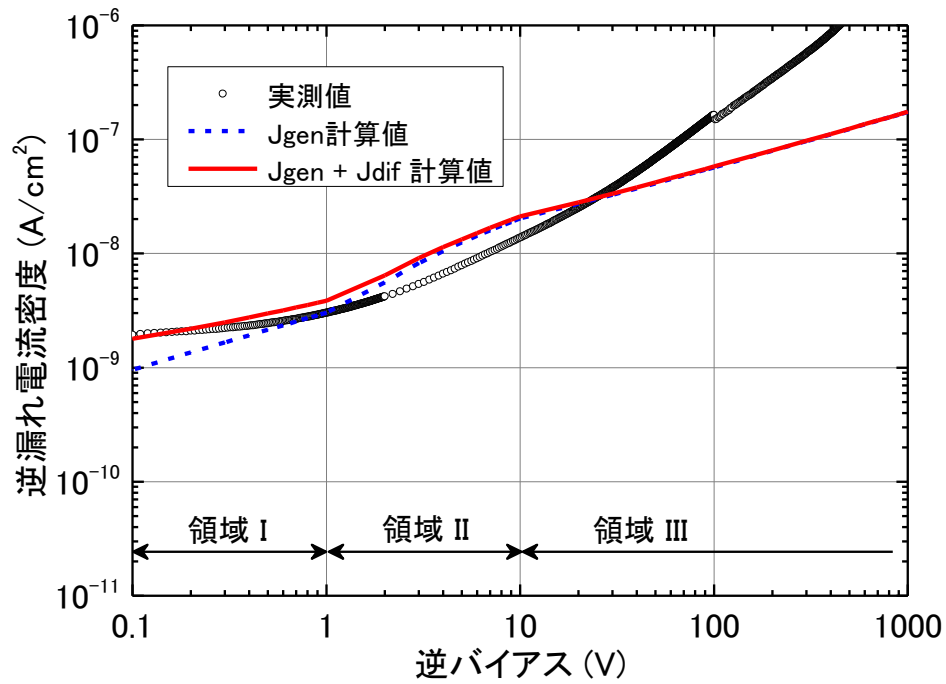
図 5-12 に見られたように、改善 RB-IGBT では p - n 接合に近い領域 I の Trap A 準位密度が低くなっている。そのため、図 6-2 (b) の領域 I では  $J_{gen}$  が小さく、 $J_{dif}$  の方が大きい。領域 II では Trap A が増加するために  $J_{gen}$  の寄与が大きくなる。 $J_{dif}$  は電圧依存性が無いために、 $8.3 \times 10^{-10} \text{ A/cm}^{-2}$  から変化しない。Trap A の密度が均一となる領域 III に空乏層が進展すると、 $J_{gen}$  が支配的になる。領域 III における漏れ電流の増加の仕方は実測値と計算値でよく一致しており、DLTS 解析による Trap A 密度は適切な値になっていると考えられる。このように改善 RB-IGBT では、漏れ電流の実測値と計算により得られた値は、領域 I～III でよく一致している。領域 III で  $J_{gen}$  が支配的になっていることは、図 6-1 (b) の逆バイアス 700V、素子温度  $25^{\circ}\text{C}$  近辺での温度依存性の傾きから得られた漏れ電流成分の議論と一致する。

領域 I での Trap A 密度は、改善 RB-IGBT よりも高い (図 5-12 参照) ため、図 6-2 (a) の従来 RB-IGBT での領域 I では、 $J_{gen}$  と  $J_{dif}$  の双方が漏れ電流に影響している。領域 II では、Trap A 密度が高くなり、 $J_{gen}$  が支配的になる。この領域では、実測値よりも計算による  $J_{gen}$  の方がわずかに大きな値になっている。これは、図 5-12 の領域 III に比べて領域 II での  $J_{gen}$  の計算において Trap A 密度が高めに設定されているため

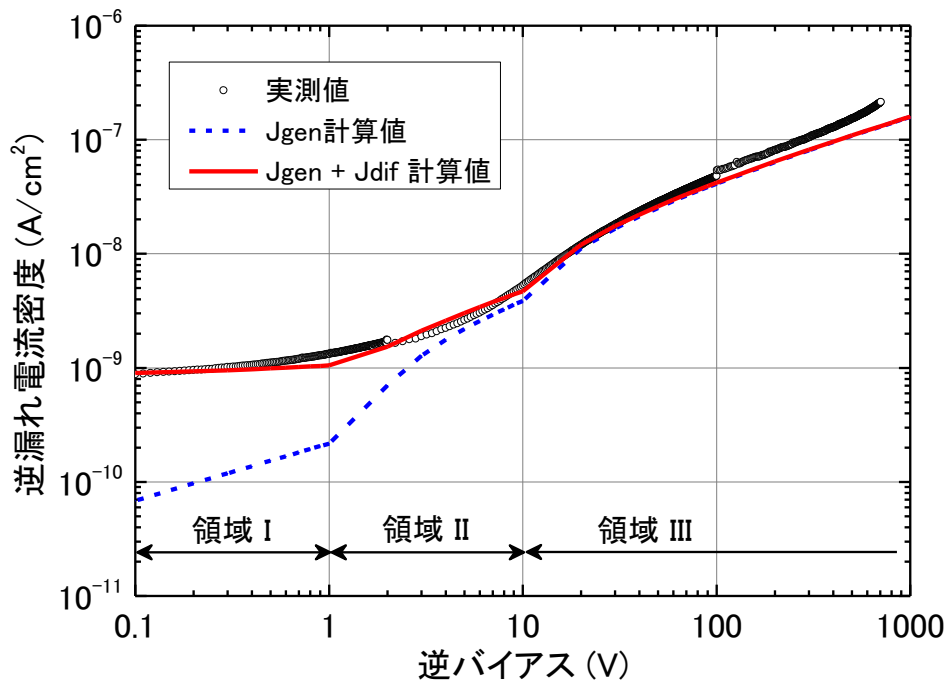
である。従来 RB-IGBT では、 $p^+$ コレクタ層の活性化熱処理は電気炉により均一に熱がかかっているため、本来であれば、領域 II と領域 III の Trap A 密度はフラットになっているはずである。領域 II の Trap A 密度を領域 III と同じと仮定した場合、領域 II での実測値と計算により得られた  $J_{gen} + J_{dif}$  との差は小さくなる。領域 III では、 $J_{gen} + J_{dif}$  に比較して、実測の漏れ電流は急激に増加している。Trap A の分布が均一であれば、式(2-1)と式(3-3)より漏れ電流は、逆バイアスの  $1/2$  乗に比例するはずであり、その場合は  $J_{gen}$ 、もしくは、 $J_{gen} + J_{dif}$  と同じ傾きを持つはずである。領域 III で設定した均一な Trap A 密度による発生電流だけでは、実測の漏れ電流の急増を説明できない。

逆バイアス印加時に  $p^+$ コレクタ層でリーチスルー（空乏層が半導体表面まで到達する現象）が起きていないか検証するため、RB-IGBT のコレクタ側を模擬した P-i-N ダイオードにおいて、デバイスシミュレーションにより逆バイアス印加時の電界強度を計算した。デバイスシミュレータは、Synopsys 社製の TCAD(Technology Computer-Aided Design)ツール「Sentaurus Device」[2]を用いた。図 6-3 に  $p-n$  接合の深さを変えながら 800V の逆バイアスを印加した場合の  $p^+$ 領域内の電界強度のデバイスシミュレーション結果を示す。 $p^+$ 領域のアクセプタ濃度と  $n^-$ 領域のドナー濃度は、今回 DLTS を行った RB-IGBT と同じになるように設定した。横軸の  $p^+$ 領域表面からの距離が 0 の時に電界強度が 0 でない場合は、 $p^+$ 領域でリーチスルーが起きていることになる。 $p-n$  接合深さが  $0.15\mu\text{m}$  まではリーチスルーが起きているが、 $0.20\mu\text{m}$  よりも深い場合はリーチスルーしていないと考えられる。図 5-8 にあるように、従来 RB-IGBT の  $p-n$  接合深さは  $0.35\mu\text{m}$ 、改善 RB-IGBT では  $0.25\mu\text{m}$  であるため、本素子では、リーチスルーは起きていないと考えられる。





(a)従来 RB-IGBT



(b)改善 RB-IGBT

図 6-2 理論式から計算した 25℃での  $J_{gen}$  および  $J_{dif}$  と  
実測の漏れ電流の比較

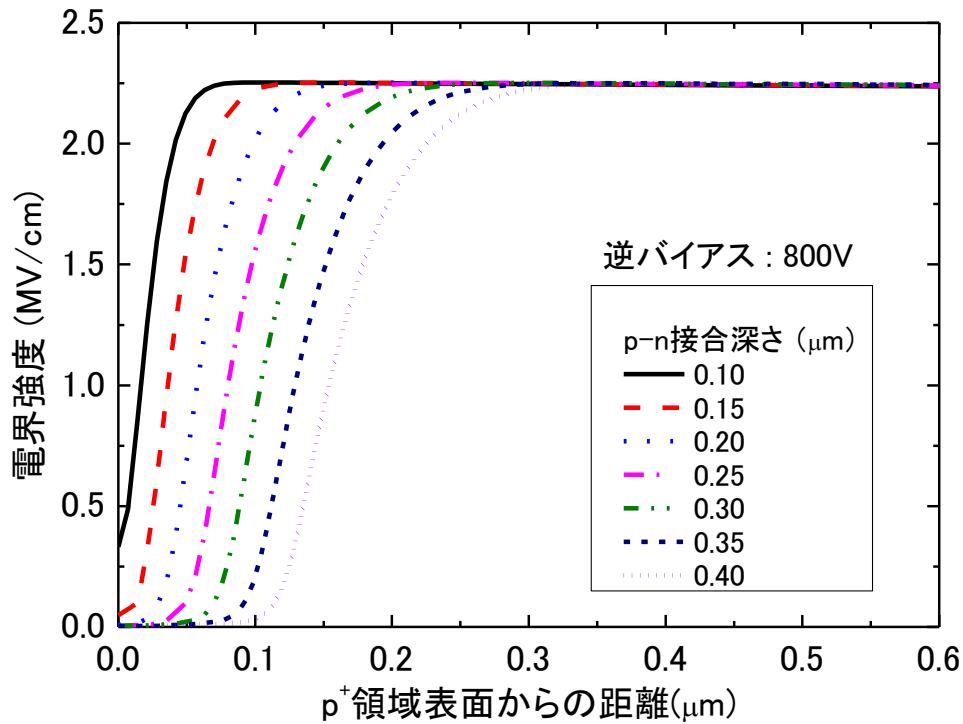


図 6-3 p - n 接合の深さを変えながら 800V の逆バイアスを印加した場合の  $p^+$  領域内の電界強度（デバイスシミュレーション結果）

従来 RB-IGBT において、不活性なボロンの一部が深い準位を形成した場合に、どの程度の発生漏れ電流が流れるか、見積もりを行った。図 6-4 に、想定した不活性なボロン濃度分布を示す。不活性なボロン濃度を p - n 接合から  $0.05\mu\text{m}$ 、 $0.05\sim 0.10\mu\text{m}$ 、 $0.10\sim 0.35\mu\text{m}$  の 3 領域に分けて階段状の濃度を想定し、この不活性なボロンのうち、0.01% がバンドギャップ中心にトラップ準位を形成すると仮定した。また、活性化したアクセプタ濃度は、 $p^+$  コレクタ中で一定として空乏層の伸びを計算した。

式 (4-3) から  $p^+$  コレクタ層中の発生漏れ電流を計算し、図 6-2 (a) の「 $J_{gen}+J_{dif}$ 」と合算した結果を図 6-5 に緑色の点線で示す。20V 以下の領域では、実測値よりも逆漏れ電流が大きめに出ているが、それ以上の電圧では実測に近い値となっており、不活性ボロンの 0.01% がトラップ準位を形成したとしても、逆漏れ電流に大きな影響を与

えることがわかる。

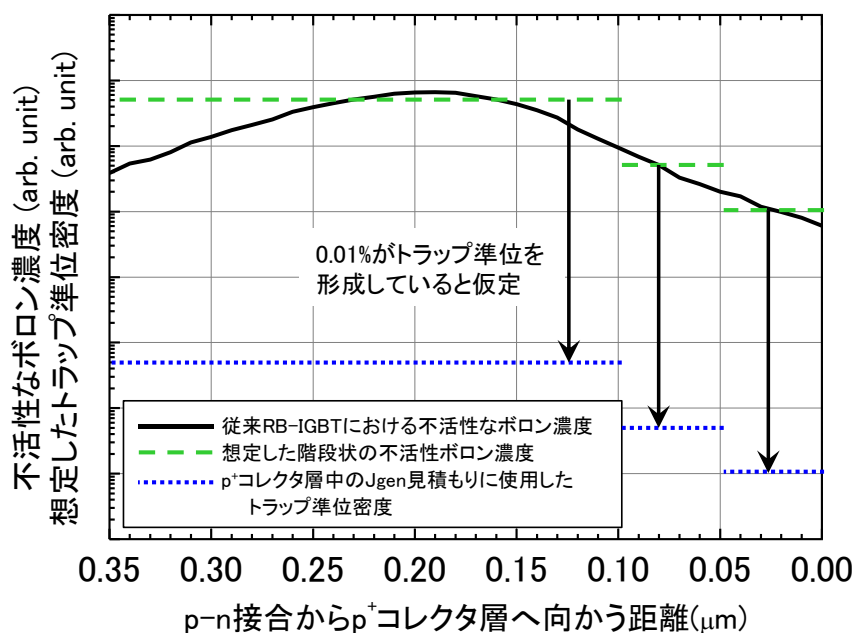


図 6-4 p<sup>+</sup>コレクタ層中のJ<sub>gen</sub>見積もりに使用したトラップ準位密度

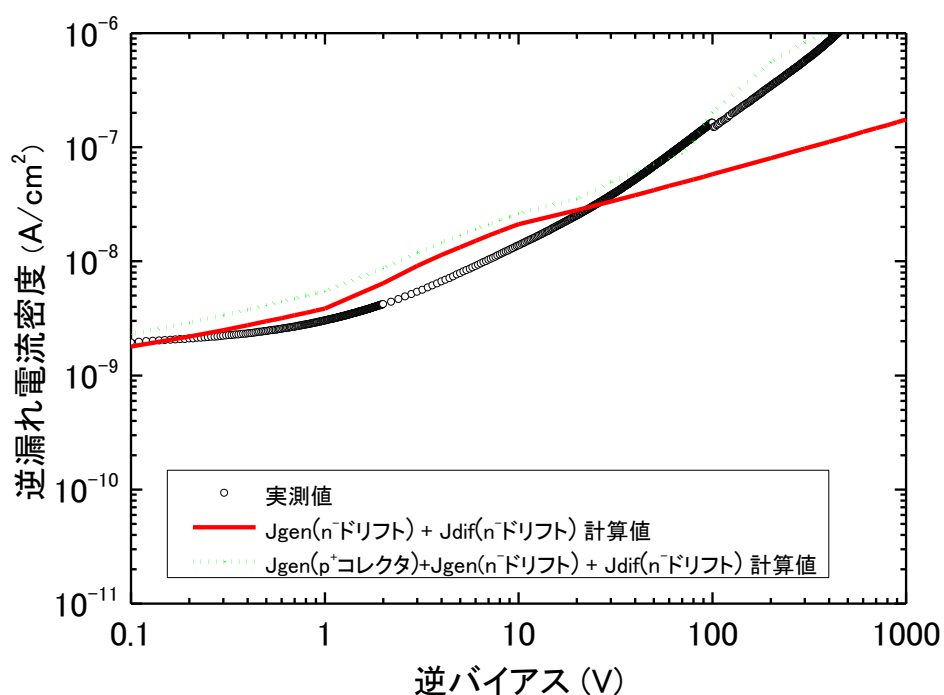


図 6-5 p<sup>+</sup>コレクタ層のトラップを考慮した

逆漏れ電流の見積もり結果

以上のことから、従来 RB-IGBT における高逆バイアスでの漏れ電流の急増は、5.2 項で議論したように、 $p^+$ コレクタ層内で深い準位を形成している不活性なボロン原子が原因であると考えられる。高逆バイアス条件では、わずかではあるが  $p^+$ コレクタ層側にも空乏層が進展し、この部分に高い密度で不活性なボロンが存在するために発生漏れ電流が増加していると推定される。

高温、短時間で  $p^+$ コレクタ層を活性化できる LA を用いた改善 RB-IGBT[3]では、ボロンの活性化率が上がり、不活性なボロンが減少するために、 $p^+$ コレクタ層中の深い準位の密度が低くなる。図 6-2 の(a)と(b)を比較すると、例えば、逆バイアスが 300V の時、従来 RB-IGBT に対して改善 RB-IGBT では、漏れ電流が 1/5 以下に低減できた。また、領域 I でも改善 RB-IGBT の方が従来 RB-IGBT よりも 1/2 程度に低減している。この部分では、 $p-n$  接合に近い  $n^-$ ドリフト中に存在する深いエネルギー準位をもつ結晶欠陥が、LA による熱エネルギーにより低減したためと考えられる。

漏れ電流低減の効果を検証するために、従来と改善 RB-IGBT それぞれに関して、漏れ電流による熱暴走が何°Cで起きるか、検証を行った。試験方法は、

- ② Cu ベースにはんだ付けした RB-IGBT を高温に保持したホットプレートに固定する。
- ③ 熱電対によりデバイス温度をモニタしながら、コレクタ/エミッタ間に -400V の逆バイアスを印加した状態で 180sec 保持する。 $V_{GE}$  は 0V とした。
- ④ 180sec 保持後までにデバイス温度が上昇しない場合は、ホットプレートの温度を 5°C 上げて、再度、コレクタ/エミッタ間に -400V の逆バイアスを印加して、熱暴走しないか確認する。

という手順で行った。その結果を図 6-6 に示す。従来 RB-IGBT では、試験開始時の温度が 136°C スタートの時に熱暴走が起きたが、改善 RB-IGBT では、その温度が 181°C まで上昇した。RB-IGBT ではない、通常の IGBT の動作温度は通常 175°C まで保証されている。 $p^+$ コレクタの活性化手法を改善することにより、RB-IGBT の漏れ電流を低減し、通常の IGBT と同等の動作温度を保証することが可能となった。[3, 4]

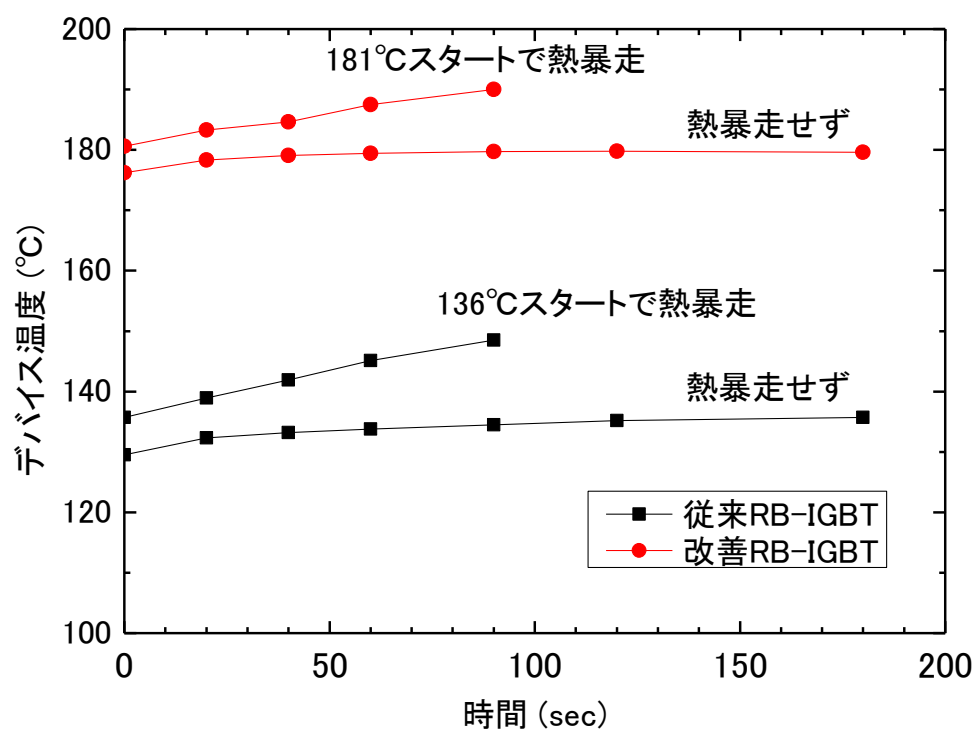


図 6-6 熱暴走試験結果

## 参考文献

- [1] F. D. Aurret, S. M. M. Coelho, J. M. Nel, and W. E. Meyer, “Electrical characterization of defects introduced in n-Si during electron beam deposition of Pt”, *Physica Status Solidi*, A209, 10, 1926-1933, 2012.
- [2] <https://www.synopsys.com/silicon/tcad/device-simulation/sentaurus-device.html>
- [3] Hiroki Wakimoto, Takashi Matsumoto, Koji Yano, and Tsutomu Muranaka, “Leakage current analysis of silicon diode with anode activated by furnace annealing or laser annealing using deep level transient spectroscopy”, *AIP Advances* 10, 125301, 2020; <https://doi.org/10.1063/5.0024744>
- [4] H. Wakimoto, H. Nakazawa, D. H. Lu, T. Matsumoto and Y. Nabetani (2018), “Development of a 700-V-class Reverse-Blocking IGBT for Advanced T-type Neutral Point-Clamped Power Conversion System”, *Proceedings of the 16th International Power Electronics Conference (IPEC)*, 2018.

## 第7章 まとめと今後の課題

本章では、RB-IGBT の漏れ電流に影響する結晶欠陥解析と高耐圧向上による高性能化に関するまとめと今後の課題に関して述べる。

まず、第 1 章ではパワー半導体デバイスが適用される分野とパワー半導体デバイスとして現在広く使用されている IGBT の電気特性に関して説明し、今回研究の対象となっている RB-IGBT の特徴に関して述べた。

第 2 章では、RB-IGBT が主に適用される AT-NPC 電力変換回路、RB-IGBT の構造とキーとなる製造プロセスについて述べ、次世代の高性能 RB-IGBT 作製のための特性改善の流れを示した。

第 3 章では、RB-IGBT の改善のポイントである漏れ電流に関し、その構成成分である SRH モデルによる発生電流と空乏層端での拡散キャリアによる拡散電流に関して、半導体物性の観点から物性パラメータの依存性を明らかにした。また、漏れ電流が発生漏れ電流と拡散漏れ電流のどちらが支配的であるか見極めるための手段として有効な、温度依存性に関しても明らかにした。

第 4 章では、発生漏れ電流に影響する結晶欠陥によるバンドギャップ中の深いエネルギー準位を解析する手段として DLTS 法の原理を述べ、本研究において有効なデータを取得するための解析手法、解析条件を確立した。

第 5 章では、漏れ電流が大きい従来 RB-IGBT に関して DLTS 解析を行い、 $p^+$ コレクタ層からの距離に対する、最も深いエネルギー準位を持つトラップ密度分布を明らかにした。漏れ電流の実測値と DLTS 結果から、 $p^+$ コレクタ層のボロン活性化率が漏れ電流の大きさに大きな影響を与えることを見出した。 $p^+$ コレクタ活性化手法を改善した場合の DLTS 解析も行い、そのトラップ密度分布も明らかにした。その結果、 $p-n$  接合から  $10\mu\text{m}$  程度の領域までの深い準位のトラップ密度が改善手法では低減できていることを明らかにした。

第 6 章では、DLTS 解析によって得られたトラップ準位密度から計算した発生漏れ電流、および、物性パラメータから計算した拡散漏れ電流と RB-IGBT の実測の漏れ

電流を比較した。従来 RB-IGBT の高逆バイアス時の漏れ電流実測値は、計算値よりも大幅に大きい。 $p^+$ コレクタ層中の不活性なボロンが深い準位を形成しているためと考えられる。 $p^+$ コレクタ層の活性化手法を改善した RB-IGBT では、300V での漏れ電流を 1/5 以下に劇的に低減できた。これにより、通常の IGBT と同等の動作温度を保証することが可能となった。改善 RB-IGBT では、漏れ電流の計算値と実測値がよく一致し、DLTS 解析によって得られた深い準位のトラップ密度分布から実測の漏れ電流を精度よく見積もることができた。

RB-IGBT の今後の課題としては、電流通流時の ON 電圧の低減が挙げられる。近年は SiC や GaN 等のワイドバンドギャップ半導体を用いたパワー半導体デバイスも開発されており、例えば SiC の MOSFET と SiC のショットキーバリアダイオードを直列に接続することにより、RB-IGBT と同様の双方向の耐圧特性を、低い ON 電圧で実現できる可能性はある。しかしながら、現状ではコストが高い SiC デバイスを 2 個使用するため、製品化のためのハードルはまだ高い。安価なシリコンを使用した RB-IGBT をさらに低 ON 電圧化することにより低価格と優れた特性を両立し、SiC デバイスに対する優位性を今後も維持することは可能であると考えている。具体的には、現状ではまだ RB-IGBT として最適化できていない MOS ゲート部の改善が挙げられる。従来品ではプレーナゲート構造を採用しているが、トレンチゲート構造に変更することにより、オン状態でのエミッタ側のキャリア密度を上げ、ON 電圧を低減することができる。

ただ、長期的に考えれば、シリコンの RB-IGBT に固執する必要はなく、優れた電気特性が実証されている SiC デバイスを安価で安定的に製造できるデバイス開発、プロセス開発も、もちろん必要になるであろう。また、これまではパワー半導体デバイスを個別に開発して低損失を図ることが多かったが、ゲート制御技術などのパワーエレクトロニクス技術も含めて、制御しやすく、低損失なパワー半導体デバイスを安価に提供できるよう、全体最適の視点から開発していく必要がある。それにより、日々その重要性が増している高効率なパワーエレクトロニクス製品開発に繋げ、地球規模



でのエネルギー資源の有効活用に貢献していきたい。

## 研究業績

### 学術論文

1. Hiroki Wakimoto, Haruo Nakazawa, Takashi Matsumoto, and Yoichi Nabetani, “Deep level transient spectroscopic analysis of p/n junction implanted with boron in n-type silicon substrate”, J. Appl. Phys, 123, 161422, 2018. (DOI: 10.1063/1.5011229)
2. Hiroki Wakimoto, Takashi Matsumoto, Koji Yano, and Tsutomu Muranaka, “Leakage current analysis of silicon diode with anode activated by furnace annealing or laser annealing using deep level transient spectroscopy”, AIP Advances 10, 125301 (2020). (DOI: 10.1063/5.0024744)

### 国際学会発表

1. Hiroki Wakimoto, Haruo Nakazawa, Takashi Matsumoto, and Yoichi Nabetani, “DLTS analysis of p/n junction implanted with boron to n type Si substrate”, in Proc. 29th International Conference on Defects(ICDS), TuA2-1, pp. 207-210, 2017.
2. Hiroki Wakimoto, Haruo Nakazawa, David H. Lu, Takashi Matsumoto, and Yoichi Nabetani, “Development of a 700-V-class Reverse-Blocking IGBT for Advanced T-type Neutral Point-Clamped Power Conversion System”, in Proc. International Power Electronics Conference (IPEC) 2018, 23C2-1, pp. 2404-2409, 2018.

### 国内学会、研究会

1. 脇本 博樹, 中澤 治雄, 松本 俊, 鍋谷 暢一, “n 型 Si 基板へボロンイオン注入した p/n 接合の DLTS 測定” 第 64 回応用物理学会春季学術講演会, 14p-F201-9, 2017.
2. 脇本 博樹, 中澤 治雄, 松本 俊, 鍋谷 暢一, “n 型 Si 基板へボロンイオン注入した p-n 接合の DLTS 解析” 第 6 回パワーデバイス用シリコンおよび関連半導体

材料に関する研究会 (主催 日本学術振興会 結晶加工と評価技術第 1 4 5 委員会), 2018.

## 謝辞

本研究の実施と本論文の作成に当たり、貴重なお時間を割いて御指導、ご協力を頂きました皆様に厚く御礼申し上げます。

指導教員として様々なご指導、ご助言をいただきました、山梨大学大学院 村中 司 准教授に感謝いたします。DLTS に関して、原理から測定法までお教えいただき、また、測定の際には装置のセッティング、結果に関するディスカッションまで、多大なるご協力をいただいた、山梨大学大学院富士電機パワーデバイス講座 松本 俊 山梨大学名誉教授に感謝いたします。本論文作成や様々な手続きに関して、丁寧にご指導、ご助言をいただきました、山梨大学大学院 矢野 浩司 教授、鍋谷 暢一 教授に感謝いたします。

本研究を実施する貴重な機会を与えていただき、また、多大な御支援をいただきました、富士電機株式会社電子デバイス事業本部 CTO 藤平 龍彦 博士、開発統括部長 大西 泰彦 博士、先端デバイス開発部長 木村 浩 氏、先端デバイス開発部 Si 課長 藤本 英俊 氏、デバイス開発部次世代デバイス課長 中澤 治雄 博士、富士電機から現在は東北大学 国際集積エレクトロニクス研究開発センターに在籍していらっしゃる、高橋 良和 教授に感謝いたします。RB-IGBT の研究開発にあたり多大なるご貢献をいただいた、富士電機株式会社電子デバイス事業本部開発統括部先端デバイス開発部 Si 課 魯 鴻飛 博士とデバイス開発部次世代デバイス課の村松 徹 氏に感謝いたします。

最後に、いつも心の支えとなっている私の家族に感謝します。